



Étude et réalisation de Transistors Bipolaires à Hétérojonction InP/GaAsSb/InP reportés sur substrat hôte pour application à la puissance

Hicham Elfatimi

► To cite this version:

Hicham Elfatimi. Étude et réalisation de Transistors Bipolaires à Hétérojonction InP/GaAsSb/InP reportés sur substrat hôte pour application à la puissance. Physique Générale [physics.gen-ph]. Université de Limoges, 2008. Français. NNT : . tel-01136245

HAL Id: tel-01136245

<https://theses.hal.science/tel-01136245>

Submitted on 26 Mar 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Copyright

UNIVERSITE DE LIMOGES

ECOLE DOCTORALE Science – Technologie – Santé

FACULTE des Sciences et Technique

Année : 2008

Thèse N° []

Thèse

pour obtenir le grade de

Docteur de l'Université de Limoges

**Discipline : "Electronique des Hautes Fréquences ,
Optoélectronique"**

Spécialité : "Télécommunications"

Présentée et soutenue par

ELFATIMI Hicham

Le 30 Octobre 2008

**Étude et réalisation de Transistors Bipolaires à
Hétérojonction InP/GaAsSb/InP reportés sur
substrat hôte pour application à la puissance.**

Thèse dirigée par Jean-Luc Pelouard et Michel Prigent

JURY :

M. Jean-Michel Nebus, Président du jury, Professeur à l'Université de Limoges

M. Henri Happy, Rapporteur du jury, Professeur à l'Université de Lille 1

M. Antoine Marty, Rapporteur du jury, Directeur de Recherche à l'Université Toulouse 3

M. Didier Floriot, Membre du jury, Ingénieur à Thales TRT Orsay

M. Michel Prigent, Membre du jury, Professeur à l'Université de Limoges

M. Jean-Luc Pelouard, Membre du jury, Directeur de Recherche au LPN CNRS Marcoussis

REMERCIEMENTS

Ce travail de thèse s'est déroulé au Laboratoire de Photonique et de Nanostructures (LPN) CNRS à Marcoussis. Je tiens à remercier Monsieur Jean-Yves Marzin, directeur du laboratoire de m'avoir accueilli dans son laboratoire. J'ai bénéficié d'une bourse CIFRE de la part de Thales R&T je tiens à remercier Monsieur Dominique Pons et Monsieur Didier Floriot d'avoir accepté de m'accorder cette bourse.

Je remercie Monsieur Jean-Michel Nebus d'avoir accepté la présidence du jury.

Je remercie Messieurs Alain Marty et Henri Happy d'avoir accepté la charge des rapporteurs. Cette thèse s'est déroulée en collaboration avec le laboratoire Xlim UMR à l'antenne de l'I.U.T de Brive. Je tiens à exprimer ma gratitude à Monsieur Michel Prigent de m'avoir proposé d'effectuer cette thèse et pour tout son aide et soutien au cours de mes années de thèse.

Toute ma sincère gratitude et tous mes remerciements à Monsieur Jean-Luc Pelouard qui a assuré la direction de ce travail avec une grande disponibilité et implication. Merci Jean-Luc pour tout ton aide et ton soutien quotidien que ça soit au niveau scientifique ou administratif...

A mes deux lémuriens préférés Nathalie Bardou et Christophe Dupuis ma sincère reconnaissance pour tout ce qu'ils m'ont appris en salle blanche et leurs accompagnements, mais aussi pour leur amitiés et leur précieux soutien moral. C'était toujours un moment de plaisir les cafés du matin et toute les fois qu'on a refait le monde avec Chris.

Je tiens à remercier tout les membres de l'équipe Physique des dispositifs (PHYDIS) : Lorenzo Bernardi , Stéphane Collin, Fabrice Pardo pour leur diverses aides et leur soutiens
Merci à Stéphane Bernard de Alcatel - Thales III-V lab pour son collaboration.

Merci à toute l'équipe de la salle blanche du LPN. Cet endroit exceptionnel remplis des gens compétents et toujours disponible.
Merci à Gilbert Chanconie, David Chouteau, Laurent Couraud, Laurence Ferlazzo, Stéphane Guilet, Xavier Lafosse, Laetitia Leroy, Laurent Merzeau et Roblin Christophe ...

Merci à tous les thésards, post-doc que j'ai côtoyé pour ces moments inoubliable au LPN. Je cite Mélanie, Thomas, Hélène, Yanko, David, Ko-Hsin ...

Table des matières

.1	Avant-propos	1
I	Rappel de la theorie du Transistor Bipolaire	3
I.1	Introduction	3
I.2	Jonction pn	5
I.2.1	Potentiel de diffusion	7
I.2.2	Zone de charge d'espace (ZCE) à l'équilibre thermodynamique	7
I.2.3	Courant dans la jonction pn idéale : modèle de Shockley	16
I.2.4	Courants dans la diode à jonction pn : principaux effets parasites	22
I.3	Hétérojonction	28
I.3.1	Facteur d'idéalité de l'hétérojonction abrupte	30
I.4	Le transistor bipolaire	30
I.4.1	Comportement statique	30
I.4.2	Comportement fréquentiel du TBH	35
II	Matériaux pour les transistors de puissance dans le domaine millimétrique	41
II.1	contexte et historique	41
II.2	Choix des matériaux	43
II.2.1	Matériaux pour le collecteur	43
II.2.2	GaAsSb pour la base	47
II.2.3	Matériaux pour l'émetteur	51
III	Introduction à la thermalisation des dispositifs	53
III.1	Transferts thermiques	53
III.2	Loi de Fourier et équation de la chaleur	54
III.3	Flux de chaleur dans une couche homogène	55
III.3.1	Source de chaleur ponctuelle dans un espace infini	55
III.3.2	Source de chaleur carrée posée sur un substrat	56
III.3.3	Source de chaleur rectangulaire posée sur un substrat	61
III.3.4	Quelques propriétés de sources thermiques posées sur un substrat	63
III.4	Dispositifs simulés	68
III.4.1	Géométrie et matériaux des dispositifs simulés	68
III.4.2	Source de chaleur	70
III.4.3	Thermostat	71
III.4.4	Hyperstructures du transistor	71
III.4.5	Conditions aux limites	72

III.5	Résultats des simulations numériques	72
III.5.1	Structure <i>A</i>	72
III.5.2	Structure <i>B</i>	79
III.5.3	Structure <i>C</i>	88
III.6	Conclusion	100
IV	Technologie de fabrication des TBH reportés	103
IV.1	Pourquoi réaliser des TBH reportés sur substrat hôte ?	103
IV.2	Collage anodique	105
IV.2.1	Mise en oeuvre du collage anodique	106
IV.2.2	Analyse des mécanismes du collage anodique	106
IV.2.3	Modélisation du collage anodique	112
IV.3	Report de couches actives par collage anodique	116
IV.3.1	Choix des matériaux utilisés pour le collage	116
IV.3.2	Encapsulation par dépôt d'aluminium	118
IV.3.3	Dépôt du Pyrex par pulvérisation cathodique	118
IV.3.4	Collage sur substrat hôte de l'ensemble couches épitaxiées - substrat natif	119
IV.3.5	Retrait du substrat natif	119
IV.4	Procédé de fabrication des TBH sur couches reportées	121
IV.4.1	Procédé entièrement auto - aligné pour la fabrication de nano - TBH	121
IV.4.2	Amélioration du procédé auto - aligné	125
IV.4.3	Procédé de fabrication de nano-TBH reportés sur substrat de Pyrex	128
IV.4.4	Verrous technologiques liés au report	132
IV.4.5	Procédé de fabrication de TBH double mesa reportés sur Pyrex	133
IV.5	Conclusion	140
V	Caractérisation électrique des TBH InP/GaAsSb pour applications de puissance	143
V.1	Transistors étudiés	143
V.1.1	Structure H7662	144
V.1.2	Structure H7687	146
V.2	Caractéristiques de Gummel à température ambiante	148
V.2.1	Structure H7662	148
V.2.2	Structure H7687	150
V.2.3	Comparaison des structures H7662 et H7687	155
V.2.4	Conclusions	160
V.3	Coefficient thermo-électrique	161
V.3.1	Définition du coefficient thermo-électrique	161
V.3.2	Mesure du coefficient thermo-électrique	162
V.3.3	Discussion	164
V.3.4	Conclusion	164
V.4	Résistance thermique des TBH	165
V.4.1	Mesure de la température interne du transistor	165
V.4.2	Puissance dissipée dans le transistor	165
V.4.3	Protocole de mesure	166
V.4.4	Résistances thermiques des TBH InP/GaAsSb/InP	169

V.4.5	Conclusion	175
V.5	Gain en courant	176
V.5.1	Structures étudiées	176
V.5.2	Mesure du gain en courant	177
V.5.3	Extraction de la durée de vie	179
V.5.4	Durée de vie en fonction du dopage	180
V.5.5	Gain en fonction de la température	182
V.5.6	Recombinaisons Auger	183
V.5.7	Conclusions	195
V.6	Conclusions	196
Conclusions et perspectives		196
VI Conclusions		197
Bibliographie		199
Table des figures		209
Liste des tableaux		217

.1 Avant-propos

Les performances des transistors bipolaires à hétérojonction InP/GaAsSb n'ont cessé d'être améliorées depuis le travail pionnier de C.Bolognesi [47]. La plupart de ces travaux ont été centrés sur la rapidité de ces transistors et relativement peu sur l'étude de leur aptitude aux applications de puissance.

Les très forts niveaux de dopage obtenus dans la base, l'énorme discontinuité de la bande de valence, la bonne tenue en tension de la jonction base - collecteur et la rapidité intrinsèque de ces matériaux poussent cependant à considérer pour ces transistors des applications de puissance dans le domaine des hyperfréquence. C'est dans ce contexte que se situe ce travail de thèse. Elle fait partie du programme ANR ATTHENA qui a pour but de démontrer la faisabilité de circuits de puissance à base de TBH InP/GaAsSb.

En considérant d'une part, les acquis de notre groupe de recherche sur la conception, la réalisation et la caractérisation des TBH ultra - rapides InP/InGaAs et InP/GaAsSb et d'autre part le potentiel d'une technologie de report de couches actives sur un substrat hôte à adapter les performances de ces transistors aux exigences des applications de puissance, nous avons focalisé nos recherches sur le développement d'une technologie de fabrication de TBH reportés. Dans ce cadre, trois axes de recherche ont alors été définis. Tout d'abord l'étude par simulation numérique de la thermalisation de dispositifs reportés sur substrat hôte. Les résultats très prometteurs nous ont ensuite poussé à développer une technologie de fabrication des TBH InP/GaAsSb reportés sur substrat hôte. Enfin le troisième axe a consisté à caractériser les TBH ainsi réalisés.

Le mémoire est organisé en cinq chapitres.

Le premier chapitre est une introduction au fonctionnement du transistor bipolaire. L'accent est porté principalement sur le fonctionnement de la jonction *pn* ainsi qu'aux comportements statique et dynamique du transistor.

Dans le deuxième chapitre nous discutons, après un bref rappel du contexte de développement de ce transistor, des choix des matériaux à utiliser pour les TBH dédiés aux applications de puissance dans le domaine hyperfréquence.

Le troisième chapitre est dédié à une étude théorique des conditions de thermalisation des TBH. Il commence par une introduction aux concepts de transfert de chaleur, pour définir un modèle analytique qui est utilisé tout au long de cette thèse pour interpréter "avec les mains" les résultats issus tant de la simulation numérique que de l'expérience. À l'aide de ces outils trois structures de transistors sont étudiées. La première un TBH InP/GaAsSb réalisé sur son substrat natif en InP sert de référence à notre étude. Les deux autres structures sont des TBH reportés sur substrat hôte, l'un sur Pyrex, l'autre sur SiC. Nous montrerons que les structures reportées permettent, en introduisant une couche métallique entre les couches actives et le substrat, de placer le TBH dans des conditions de meilleure thermalisation.

La technologie de fabrication des TBH InP/GaAsSb reportés est présentée dans le quatrième chapitre. Après un exposé synthétique de l'intérêt des transistors reportés sur substrat hôte pour les applications dédiées à la puissance, nous exposons les trois grandes étapes de fabrication : collage anodique des couches épitaxiées, retrait du substrat natif et réalisation des transistors sur les couches reportées. L'exposé de la physique du collage anodique nous permet de montrer pourquoi cette technique est particulièrement bien adaptée au report de couches actives. La modélisation du courant de collage est ensuite décrite. Elle permet par un contrôle en temps réel du collage d'augmenter son taux de réussite. La gravure chimique sélective permettant le

retrait du substrat natif est présenté en détail. Enfin la technologie de fabrication des TBH sur les couches reportées est présentée.

Le cinquième et dernier chapitre regroupe les caractérisations électriques faites sur les transistors reportés sur substrat de Pyrex. À titre de comparaison des transistors de géométrie identique réalisés sur leur substrat natif ont été caractérisés de la même manière. Après une présentation des géométries et des structures des transistors étudiés, nous commençons cette comparaison par l'étude des caractéristique de Gummel à température ambiante. L'étude détaillée des courants de base et de collecteur donne des informations sur les structures de bande de ces transistors, en particulier sur l'asymétrie des deux jonctions pn . Le coefficient thermo - électrique a été mesuré au voisinage de la température ambiante. Une comparaison avec les valeurs mesurées sur les hétérojonction de type I, montre tout l'intérêt de l'hétérojonction de type II pour la stabilité thermique de ces transistors. La résistance thermique est mesurée dans chacune des structures afin de mettre en évidence sa réduction dans le cas des transistors reportés, prédite par nos études en simulation. Enfin le gain en courant à très forte densité de courant collecteur est limité par les recombinaisons de type Auger des électrons minoritaires dans le volume de la base, contrairement aux résultats récemment publiés par C.Bolognesi. Ce chapitre est suivi par une conclusion sur l'ensemble de ce travail.

Chapitre I

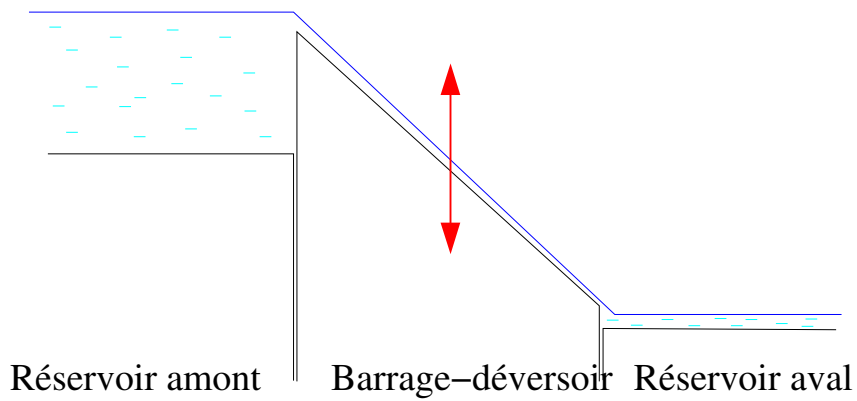
Rappel de la theorie du Transistor Bipolaire

I.1 Introduction

D'une manière très schématique on peut établir une analogie entre le fonctionnement d'un transistor et celui d'un système hydraulique composé de deux réservoirs (amont et aval) séparés par un barrage-déversoir (figure I.1). Le flux passant du réservoir amont à celui situé en aval est alors contrôlé par la hauteur du barrage. Ce contrôle est d'autant plus efficace que les fuites (porosité du déversoir, étanchéité de la paroi coulissante...) sont faibles devant le flux contrôlé.

De même, un transistor peut être vu comme l'assemblage de deux réservoirs de porteurs libres séparés par une barrière de potentiel. Il y aura un effet transistor si l'intensité du courant circulant d'un réservoir à l'autre est contrôlée par la tension externe appliquée à l'électrode de commande (modification de la hauteur de la barrière de potentiel) et que le courant circulant dans le circuit de commande est plus petit que le courant contrôlé.

Le Transistor ...



... Bipolaire

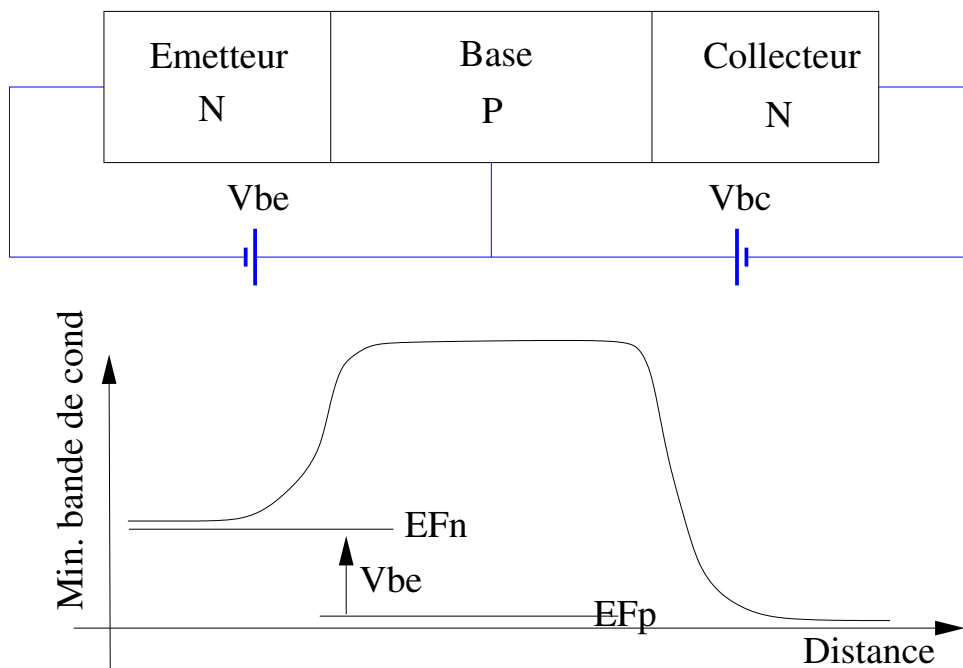


FIG. I.1: Schéma de principe d'un transistor

On connaît deux types de transistors.

- Les transistors à effet de champ où la barrière est créée par le potentiel électrostatique imposé par l'électrode de commande (la grille).
- Les transistors bipolaires où la barrière est due à la présence d'une zone centrale (la base)

dont le dopage est opposé à celui des deux zones situées de part et d'autre.

Il existe donc deux types de transistors bipolaires :

- Le transistor *npn* formé d'un empilement de trois couches dopées alternativement *n*, *p* et *n*. Le courant principal est un courant d'électrons circulant depuis le réservoir d'électrons constituant l'émetteur vers l'autre réservoir d'électrons, le collecteur.
- Le transistor *pnp* formé d'un empilement de trois couches dopées alternativement *p*, *n* et *p*. Le courant principal est un courant de trous circulant depuis le réservoir de trous constituant l'émetteur vers l'autre réservoir de trous, le collecteur.

Dans les deux cas, le courant principal du transistor bipolaire est contrôlé par la barrière de potentiel constituée par la couche centrale (la base) - de type *p* (resp. type *n*) dans le *npn* (resp. *pnp*). En traversant cette région les porteurs, majoritaires dans les deux réservoirs d'extrémité, deviennent minoritaires. Ils ont alors une durée de vie limitée par les processus de recombinaison avec les porteurs majoritaires de cette couche. Un transistor bipolaire présentera un effet transistor si la diminution relative du courant principal due à la recombinaison des porteurs de ce courant au cours de leur transit dans la base est faible.

Dans la suite de cet exposé, seul le transistor *npn* sera considéré, la transposition au cas du transistor *pnp* étant immédiate.

En résumé, le transistor bipolaire apparaît formé de trois régions : émetteur, base et collecteur, correspondant aux trois couches (ou assemblage de couches) semiconductrices nécessaires à sa fabrication. Du point de vue de son fonctionnement, il est préférable d'utiliser un autre découpage :

- **La jonction *pn* émetteur-base** qui contient la barrière de potentiel contrôlant le courant principal du transistor.
- **La base** où les porteurs du courant principal ont une durée de vie limitée par les processus de recombinaison.
- **La jonction *pn* base-collecteur** qui collecte les électrons à la sortie de la base.

Comme on le voit la jonction *pn* (émetteur-base et base-collecteur) est un élément essentiel dans le fonctionnement du transistor bipolaire. Avant d'examiner en détail le transistor dans son ensemble, nous allons présenter le cas de la jonction *pn*.

I.2 Jonction pn

Considérons une jonction *pn* formée d'un semiconducteur de type *n* (les porteurs majoritaires sont des électrons) et d'un semiconducteur de type *p* (les porteurs majoritaires sont des trous). Lorsque les deux matériaux sont électriquement isolés l'un de l'autre, les deux diagrammes de bandes (minimum de la bande de conduction (E_C), maximum de la bande de valence (E_V) et niveau de Fermi (E_F) en fonction de la distance) sont tels que ceux de la figure I.2.

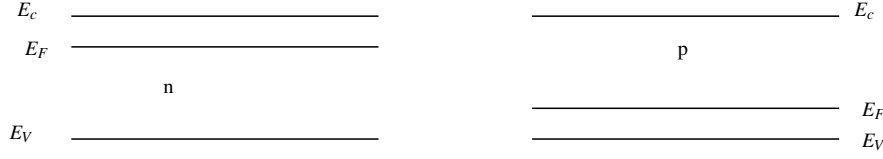


FIG. I.2: Diagramme de bandes de semiconducteurs de type n (a) et de type p (b)

Les concentrations de porteurs libres et de dopants ionisés satisfont l'équation de neutralité électrique $n + N_A^- = p + N_D^+$. En supposant les concentrations compensatrices négligeables (i.e. $N_A^- \ll N_D^+$ dans le type n et $N_A^- \gg N_D^+$ dans le type p), la neutralité électrique s'écrit : $n = N_D^+$ dans le type n et $p = N_A^-$ dans le type p . Dans le cas d'un semiconducteur non-dégénéré, les concentrations de porteurs sont reliées à la position du niveau de Fermi par les relations :

$$\begin{aligned} n &= N_c \exp \frac{E_F - E_c}{k_B T} \\ p &= N_v \exp \frac{E_v - E_F}{k_B T} \end{aligned} \quad (I.1)$$

Une fois la jonction pn formée (i.e. les deux semiconducteurs sont électriquement connectés), l'équilibre thermodynamique se traduit par un niveau de Fermi constant dans toute la structure (figure I.3). Loin de la jonction, les semiconducteurs sont, comme dans le cas précédent, à l'équilibre thermodynamique et la neutralité électrique se traduit par les mêmes approximations : $n = N_D^+$ coté n et $p = N_A^-$ coté p . Ces zones quasi-neutres (ZQN) imposent les conditions aux limites de la jonction pn .

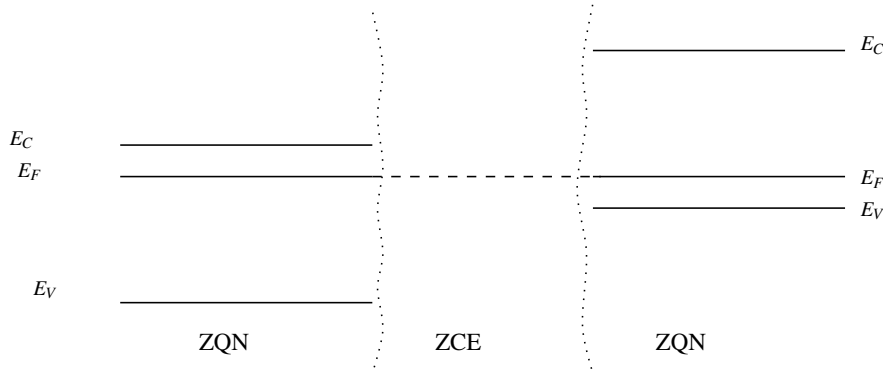


FIG. I.3: Diagramme de bandes de deux semiconducteurs de type n et p en équilibre thermodynamique

Il existe donc nécessairement une région au voisinage de la jonction contenant un gradient de potentiel électrostatique (tracés $E_c(x)$ ou $E_v(x)$ de la figure I.3). Le champ électrique issu de ce gradient tend à déplacer les porteurs de charge vers la région où ils sont majoritaires. D'autre part les porteurs majoritaires initialement stockés dans chaque semiconducteur diffusent dans l'autre semiconducteur, créant ainsi une action de sens opposé à celle du champ électrique. L'équilibre entre ces deux tendances maintient au voisinage de la jonction une zone de charge

d'espace (ZCE) contenant les gradients de porteurs nécessaires à la transition d'une ZQN à l'autre.

I.2.1 Potentiel de diffusion

La chute de potentiel, V_D , observée entre les deux zones de quasi-neutralité (ZQN) est appelée *potentiel de diffusion* puisqu'à l'équilibre thermodynamique le déplacement moyen des porteurs associé au champ électrique compense exactement (le courant est nul à travers la jonction) celui dû à leur diffusion depuis les deux ZQN. La valeur du potentiel de diffusion ne dépend que des conditions aux limites imposées par les ZQN.

$$-qV_D = E_g - (E_F - E_v^p) - (E_c^n - E_F) \quad (I.2)$$

où E_g est la largeur de bande interdite du semiconducteur, E_c^n (resp. E_v^p) le minimum de la bande de conduction dans la ZQN de type n (resp. p). D'après I.1 et en introduisant la concentration intrinsèque :

$$n_i^2 = N_c N_v \exp(-E_g/k_B T) \quad (I.3)$$

le potentiel de diffusion s'écrit :

$$V_D = k_B T \ln\left(\frac{N_D N_A}{n_i^2}\right) \quad (I.4)$$

Notons que cette différence de potentiel, équilibrée par les effets de diffusion, ne génère aucune action électromotrice dans le circuit électrique extérieur à la jonction.

I.2.2 Zone de charge d'espace (ZCE) à l'équilibre thermodynamique

Approximation de complète désertion

D'un bord à l'autre de la ZCE, les différences $E_F - E_c$ et $E_v - E_F$ varient d'une énergie proche de celle de la largeur de bande interdite. C'est à dire d'une quantité de l'ordre de grandeur de 1 eV, grande devant l'énergie thermique ($k_B T \approx 25.9 \text{ meV}$ à température ambiante). La dépendance exponentielle décrite dans les équations I.1 rend donc, dans la ZCE, les concentrations de porteurs (n et p) négligeables devant celles des charges de dopant. La zone ainsi désertée par la quasi-totalité de ses porteurs libres est appelée *zone de charge d'espace* [*space charge layer*] pour noter que, dans cette région, les seules charges restantes sont des charges fixes dans l'espace (celles des dopants ionisés). Dans ces conditions on peut simplifier le problème en supposant que la répartition spatiale de la charge ($\rho(x)$) contenue dans la ZCE s'écrit :

$$\begin{aligned} \rho(x) &= qN_D && \text{dans la partie de type } n \\ \rho(x) &= -qN_A && \text{dans la partie de type } p \end{aligned} \quad (I.5)$$

où q est la charge de l'électron au repos. C'est l'hypothèse dite de *complète désertion* [*depletion approximation*]. Nous reviendrons au paragraphe suivant I.2.2) sur la validité de cette hypothèse.

Les profils de potentiel et de concentration de porteurs libres dans la zone de charge d'espace s'obtiennent en résolvant l'équation de Poisson qui, à une dimension, s'écrit :

$$-\frac{\partial^2 V(x)}{\partial x^2} = \frac{\rho(x)}{\epsilon \epsilon_0} \quad (\text{I.6})$$

où ϵ_0 est la constante diélectrique du vide et ϵ la constante diélectrique relative du semiconducteur. Dans le cadre de l'approximation de complète désertion, sa résolution est immédiate. Considérons (figure I.4) l'origine ($x = 0$) dans le plan de jonction, $-x_n$ (resp. x_p) l'abscisse du bord de ZCE coté dopé n (resp. dopé p). En remarquant que dans les ZQN le champ électrique est nul et que, d'après les équations I.5 la charge est constante par morceaux dans la ZCE, une première intégration de l'équation I.6 de $-x_n$ à 0 dans la zone dopée n et de x_p à 0 dans la zone dopée p donne l'expression du champ électrique ($E(x) = -\frac{\partial V(x)}{\partial x}$) :

$$\begin{aligned} E(x) &= \frac{qN_D}{\epsilon \epsilon_0}(x + x_n) \text{ pour } -x_n \leq x \leq 0 \\ E(x) &= \frac{qN_A}{\epsilon \epsilon_0}(x_p - x) \text{ pour } 0 \leq x \leq x_p \end{aligned} \quad (\text{I.7})$$

Le champ électrique est maximum dans le plan de la jonction ($x = 0$). Il est donné par :

$$|E_{max}| = \frac{qN_D x_n}{\epsilon \epsilon_0} = \frac{qN_A x_p}{\epsilon \epsilon_0} \quad (\text{I.8})$$

De l'expression précédente on remarque que :

$$N_D x_n = N_A x_p \quad (\text{I.9})$$

ce qui est équivalent à dire que le champ électrique est nul de part et d'autre de la zone de charge d'espace (i.e dans les ZQN). Puisque l'extension spatiale de la ZCE dans les zones dopées n et p est dans le rapport inverse de leur dopage, la ZCE est principalement contenue dans la région la moins dopée.

En intégrant une deuxième fois on obtient l'expression du potentiel :

$$\begin{aligned} V(x) &= -\frac{qN_D}{2\epsilon \epsilon_0}(x + x_n)^2 \text{ pour } -x_n \leq x \leq 0 \\ V(x) &= -V_D + \frac{qN_A}{2\epsilon \epsilon_0}(x_p - x)^2 \text{ pour } 0 \leq x \leq x_p \end{aligned} \quad (\text{I.10})$$

La chute totale de potentiel dans la ZCE, entre les deux conditions aux limites imposées par les ZQN (équation I.4), s'écrit également comme la somme des chutes de potentiel dans les zones de type n et de type p. Il vient :

$$V_D = \frac{q}{2\epsilon \epsilon_0} (N_D x_n^2 + N_A x_p^2) \quad (\text{I.11})$$

La résolution du système formé de l'équation précédente (I.11) et de l'équation I.9 :

$$\begin{aligned} V_D &= \frac{q}{2\epsilon\epsilon_0} (N_D x_n^2 + N_A x_p^2) \\ N_D x_n &= N_A x_p \end{aligned}$$

donne l'expression des abscisses x_n et x_p des bords de ZCE :

$$x_n = \sqrt{\frac{2\epsilon\epsilon_0}{q} \frac{N_A}{N_D(N_A + N_D)} V_D} \quad (\text{I.12})$$

$$x_p = \sqrt{\frac{2\epsilon\epsilon_0}{q} \frac{N_D}{N_A(N_D + N_A)} V_D} \quad (\text{I.13})$$

La largeur totale de la ZCE peut être calculée directement en résolvant le système :

$$\begin{aligned} W_{ZCE} &= x_n + x_p \\ x_n N_D &= x_p N_A \end{aligned}$$

Il vient :

$$W_{ZCE} = \sqrt{\frac{2\epsilon\epsilon_0}{q} \left(\frac{N_A + N_D}{N_A N_D} \right) V_D} \quad (\text{I.14})$$

Pour une jonction asymétrique (p.e. n^+p), la largeur de la zone de charge d'espace est, comme vu plus haut, proche de celle contenue dans la région la moins dopée. En supposant $N_D \gg N_A$ dans I.14, elle s'écrit :

$$W = \sqrt{\frac{2\epsilon\epsilon_0 V_D}{q N_A}} \quad (\text{I.15})$$

Pour un potentiel de diffusion de $V_D = 1$ eV et un niveau de dopage $N_A = 10^{15} \text{cm}^{-3}$ la largeur déplétée est de $W = 1 \mu\text{m}$. Ordre de grandeur

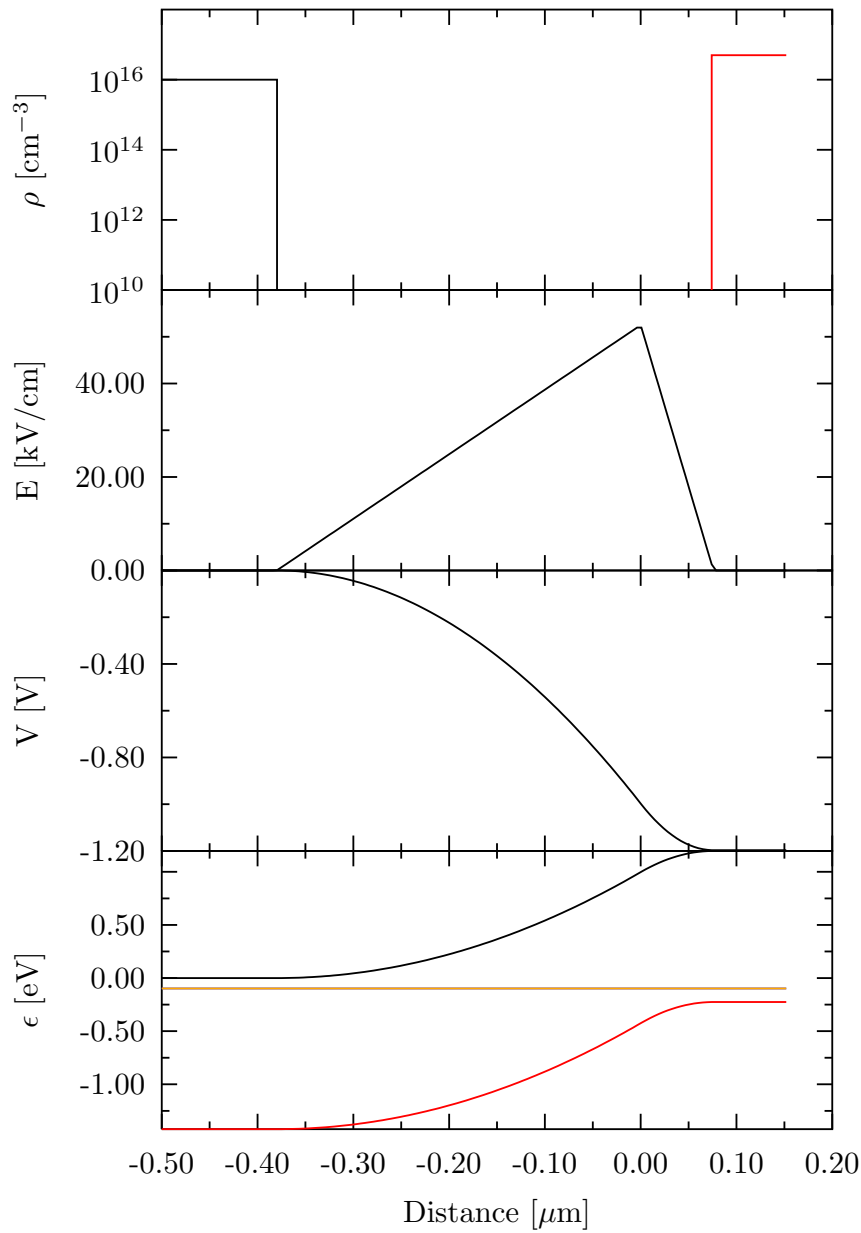


FIG. 1.4: Résolution de l'équation de Poisson dans l'approximation de complète désertion. (a) Profil de charges. (b) Profil de champ électrique. (c) Profil de potentiel (d) Diagramme de bandes.

Validité de l'hypothèse de complète désertion

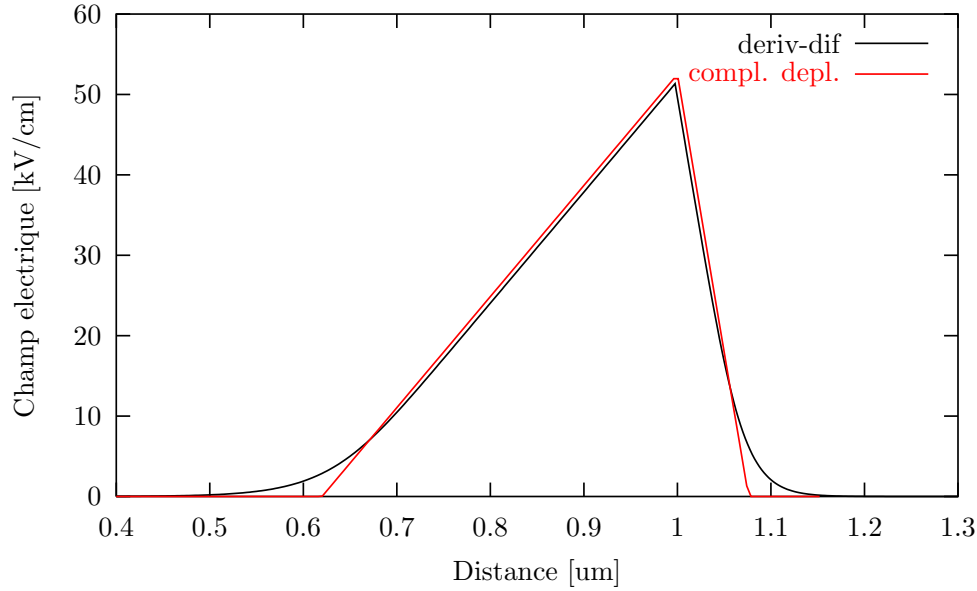


FIG. I.5: Champ électrique calculé dans l'approximation de complète désertion et avec un modèle dérive-diffusion

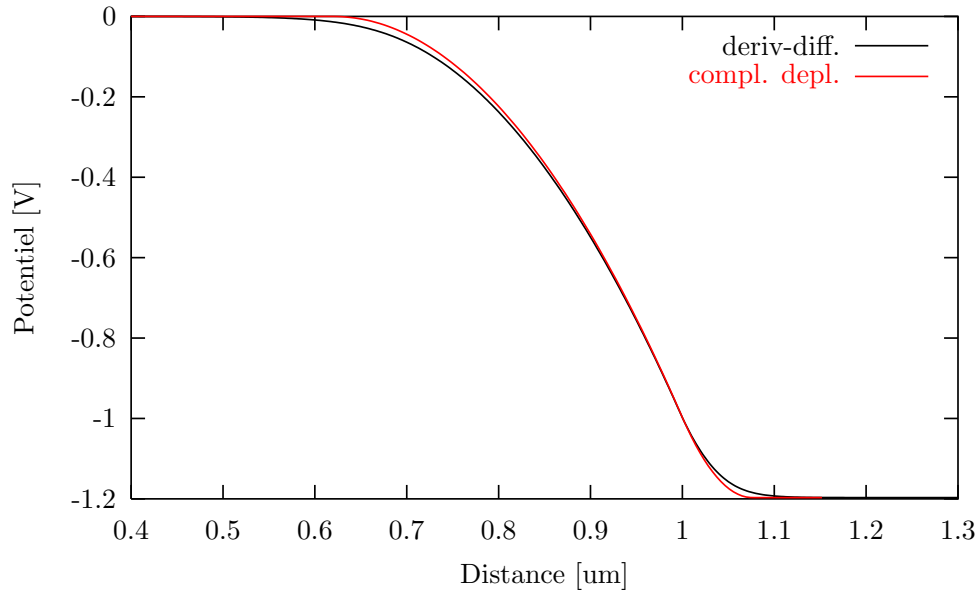


FIG. I.6: Potentiel calculé dans l'approximation de complète désertion et avec un modèle dérive-diffusion

La validité de l'hypothèse de complète désertion peut être appréciée en comparant les résultats obtenus dans le cadre de cette approximation à ceux issus d'un modèle dérive-diffusion que nous considérerons ici comme exacts.

La structure simulée est une jonction *pn* constituée d'une couche de GaAs de 1 μm d'épaisseur, dopée de type n à $N_D = 10^{16} \text{ cm}^{-3}$ et d'une couche de GaAs de 1 μm d'épaisseur dopée

de type p à $N_A = 5 \times 10^{16} \text{ cm}^{-3}$.

La figures I.5 et I.6 représentent, pour les deux modes de calcul, les variations du champ électrique et du potentiel dans la jonction. Sur la quasi-totalité des tracés, les résultats obtenus dans l'approximation de complète désertion sont confondus avec ceux du calcul complet. L'hypothèse de complète désertion est donc tout à fait validée dans cette zone.

En supposant les porteurs à l'équilibre thermodynamique (E_F constant) dans toute la jonction, leur densité peut être calculée en introduisant dans l'expression (I.1) le profil de potentiel calculé plus haut. Les profils de densités de porteurs libres ainsi calculés (fig. I.7) montrent un excellent accord avec celles du calcul complet. On peut être surpris par la qualité de cet accord si on considère le profil de porteurs supposé par l'hypothèse de complète désertion (fig. I.7). On notera cependant, que mise à part une zone étroite en bordure de ZCE, les densités de porteurs libres sont, dans la ZCE, effectivement négligeables devant celles des donneurs ou accepteurs ionisés. Ce qui explique le bon accord mentionné plus haut.

En résumé, l'hypothèse de complète désertion utilisée pour le calcul du champ électrique et du profil de potentiel, jointe au calcul de la densité de porteurs libres à l'équilibre thermodynamique est une approche à la fois simple et précise du calcul des profils de porteurs à l'équilibre dans la ZCE de la jonction pn .

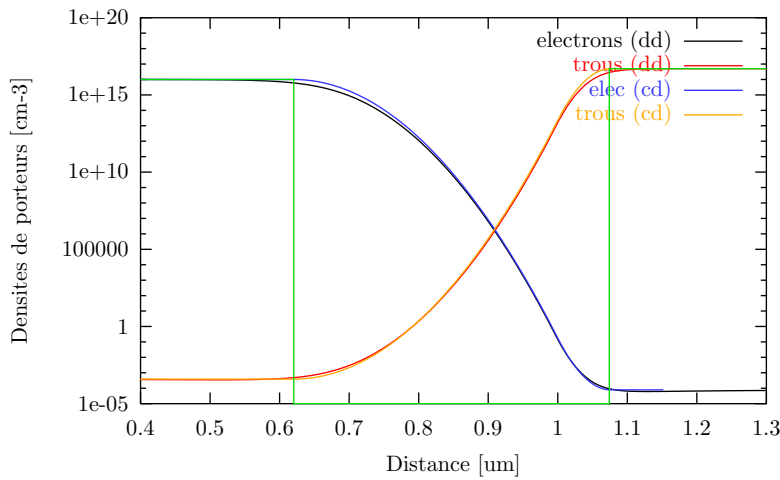


FIG. I.7: Densités de porteurs libres calculées dans l'approximation de complète désertion et avec un modèle dérive-diffusion

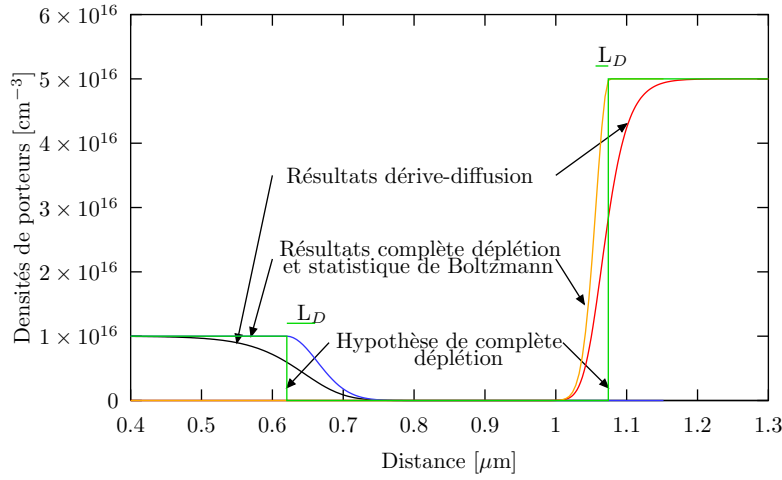


FIG. I.8: Densités de porteurs libres supposées dans l'hypothèse de complète désertion ainsi que ceux calculés dans le modèle dérive-diffusion et dans la statistique de Boltzmann d'après le potentiel issu de l'hypothèse de complète dplétion

Longueur de Debye

L'erreur maximale faite dans l'approximation de complète désertion est localisée dans une faible zone située en bordure de ZCE, particulièrement visible sur les profils de porteurs (fig. I.8). Pour décrire plus en détail le comportement dans cette zone, l'équation de Poisson (eqn. I.6) peut être ré-écrite, en considérant que la densité de porteurs libres est liée au potentiel par la statistique de Fermi. Il vient :

$$\begin{aligned}
 \frac{\partial^2 V(x)}{\partial x^2} &= -\frac{\rho(x)}{\epsilon \epsilon_0} \\
 &= -\frac{q}{\epsilon \epsilon_0} (N_D - n) \\
 &= -\frac{q N_D}{\epsilon \epsilon_0} \left(1 - \exp\left(\frac{qV(x)}{k_B T}\right)\right)
 \end{aligned} \tag{I.16}$$

En bordure de zone de ZCE, le potentiel $V(x)$ reste faible devant $k_B T$, l'exponentielle de l'expression (I.16) peut donc être développée au premier ordre. L'équation devient :

$$\begin{aligned}
 \frac{\partial^2 V(x)}{\partial x^2} &= \frac{q^2 N_D}{\epsilon \epsilon_0} \frac{qV(x)}{k_B T} \\
 &= \frac{V(x)}{L_D^2}
 \end{aligned} \tag{I.17}$$

où L_D , la longueur caractéristique de la variation du potentiel est la *longueur de Debye* [Debye

radius] (fig. I.9). Elle s'écrit :

$$L_D = \sqrt{\frac{\epsilon\epsilon_0 k_B T}{q^2 N_D}} \quad (\text{I.18})$$

La densité de porteurs libres dans la ZCE est donc effectivement négligeable dans la ZCE à une distance de quelques (typiquement 5) longueurs de Debye du bord de cette zone (fig. I.8).

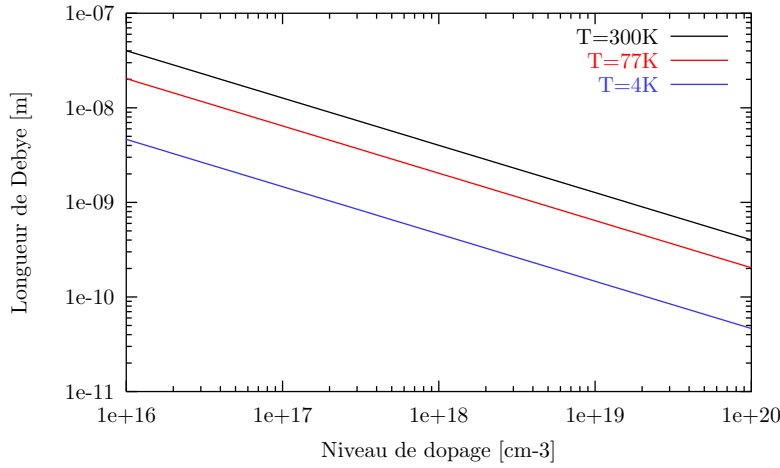


FIG. I.9: Longueur de Debye en fonction du niveau de dopage pour différentes températures

Jonctions polarisées

Les profils de porteurs libres, le champ électrique, le potentiel et le diagramme de bandes d'une jonction *pn*, ont été calculés à l'aide du modèle dérive-diffusion dans le cas de polarisations directe (figure I.10) et inverse (figure I.11). Les effets de charges dues au courant transporté ont été négligés. La comparaison avec les résultats obtenus à l'équilibre thermodynamique (tracés en noir) montre que dans la zone de charge d'espace la polarisation directe se traduit par :

- une augmentation de la densité de porteurs libres
- une réduction du champ électrique
- une réduction de la chute de potentiel (égale à la tension appliquée)

Une polarisation inverse (figure I.11) conduit à des effets opposés.

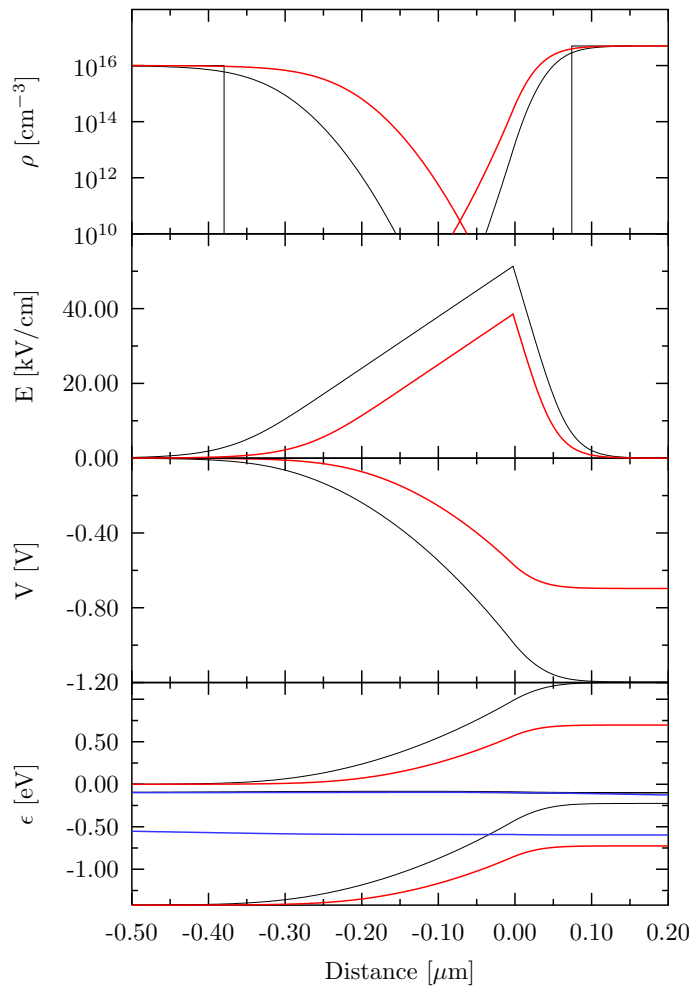


FIG. I.10: Comparaison des profils de porteurs, de champ, de potentiel et de bandes d'une jonction polarisée en direct ($V=0.5\text{V}$, en rouge) avec une jonction à l'équilibre (en noir)

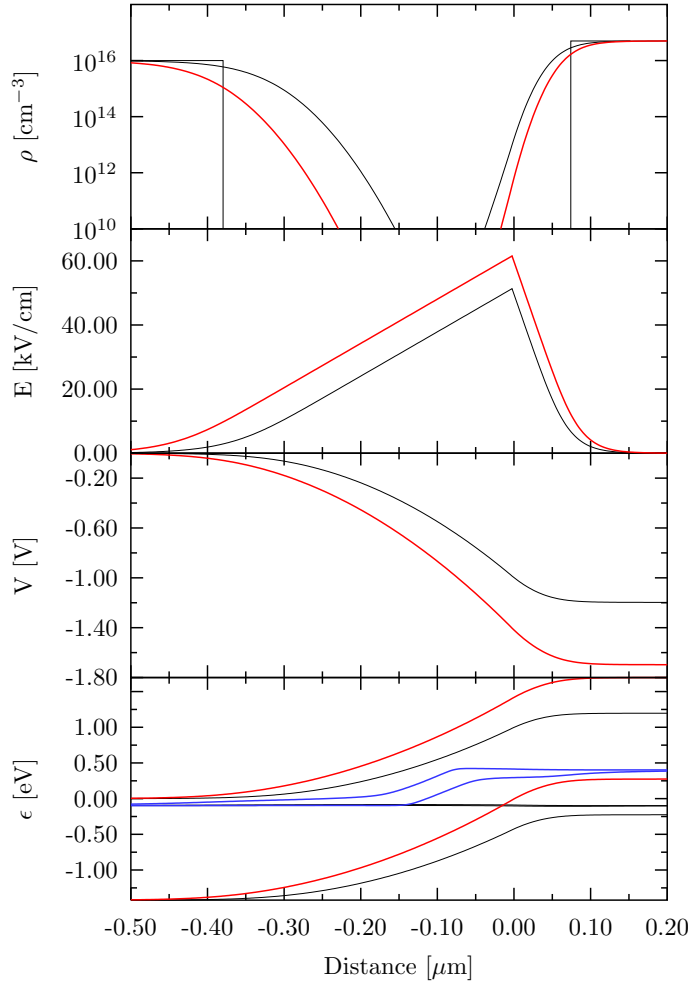


FIG. I.11: Comparaison des profils de porteurs, de champ, de potentiel et de bandes d'une jonction polarisée en inverse ($V = -0.5V$, en rouge) avec une jonction à l'équilibre (en noir)

I.2.3 Courant dans la jonction pn idéale : modèle de Shockley

En l'absence de polarisation externe (Cf. I.2.2), la compensation exacte dans la ZCE des deux actions antagonistes du champ électrique et de la diffusion des porteurs, correspond à un courant nul à travers la jonction. Lorsqu'une polarisation externe est appliquée cet équilibre est rompu et un courant circule à travers la jonction. Dans les paragraphes qui suivent, nous verrons que ce courant est, d'une part asymétrique entre les polarisations directe et inverse et d'autre part très fortement non linéaire.

Une polarisation positive (la région n est polarisée négativement par rapport à la région p) s'oppose au potentiel de diffusion (à l'équilibre thermodynamique le potentiel de la ZQN dopée p est plus faible que celui de la ZQN dopée n, voir figure I.4). Elle tend donc à réduire le champ électrique dans la zone de charge d'espace. La composante de diffusion devient prépondérante et un courant net de porteurs apparaît dans le même sens que celui dû à la diffusion. A l'opposé, une polarisation négative produira un courant de sens opposé dominé par la composante liée au

champ électrique qui est renforcé dans la ZCE sous l'action de la polarisation externe.

Pour les faibles courants (en polarisation inverse ou en faible polarisation directe) le courant total est petit devant le courant correspondant aux composantes de champ électrique et de diffusion. Le système est donc peu perturbé par rapport à l'équilibre thermodynamique observé en l'absence de polarisation externe. On décrira cet état de quasi-équilibre en remplaçant le niveau de Fermi plat de l'équilibre thermodynamique (figure I.4) par deux quasi-niveaux de Fermi, un pour les électrons (E_{Fn}) et un pour les trous (E_{Fp}), également constants dans toute la zone de charge d'espace (figure I.12).

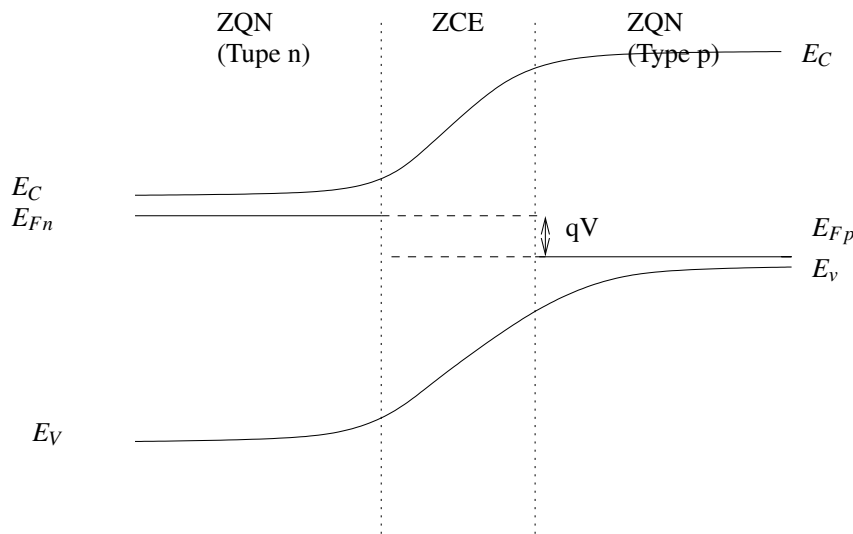


FIG. I.12: Diagramme de bande d'une jonction pn sous polarisation directe. Les quasi-niveaux de Fermi sont constants dans la ZCE

Dans ces conditions, les concentrations de porteurs minoritaires en bordure de zone de charge d'espace s'écrivent :

$$\begin{aligned} n_p &= n_{po} \exp\left(\frac{qV}{k_B T}\right) \\ p_n &= p_{no} \exp\left(\frac{qV}{k_B T}\right) \end{aligned} \quad (\text{I.19})$$

où n_{po} et p_{no} sont les concentrations de porteurs minoritaires à l'équilibre. La jonction polarisée en direct injecte donc des porteurs minoritaires en excès dans les deux ZQN. Leur répartition spatiale dans la ZQN est obtenue en résolvant dans chaque zone l'équation de continuité. En tout point d'abscisse x il vient :

$$\begin{aligned} D_n \frac{\partial^2 n_p(x)}{\partial x^2} - \mu_n E(x) \frac{\partial n_p(x)}{\partial x} + \mu_n n_p(x) \frac{\partial E(x)}{\partial x} + G - R &= 0 \\ D_p \frac{\partial^2 p_n(x)}{\partial x^2} - \mu_p E(x) \frac{\partial p_n(x)}{\partial x} + \mu_p p_n(x) \frac{\partial E(x)}{\partial x} + G - R &= 0 \end{aligned} \quad (\text{I.20})$$

où μ_n et μ_p sont les mobilités des électrons et des trous, G le taux de génération de porteurs et R leur taux de recombinaison. Dans les ZQN le champ électrique (E), sa dérivée ($\frac{\partial E}{\partial x}$) et le taux de génération (G) sont négligeables. Les taux de recombinaison (Cf. I.2.4) s'écrivent :

$$\begin{aligned} R_n &= -\frac{n_p - n_{po}}{\tau_n} \\ R_p &= -\frac{p_n - p_{no}}{\tau_p} \end{aligned} \quad (\text{I.21})$$

où τ_n et τ_p sont les durées de vie des électrons et des trous. Les équations I.20 deviennent :

$$\begin{aligned} D_n \frac{\partial^2 n_p(x)}{\partial x^2} - \frac{n_p - n_{po}}{\tau_n} &= 0 \\ D_p \frac{\partial^2 p_n(x)}{\partial x^2} - \frac{p_n - p_{no}}{\tau_p} &= 0 \end{aligned} \quad (\text{I.22})$$

Pour simplifier la suite de l'exposé, seul le cas des électrons minoritaires dans la région de type p sera présenté, celui des trous dans la région de type n s'en déduisant immédiatement.

Cas des bases longues

Les conditions aux limites sur la concentration des électrons dans la ZQN dopée p sont de deux types. La première est fournie par l'injection d'électrons en bordure de ZCE ($x = x_p$) qui impose une concentration d'électrons donnée par une des équations I.19. La seconde est trouvée à une distance suffisamment grande de la jonction (Cf. I.2.3 pour une discussion sur cette distance), telle que la population des électrons minoritaires est à l'équilibre thermodynamique. C'est l'hypothèse dite *de base longue*. Ces conditions aux limites s'écrivent :

$$\begin{aligned} \text{Si } x = x_p \quad n_p(x_p) &= n_{po} \exp\left(\frac{qV}{k_B T}\right) \\ \text{Si } x \rightarrow \infty \quad n_p(x) &\rightarrow n_{po} \end{aligned} \quad (\text{I.23})$$

Tenant compte des conditions aux limites ci-dessus, la résolution de l'équation différentielle I.22 donne :

$$n_p - n_{po} = n_{po} \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \exp\left(-\frac{x - x_p}{L_n}\right) \quad (\text{I.24})$$

où $L_n = \sqrt{D_n \tau_n}$ est la longueur de diffusion des électrons. À la variation de concentration des électrons dans la ZQN de type p est associée une densité de courant de diffusion $J \propto \frac{\partial n}{\partial x}$ (Le champ électrique est nul dans la ZQN). Compte-tenu de I.24 elle s'écrit :

$$J_n = q \frac{D_n n_{po}}{L_n} \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \exp\left(-\frac{x - x_p}{L_n}\right) \quad (\text{I.25})$$

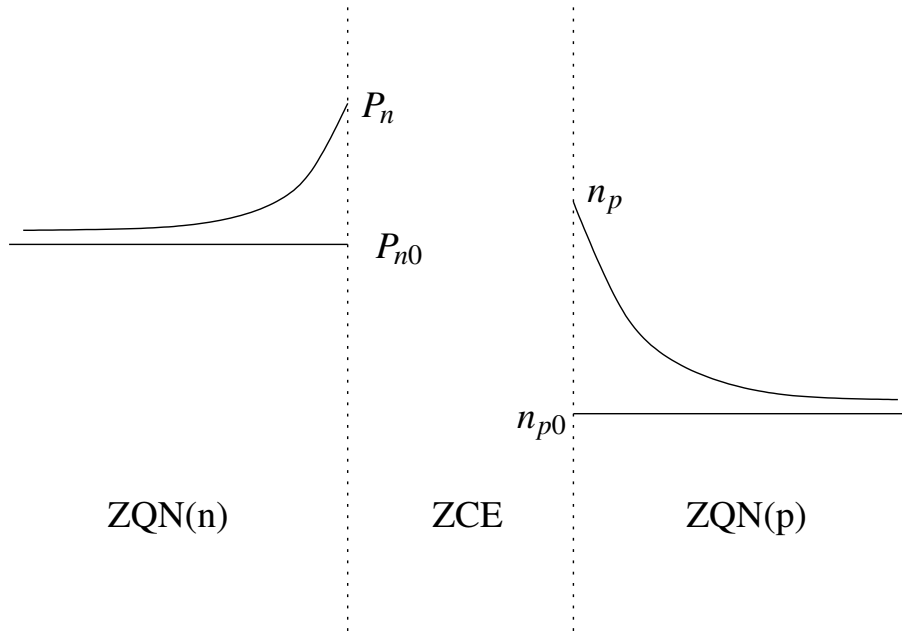


FIG. I.13: Concentrations de porteurs minoritaires dans les ZQN.

Cette densité de courant varie fortement (terme exponentiel) avec la distance à la jonction (figure I.13). Cette dépendance est uniquement due aux phénomènes de recombinaisons (terme en $\exp(-\frac{x-x_p}{L_n})$). Il existe donc dans chaque ZQN un courant de porteurs majoritaires alimentant ces recombinaisons et faisant avec les courants de porteurs minoritaires une somme constante. Ce qui assure la conservation du courant total dans la structure (figure I.14).

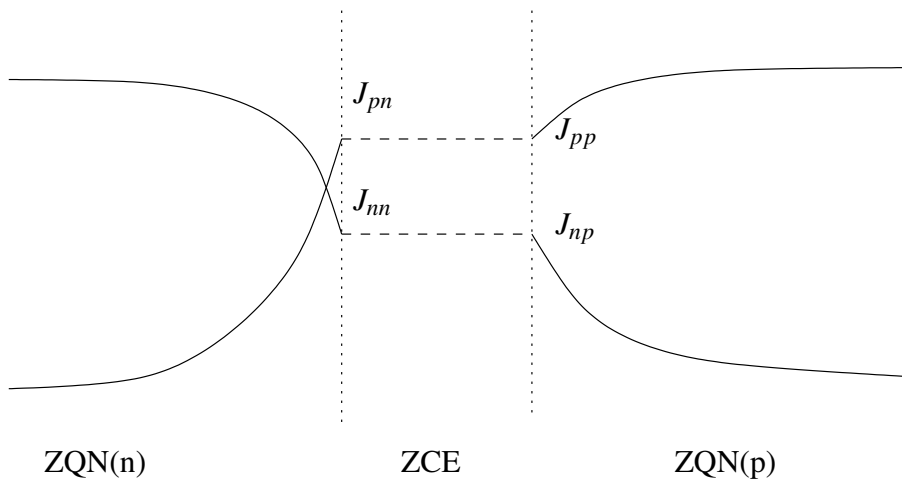


FIG. I.14: Densités de courants d'électrons et de trous à travers la jonction pn

Dans la ZCE les concentrations des deux types de porteurs sont négligeables devant celles des ZQN. Les recombinaisons bande à bande citées plus haut sont donc négligeables dans la ZCE devant celles des ZQN (on verra plus loin que les défauts présents dans la ZCE y introduisent un autre type de recombinaison). Dans ces conditions le courant d'électrons décrit en

I.25 présente une variation négligeable dans la ZCE. En généralisant pour les deux types de porteurs il vient :

$$\begin{aligned} J_n(x_n) &= J_n(x_p) \\ J_p(x_n) &= J_p(x_p) \end{aligned} \quad (\text{I.26})$$

le courant total à travers la jonction peut donc être calculé comme la somme des courants d'électrons et de trous, chacune de ces composantes étant évaluée en bordure de ZCE (i.e. en $x = x_n$ pour le courant de trous et en $x = x_p$ pour le courant d'électrons. Il vient :

$$J = J_p(x_n) + J_n(x_p) \quad (\text{I.27})$$

Compte-tenu de I.25 et d'une expression analogue pour le courant de trous minoritaires dans la ZQN de type n, le courant total, constant dans toute la structure, s'écrit :

$$J = q \left(\frac{D_n n_{po}}{L_n} + \frac{D_p p_{no}}{L_p} \right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (\text{I.28})$$

Cette expression est celle du modèle de Shockley. Le préfacteur :

$$J_s = q \left(\frac{D_n n_{po}}{L_n} + \frac{D_p p_{no}}{L_p} \right) \quad (\text{I.29})$$

$$= q n_i^2 \left(\frac{D_n}{L_n N_A} + \frac{D_p}{L_p N_D} \right) \quad (\text{I.30})$$

est appelé *densité de courant de saturation* car il correspond au courant idéal de la jonction pn polarisée en inverse ($-V \gg k_B T$).

Cas des bases courtes

Les concentrations de porteurs minoritaires dans les ZQN décroissent exponentiellement avec la distance à la bordure ZCE/ZQN (I.24). Cette décroissance est fixée par la longueur de diffusion des porteurs minoritaires (L_n et L_p). Une base est donc considérée comme longue si la longueur de la ZQN est supérieure à quelques (typiquement 5) longueurs de diffusion des porteurs minoritaires dans cette zone.

Pour une durée de vie $\tau = 1$ ns et une mobilité $\mu = 1000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ (i.e. un coefficient de diffusion $D = 26 \text{ cm}^2 \cdot \text{s}^{-1}$) la longueur de diffusion est de $L = 1.6 \text{ } \mu\text{m}$.

Dans de la plupart des cas, la ZQN est plus courte que 5 fois la longueur de diffusion des porteurs minoritaires. L'hypothèse de base longue n'est donc plus valide. On suppose alors que les conditions rencontrées à l'extrémité de la ZQN (contact, surface libre...) impose à cette interface ($x = w_p$) une concentration de porteurs minoritaires à l'équilibre thermodynamique. Les conditions aux limites utilisées pour résoudre les équations différentielles I.22 deviennent :

$$\begin{aligned} \text{Si } x = x_p \quad n_p(x_p) &= n_{po} \exp\left(\frac{qV}{k_B T}\right) \\ \text{Si } x = w_p \quad n_p(w_p) &= n_{po} \end{aligned} \quad (\text{I.31})$$

Après la résolution de l'équation différentielle I.22 la concentration des électrons minoritaires dans les ZQN dopée p s'écrit :

$$n_p(x) - n_{po} = n_{po} \left(\exp\left(\frac{qV}{k_B T}\right) - 1 \right) \frac{\sinh\left(\frac{w_p - x}{L_n}\right)}{\sinh\left(\frac{w_p - x_p}{L_n}\right)} \quad (\text{I.32})$$

On en déduit le courant de diffusion associé au gradient de cette concentration ($J \propto \frac{\partial n}{\partial x}$) :

$$\begin{aligned} J_n(x) &= -qD_n \frac{\partial n_p(x)}{\partial x} \\ &= q \frac{D_n n_{po}}{L_n \sinh\left(\frac{w_p - x_p}{L_n}\right)} \left(\exp\left(\frac{qV}{k_B T}\right) - 1 \right) \cosh\left(\frac{w_p - x}{L_n}\right) \end{aligned} \quad (\text{I.33})$$

Comme dans le cas des bases longues, le courant total à travers la jonction s'écrit :

$$J = J_p(x_n) + J_n(x_p) \quad (\text{I.34})$$

en utilisant l'équation I.33 et une expression analogue pour le courant de trous dans la ZQN de type n, le courant total à travers la jonction s'écrit :

$$J = q \left(\frac{D_n n_{po}}{L_n} \coth\left(\frac{w_p - x_p}{L_n}\right) + \frac{D_p p_{no}}{L_p} \coth\left(\frac{w_n - x_n}{L_p}\right) \right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (\text{I.35})$$

Dans le cas où l'épaisseur de la ZQN est petite devant la longueur de diffusion des porteurs minoritaires ($w_p - x_p \ll L_n$ et $w_n - x_n \ll L_p$) l'expression du courant se simplifie en développant au premier ordre les termes en coth. Il vient :

$$\begin{aligned} J &= q \left(\frac{D_n n_{po}}{w_p - x_p} + \frac{D_p p_{no}}{w_n - x_n} \right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \\ &= q n_i^2 \left(\frac{D_n}{N_A(w_p - x_p)} + \frac{D_p}{N_D(w_n - x_n)} \right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \end{aligned} \quad (\text{I.36})$$

En résumé la caractéristique courant-tension d'une jonction *pn* idéale (modèle de Shockley) s'écrit :

$$J = J_s \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (\text{I.37})$$

où la densité de courant de saturation (J_s) s'écrit :

$$\begin{aligned} \text{Basecourte : } J_s &= q \left(\frac{D_n n_{po}}{L_n} + \frac{D_p p_{no}}{L_p} \right) \\ \text{Baselongue : } J_s &= q \left(\frac{D_n n_{po}}{L_n} \coth\left(\frac{w_p - x_p}{L_n}\right) + \frac{D_p p_{no}}{L_p} \coth\left(\frac{w_n - x_n}{L_p}\right) \right) \end{aligned} \quad (\text{I.38})$$

I.2.4 Courants dans la diode à jonction pn : principaux effets parasites

À la caractéristique électrique idéale décrite par le modèle de Shockley, il faut pour décrire les caractéristiques électriques mesurées, ajouter d'autres contributions telles que celles dues aux recombinaisons ou aux résistances série et parallèle. Ces différentes composantes vont être décrites dans les paragraphes qui suivent.

Courants de génération-recombinaison dans la ZCE

Dans tous les semiconducteurs, y compris les plus purs, il existe des défauts structuraux localisés (lacunes, atomes en anti-site, atomes interstitiels...) qui se traduisent par la présence dans la bande interdite d'états liés, appelés *pièges*. La présence de ces pièges peut fortement modifier les probabilités de génération et de recombinaison des porteurs, introduisant des composantes de courant dites de génération ou de recombinaison. Dans les paragraphes qui vont suivre on présente les différentes composantes de courant qui leur sont associées.

Le calcul de la probabilité de génération-recombinaison par l'intermédiaire d'un piège a été établi par Shockley et Read [87] d'une part et par Hall [1] d'autre part. En considérant un semiconducteur présentant des pièges :

- actifs pour les processus de recombinaison
- correspondant à un seul niveau d'énergie (E_t) dans la bande interdite
- de densité (N_t) uniformément répartie dans l'ensemble du matériau

le taux net de recombinaison (U) s'écrit :

$$U = \frac{np - n_i^2}{\tau_p(n + n_t) + \tau_n(p + p_t)} \quad (\text{I.39})$$

où τ_n (resp. τ_p) est la durée de vie des électrons (resp. des trous) et n_t (resp. p_t) est le nombre d'électrons dans la bande de conduction (resp. de valence) quand le niveau de Fermi (E_F) est sur le niveau de piège (E_t).

$$\begin{aligned} n_t &= N_c \exp\left(\frac{E_t - E_c}{k_B T}\right) \\ p_t &= N_v \exp\left(\frac{E_t - E_v}{k_B T}\right) \end{aligned} \quad (\text{I.40})$$

Dans la ZCE d'une jonction pn les quasi-niveaux de Fermi des électrons (F_n) et des trous (F_p) sont constants (voir la théorie de la jonction pn au paragraphe I.2.3) alors que les niveaux intrinsèque (E_i) et de piège (E_t) présentent les mêmes profils que les bandes de conduction et de valence. Les densités de porteurs libres (n et p) présentent donc de fortes variations sous l'effet de la polarisation qui se traduisent par de fortes modifications du taux net de génération-recombinaison.

Cas de la polarisation inverse Sous l'effet de la polarisation inverse l'extension spatiale de la ZCE augmente par rapport à sa valeur à l'équilibre. En particulier la densité de porteurs minoritaires en bordure de ZCE (i.e. injectés dans la ZQN) s'écrit (d'après I.19) :

$$\begin{aligned} n_p &= \frac{n_i^2}{N_A} \exp \frac{qV}{k_B T} \\ p_n &= \frac{n_i^2}{N_D} \exp \frac{qV}{k_B T} \end{aligned} \quad (\text{I.41})$$

où V est la tension de polarisation inverse ($V < 0$). Dans ces conditions le produit np est, dans une zone englobant à la fois la ZCE et une zone large de quelques longueurs de diffusion de part et d'autre de celle-ci, inférieur à sa valeur à l'équilibre n_i^2 . Le numérateur de l'expression (I.39) du taux net de recombinaison présente donc, dans la ZCE, un maximum qui peut être approximé par :

$$np - n_i^2 = -n_i^2 \quad (\text{I.42})$$

D'autre part les quasi-niveaux de Fermi étant constants dans la ZCE, ils croisent le niveau d'énergie des pièges E_t (Fig. I.15). Il existe donc dans la ZCE, une zone délimitée par ces points de croisement dans laquelle :

$$\begin{aligned} F_n < E_t \quad n \ll n_t & \quad \Rightarrow \quad n + n_t \approx n_t \\ F_p > E_t \quad p \ll p_t & \quad \Rightarrow \quad p + p_t \approx p_t \end{aligned} \quad (\text{I.43})$$

Dans cette zone, que nous appellerons *zone de génération*, le dénominateur de l'expression (I.39) du taux net de recombinaison du modèle de Shockley-Read-Hall présente donc une valeur minimale constante :

$$\tau_p(n + n_t) + \tau_n(p + p_t) = \tau_p n_t + \tau_n p_t \quad (\text{I.44})$$

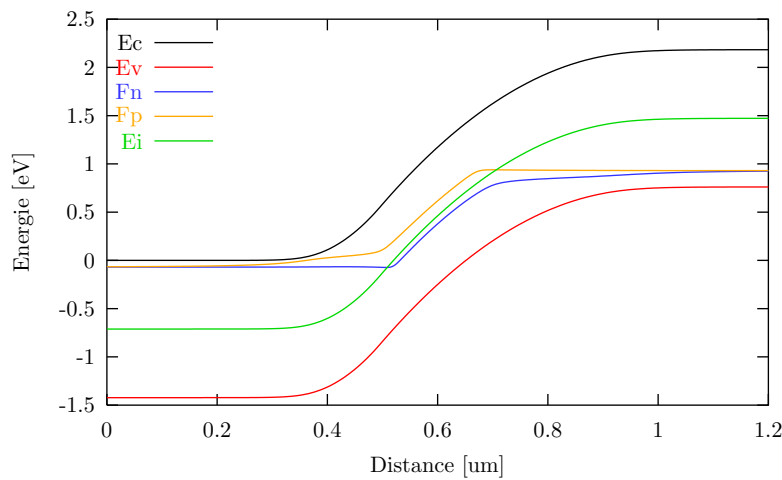


FIG. I.15: Diagramme de bande d'une jonction pn polarisée en inverse. Par souci de clarté le niveau de piège E_t est supposé confondu avec le niveau intrinsèque E_i .

En utilisant les approximations (I.42) et (I.44) l'expression (I.39) du taux net de recombinaison du modèle de Shockley-Read-Hall s'écrit sous polarisation inverse :

$$R - G = \frac{-n_i^2}{\tau_n n_t + \tau_p p_t} \quad (\text{I.45})$$

Le signe négatif de l'expression (I.45) correspond à une prédominance des processus de génération devant ceux de recombinaison. En effet les densités de porteurs libres dans la ZCE étant, sous polarisation inverse, très faibles, les processus de recombinaison sont très peu probables. Les processus de génération tendent à faire croître les densités de porteurs libres vers leur valeur à l'équilibre thermodynamique ($np = n_i^2$). Sous l'action du fort champ électrique présent dans la ZCE polarisée en inverse les porteurs générés sont rapidement collectés (i.e. avec une constante de temps plus courte que celle de génération) par les ZQN où ils sont majoritaires. Les populations de porteurs dans la ZCE restent hors d'équilibre et un courant de génération est créé. On observe donc, sous polarisation inverse, un courant dit *courant de génération* dû à la présence de pièges.

Les quasi-niveaux de Fermi des électrons F_n et des trous F_p étant constants dans la ZCE, les densités de porteurs libres varient très vite avec la distance dans la ZCE. Le taux net de génération (expression (I.39)) présente donc de fortes variations en bordure de ZCE et un plateau dans la zone de génération (au centre de la ZCE, entre les points d'intersection des quasi-niveaux de Fermi et du niveau de piège). Même si les pièges sont uniformément répartis dans la structure, la génération de courant n'a donc lieu, de façon non négligeable, que dans la zone de génération. Cette zone intégrant l'interface entre les régions n et p, on pourra donc parler de *courant d'interface*, que la présence de cette interface ait ajouté ou pas des centres de recombinaison.

L'hypothèse, utilisée jusqu'ici, de quasi-niveaux de Fermi constants dans la toute la ZCE n'est valide qu'en l'absence de courant de génération. En effet, dans la zone de génération la densité de porteurs libres est déterminée par l'équilibre entre les flux de génération et de collection. Cette densité constante dans toute la zone de génération, se traduit par des quasi-niveaux de Fermi parallèles aux bandes de conduction et de valence. Les quasi-niveaux de Fermi présentent donc deux comportements dans la ZCE sous polarisation en inverse (Fig. I.15) :

- constant entre la ZQN où les porteurs sont majoritaires et la zone de génération
- parallèle (i.e. densités de porteurs constantes) dans la zone de génération.

Cette observation ne change pas les conclusions issues de l'hypothèse précédente puisque les quasi-niveaux de Fermi sont effectivement constants entre le bord de ZQN et la zone de génération.

D'après la définition (eqn. I.40) de n_t et p_t le taux net de recombinaison s'écrit :

$$R - G = \frac{-n_i}{\tau_n \exp \frac{E_t - E_i}{k_B T} + \tau_p \exp \frac{E_i - E_t}{k_B T}} = \frac{-n_i}{\tau_g} \quad (\text{I.46})$$

où $\tau_g = \tau_n \exp \frac{E_t - E_i}{k_B T} + \tau_p \exp \frac{E_i - E_t}{k_B T}$ est la constante de temps effective pour les processus de génération. Le courant de génération est la somme des générations de porteurs sur l'ensemble de la ZCE. Il s'écrit :

$$\begin{aligned}
J_g &= q \int_0^{W_{ZCE}} |R - G| dx \\
&= q \frac{n_i}{\tau_g} W_{ZCE}
\end{aligned} \tag{I.47}$$

En introduisant l'expression de la largeur de la ZCE établie au paragraphe I.2.2, le courant de recombinaison s'écrit :

$$J_g = q \frac{n_i}{\tau_g} \sqrt{\frac{2\epsilon\epsilon_0}{q} \left(\frac{N_A + N_D}{N_A N_D} \right) (V_D - V)} \tag{I.48}$$

Le courant total observé sous polarisation inverse s'écrit donc comme la somme du courant de saturation (voir paragraphe I.36) et du courant de génération : $J_{inv} = J_s + J_g$. Le premier étant proportionnel à n_i^2 et le second à n_i , le courant de génération est prédominant lorsque n_i est suffisamment petit (i.e. la largeur de bande interdite est grande) ce qui est le cas pour InP à température ambiante.

Cas de la polarisation directe Sous l'effet de la polarisation directe l'extension spatiale de la ZCE diminue par rapport à sa valeur à l'équilibre. En particulier le produit des densités de porteurs np dans la ZCE s'écrit (d'après I.19) :

$$np = n_i^2 \exp \frac{qV}{k_B T} \tag{I.49}$$

où V est la tension de polarisation directe ($V > 0$). Le signe positif de cette expression correspond à une prépondérance des processus de recombinaison par rapport à ceux de génération dont le bilan net tend à réduire les densités de porteurs à leur valeur d'équilibre. Dans ces conditions le taux net de génération recombinaison dû à la présence de pièges (eqn. I.39) s'écrit :

$$\begin{aligned}
R - G &= \frac{np - n_i^2}{\tau_p(n + n_t) + \tau_n(p + p_t)} \\
&= \frac{n_i^2 \left[\exp \frac{qV}{k_B T} - 1 \right]}{\tau_p(n + n_t) + \tau_n(p + p_t)}
\end{aligned} \tag{I.50}$$

Lorsque la polarisation directe est suffisante ($V \gg k_B T$) et en supposant par souci de simplification le niveau de centres de recombinaison E_t confondu avec le niveau intrinsèque E_i et la durée de vie des électrons égale à celle des trous $\tau_n = \tau_p = \tau$, l'expression précédente devient :

$$R - G = \frac{n_i^2 \exp \frac{qV}{k_B T}}{\tau(n + p + 2n_i)} \tag{I.51}$$

Cette expression présente un maximum lorsque la somme $n + p$ est minimum. Compte tenu de l'expression (I.49) cette somme s'écrit :

$$n + p = n + \frac{n_i^2 \exp \frac{qV}{k_B T}}{n} \tag{I.52}$$

Elle présente un minimum pour $n = n_i^2 \exp \frac{qV}{k_B T}$. Le taux net de génération-recombinaison présente donc une valeur maximale :

$$(R - G)_{max} = \frac{n_i^2 \exp \frac{qV}{2k_B T}}{2\tau} \quad (I.53)$$

Le courant de recombinaison issu de ces processus est obtenu en sommant les recombinaisons sur l'ensemble de la ZCE. Il vient :

$$J_{rec} = q \int_0^{W_{ZCE}} R_G dx \quad (I.54)$$

Compte-tenu de l'expression (I.53) de la valeur maximum du taux de recombinaison, le courant de recombinaison (eqn. I.54) dû aux recombinaisons sur les pièges de la ZCE peut être approximé par :

$$J_{rec} \simeq q W_{ZCE} \frac{n_i^2}{2\tau} \exp \frac{qV}{2k_B T} \quad (I.55)$$

En polarisation directe, le courant de recombinaison dû aux recombinaisons sur les pièges de la ZCE est donc proportionnel à $\exp \frac{qV}{2k_B T}$ alors que le courant porté par les porteurs injectés dans les ZQN est proportionnel à $\exp \frac{qV}{k_B T}$.

Effet des résistances d'accès

Nous avons jusqu'ici considéré que, dans les zones de quasi-neutralité, le champ électrique est nul. En effet ce champ électrique peut, dans la plupart des cas, être considéré comme négligeable devant celui présent dans la zone de charge d'espace. La résistivité finie des semi-conducteurs constituant les ZQN impose cependant la présence d'un champ électrique dans ces zones. Deux conséquences sont alors à envisager :

- la chute de tension aux bornes de la ZCE présente un décalage par rapport à la tension externe appliquée
- les porteurs libres en bordure de ZCE ne sont pas à l'équilibre thermodynamique mais présentent une température électronique plus élevée que celle du réseau

Dans ce travail nous supposons que le champ électrique présent dans les ZQN très dopées des transistors que nous allons étudier, est suffisamment faible pour considérer que la température électronique dans ces zones reste égale à celle du réseau. Dans ces conditions la chute de tension aux bornes des ZQN (V_{ZQN}) est donnée par la loi d'Ohm :

$$V_{ZQN} = R^* J \quad (I.56)$$

où $R^* = \rho L$ est la densité de résistance de la ZQN de longueur L et J la densité de courant dans la ZQN. L'effet des résistances d'accès, proportionnel au courant, est donc efficace qu'aux fortes polarisations directes. Il présente alors une limite à l'augmentation de la polarisation directe de la jonction.

L'expression générale I.37 du courant dans la jonction pn devient :

$$J = J_s \left[\exp\left(\frac{q(V_{ext} - R^* J)}{k_B T}\right) - 1 \right] \quad (I.57)$$

où V_{ext} est la polarisation externe appliquée à la diode. Cette équation transcendante n'est pas agréable à manipuler, en particulier lorsqu'il s'agit de la comparer aux valeurs expérimentales. On préférera dans la suite utiliser la relation inverse :

$$V = \frac{k_B T}{q} \text{Log} \left(\frac{J}{J_s} - 1 \right) + R^* J \quad (\text{I.58})$$

qui présente le double avantage d'être plus facilement utilisable et de présenter de plus faibles variations (un logarithme au lieu d'une exponentielle) ce qui améliore considérablement la précision de l'extraction de ses paramètres lors d'une adéquation aux valeurs expérimentales.

Caractéristique courant-tension de la jonction *pn*

La prise en compte des différents effets parasites décrits plus haut permet de calculer la caractéristique courant-tension de la diode réelle. Elle s'écrit :

$$J = J_s^{idal} \left[\exp\left(\frac{q(V_{ext} - R^* J)}{k_B T}\right) - 1 \right] + J_s^{SRH} \left[\exp\left(\frac{q(V_{ext} - R^* J)}{2k_B T}\right) - 1 \right] + V_{ext}/R_P \quad (\text{I.59})$$

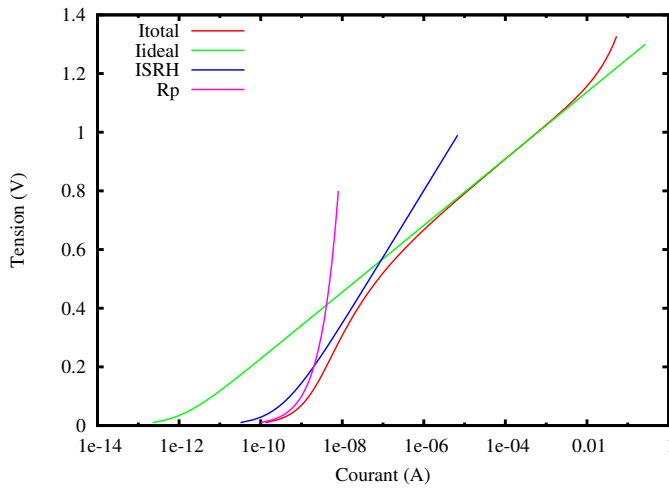


FIG. I.16: Caractéristique courant-tension d'une jonction *pn* réelle

Une caractéristique typique est tracée figure I.16 avec les paramètres suivants :

$$\begin{aligned} J_s^{idal} &= 1 \times 10^{-12} \text{ A} \\ J_s^{SRH} &= 3 \times 10^{-8} \text{ A} \\ R_P &= 1 \times 10^8 \Omega \\ R_S &= 2 \Omega \end{aligned} \quad (\text{I.60})$$

La caractéristique idéale (tracé vert) n'est directement observable sur la caractéristique mesurée (tracé rouge) que sur une faible plage de courant (ici entre 1×10^{-5} et 1×10^{-3} A). Cette plage est limitée du coté des forts courants par l'effet des résistances d'accès et coté faible courant par la composante de courant (tracé bleu) due aux recombinaisons dans la ZCE et les courants de fuite (tracé mauve).

Cette complexité rend l'exploitation des caractéristiques courant-tension des diodes *pn* difficile et conduit à de fortes incertitudes sur les valeurs extraites des différents paramètres. Nous verrons que dans le cas des transistors bipolaires la séparation naturelle des courants d'électrons et de trous réduit considérablement cette difficulté.

I.3 Hétérojonction

Une hétérojonction est une jonction constituée par deux semiconducteurs différents. Elle peut être graduelle en composition ou en dopage ou bien abrupte. Il faut noter, cependant, que le caractère abrupt ne peut être totalement obtenu en pratique. Suivant les méthodes d'épitaxie, l'interface peut se faire sur des échelles allant de quelques à quelques centaines de monocouches.

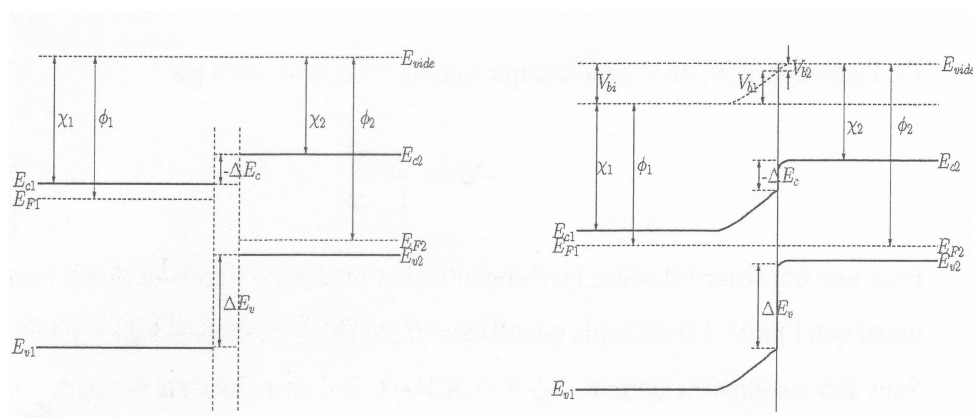


FIG. 1.17: (a) Diagramme de bande de deux semiconducteurs isolés l'un de l'autre. (b) Diagramme de bande de l'hétérojonction formée des deux semiconducteurs mis en contact

On distingue trois types d'hétérojonctions suivant les positions relatives des bandes interdites des deux semiconducteurs formant l'hétérojonction.

- Type I : La bande interdite du semiconducteur à faible bande interdite est entièrement incluse dans celle du matériau à grand gap. Les discontinuités ΔE_C de la bande de conduction et ΔE_V de la bande de valence sont toutes les deux comptées positives.
- Type II : La bande interdite du semiconducteur à faible bande interdite est pour partie face à la bande interdite du matériau à large bande interdite, pour partie face à sa bande de conduction ou de valence. En prenant comme exemple le premier cas, la discontinuité ΔE_C de la bande de conduction est négative alors que celle de la bande de valence ΔE_V est positive.
- Type III : La bande interdite du semiconducteur à faible bande interdite est entièrement incluse dans la bande de conduction ou de valence du matériau à large bande interdite. En

prenant comme exemple le premier cas, la discontinuité ΔE_C de la bande de conduction est négative alors que celle de la bande de valence ΔE_V est positive.

Pour décrire l'hétérojonction abrupte, nous allons considérer en première approche le modèle d'Anderson. Ce modèle est basé sur l'hypothèse de la continuité du niveau de libération et du niveau de Fermi des électrons au voisinage de l'hétérojonction. Néanmoins, celle-ci est fortement entachée d'erreurs. La théorie reprise dans Vurgaftman [3] est beaucoup plus fiable. Dans la suite nous utiliserons le modèle historique d'Anderson pour l'introduction des concepts liés aux hétérojonctions puis l'approche et les résultats de Vurgaftman pour la détermination de leur paramètres.

La figure I.17 montre le diagramme de bande de deux semiconducteurs. Nous avons supposé que la bande interdite E_g , la constante diélectrique ϵ , le potentiel Φ_m et l'affinité électronique χ sont différents dans les deux semiconducteurs. Le potentiel Φ_m (resp. l'affinité électronique χ) est défini comme l'énergie nécessaire pour faire passer un électron du niveau de Fermi E_F (resp. du minimum de la bande de conduction E_C) au niveau du vide mesuré à une distance infinie du semiconducteur. La distance en énergie entre les deux minimum de bande de conduction entre les deux semiconducteurs est représentée par ΔE_C , celle dans la bande de valence par ΔE_V . La continuité du niveau du vide à l'interface impose alors que :

$$\Delta E_C = \chi_2 - \chi_1 \quad (\text{I.61})$$

La discontinuité dans la bande de valence est donnée par : $\Delta E_V = \Delta E_g - \Delta E_C$ avec :

$$\Delta E_g = E_{g1} - E_{g2} \quad (\text{I.62})$$

À l'équilibre thermodynamique le niveau de Fermi est constant dans toute la structure. Comme dans le cas d'une homojonction pn un potentiel de diffusion V_{bi} se crée dans l'hétérojonction pn . Ce potentiel est égal à la somme des potentiels de diffusion contenus dans la région de type n V_{b1} et dans celle de type p V_{b2} . Il s'écrit $V_{bi} = V_{b1} + V_{b2}$. D'autre part il est égal à la différence des potentiels d'extraction Φ_m , il s'écrit $V_{bi} = \Phi_2 - \Phi_1$. Dans le cas d'une hétérojonction pn , il s'écrit donc :

$$V_{bi} = E_g - \Delta E_C - \xi_n + \xi_p \quad (\text{I.63})$$

où ξ_n et ξ_p sont les potentiels chimiques dans les zones n et p . Les largeurs et les capacités de la zone de charge d'espace peuvent être obtenues en résolvant l'équation de Poisson comme dans le cas d'une homojonction pn . Dans l'approximation d'une complète désertion, et en utilisant la continuité du vecteur déplacement électrique $\epsilon_1 E_1 = \epsilon_2 E_2$ à l'interface, nous trouvons :

$$x_1 = \sqrt{\frac{2N_A \epsilon_1 \epsilon_2 (V_{bi} - V)}{qN_{D1}(\epsilon_1 N_{D1} + \epsilon_2 N_{A2})}} \quad (\text{I.64})$$

$$x_2 = \sqrt{\frac{2N_A \epsilon_1 \epsilon_2 (V_{bi} - V)}{qN_{A2}(\epsilon_1 N_{D1} + \epsilon_2 N_{A2})}} \quad (\text{I.65})$$

La répartition du potentiel des deux côtés de la jonction est donnée par :

$$\frac{V_{b1} - V_1}{V_{b2} - V_2} = \frac{N_{A2} \epsilon_2}{N_{D1} \epsilon_1} \quad (\text{I.66})$$

où $V = V_1 + V_2$ est le potentiel appliqué. Cette équation reste vraie quelque soit la polarisation appliquée à la jonction. L'approximation de complète désertion que nous avons considérée pour déterminer le profil de potentiel n'est plus valable lorsque le rapport de dopage entre la zone p et la zone n est très grand, comme dans le cas d'un TBH où la base est très fortement dopée. Si le dopage de l'émetteur N_D est de l'ordre de $5 \times 10^{17} \text{ cm}^{-3}$ et celui de la base N_{A2} de l'ordre de $5 \times 10^{19} \text{ cm}^{-3}$, la zone de charge d'espace s'étend essentiellement dans l'émetteur. En effet les constantes diélectriques des deux semiconducteurs étant très voisines $V_{b1} \sim 100V_{b2}$. Si $V_{b1} + V_{b2} = 0.7 \text{ eV}$, alors $V_{b2} \sim 7 \text{ meV}$ ce qui est très petit devant $k_B T$ à température ambiante. On atteint ici la limite du modèle de complète désertion, car le potentiel contenu dans la base n'est pas grand devant $k_B T$ et la densité de charge locale dans la ZCE contenue dans la base est différente de N_A . Dans ce cas, le calcul doit tenir compte du profil de la concentration de porteurs libres en bordure de la zone charge d'espace (Cf. calcul de la longueur de Debye au paragraphe I.2.2).

I.3.1 Facteur d'idéalité de l'hétérojonction abrupte

Les hétérojonctions pn de type I présentent un facteur d'idéalité théorique supérieur à l'unité. En effet, le courant de nature thermoionique étant contrôlé par la barrière de potentiel V_1 contenue dans l'émetteur, il s'écrit :

$$J = J_0 \exp\left(\frac{V_1}{k_B T}\right) \quad (\text{I.67})$$

D'après l'équation I.11 la chute de potentiel aux bornes de l'hétérojonction s'écrit :

$$V = V_1 \left(1 + \frac{V_2}{V_1}\right) = V_1 \left(1 + \frac{N_D \epsilon_1}{N_A \epsilon_2}\right) \quad (\text{I.68})$$

Le courant à travers l'hétérojonction s'écrit donc :

$$J = J_0 \exp\left(\frac{V}{n k_B T}\right) \quad (\text{I.69})$$

où n est le coefficient d'idéalité théorique valant $n = 1 + \frac{\epsilon_1 N_{D1}}{\epsilon_2 N_{A2}}$.

Dans les TBH, la base est fortement dopée (typiquement $N_A = 5 \times 10^{19} \text{ cm}^{-3}$) devant l'émetteur (typiquement $N_D = 5 \times 10^{17} \text{ cm}^{-3}$). Le coefficient d'idéalité est voisin de 1.03. Dans les hétérojonctions de type II, le courant est de nature diffusive (équilibre thermodynamique dans toute la zone de charge d'espace), c'est donc le potentiel $V = V_1 + V_2$ qui contrôle le courant et le coefficient d'idéalité est égal à 1.

I.4 Le transistor bipolaire

I.4.1 Comportement statique

Dans cette section, nous considérons la caractéristique statique des transistors nnp en fonctionnement normal, c'est-à-dire quand la jonction émetteur-base est polarisée **en direct** et la

jonction base-collecteur **en inverse**. Les figures I.18 montrent le schéma électrique d'un transistor bipolaire *npn* monté en configuration base commune (partie a), le profil de dopage abrupt des trois zones émetteur, base et collecteur (partie b) et le diagramme de bandes du transistor en fonctionnement normal. Dans la suite, les notations seront celles de cette figure.

Les caractéristiques statiques d'un transistor bipolaire peuvent être aisément déduites de la théorie de la jonction *pn* discutée dans la section précédente. Afin d'illustrer les principales propriétés du transistor bipolaire, nous supposons que les relations courant tension des jonctions émetteur-base et base-collecteur sont données par l'équation de la diode idéale, et que les conditions de faible injection restent valides. Ne considérant dans cette partie que le transistor intrinsèque, nous ne tiendrons compte ni des effets de surface, ni de la génération recombinaison, ni des résistances séries.

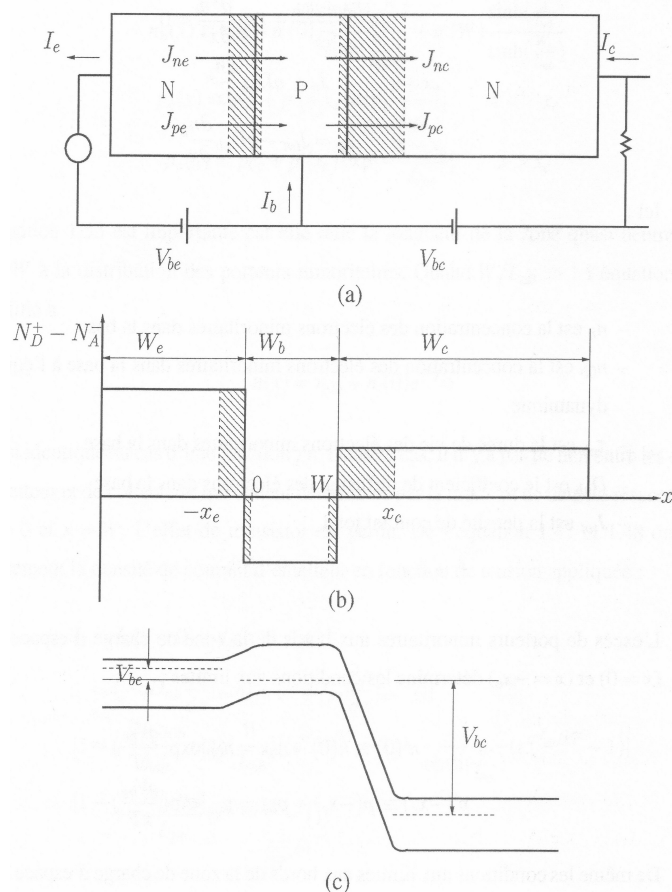


FIG. I.18: (a) Transistor bipolaire *npn* connecté dans la configuration base commune (b) Profil de dopage des jonctions abruptes (c) Diagramme de bandes du transistor bipolaire en fonctionnement normal

Comme dans le cas de la jonction *pn* on supposera que toutes les chutes de potentiel se produisent dans les zones de désertion (figure I.18). Les caractéristiques courant-tension du transistor bipolaire sont obtenues en résolvant les équations de continuité et de conservation du courant dans la région quasi-neutre (ZQN) de la base. Dans une approximation 1D elles s'écrivent en tout point d'abscisse x de la ZQN de la base :

$$\begin{aligned}
-\frac{n_b(x) - n_{0b}}{\tau_{nb}} + D_{nb} \frac{\partial^2 n_b(x)}{\partial x^2} &= 0 \\
J_n(x) &= qD_{nb} \frac{\partial n_b(x)}{\partial x} \\
J_p(x) &= J_{tot}(x) - qD_{nb} \frac{\partial n_b(x)}{\partial x}
\end{aligned} \tag{I.70}$$

où n_{0b} est la concentration des électrons minoritaires dans la base à l'équilibre thermodynamique, n_b la concentration des électrons minoritaires dans la base sous polarisation externe, τ_{nb} la durée de vie des électrons minoritaires dans la base, D_{nb} est le coefficient de diffusion des électrons dans la base et J_{tot} la densité de courant totale. Les conditions aux limites nécessaires à l'intégration de ces équations différentielles sont données par les densités de porteurs minoritaires en excès imposées en bordure de ZCE par les jonctions émetteur-base et base-collecteur. Elles s'écrivent en $x = 0$ (coté ZCE émetteur-base) et en $x = W$ (coté ZCE base-collecteur) :

$$\begin{aligned}
n'_b(0) &\equiv n_b(0) - n_{0b} = n_{0b} \left[\exp\left(\frac{qV_{be}}{k_B T}\right) - 1 \right] \\
n'_b(W) &\equiv n_b(W) - n_{0b} = n_{0b} \left[\exp\left(\frac{qV_{cb}}{k_B T}\right) - 1 \right]
\end{aligned} \tag{I.71}$$

La densité de porteurs minoritaires dans la base (électrons dans un transistor bipolaire n_{pn}) s'écrit :

$$n_b(x) = n_{0b} - n'_b(0) \frac{\sinh\left(\frac{x-W}{L_{nb}}\right)}{\sinh\left(\frac{W_b}{L_{nb}}\right)} + n'_b(W) \frac{\sinh\left(\frac{x}{L_{nb}}\right)}{\sinh\left(\frac{W_b}{L_{nb}}\right)} \tag{I.72}$$

Les densités de porteurs minoritaires dans les ZQN d'émetteur et de collecteur sont identiques à celles obtenues dans le cas d'un jonction pn (équation I.24). Elles s'écrivent :

$$\begin{aligned}
p_e(x) &= p_{0e} + p'_e(-x_e) \exp\left[\frac{x+x_e}{L_{pe}}\right] \\
p_c(x) &= p_{0c} + p'_c(x_c) \exp\left[\frac{x-x_c}{L_{pc}}\right]
\end{aligned} \tag{I.73}$$

où les densités de porteurs minoritaires en excès $p'_e(-x_e)$ et $p'_c(x_c)$ sont imposées par les jonctions en bordure des ZCE. Elles s'écrivent :

$$\begin{aligned}
p'_e(-x_e) &\equiv p_e(-x_e) - p_{0e} = p_{0e} \left[\exp\left(\frac{qV_{be}}{kT}\right) - 1 \right] \\
p'_c(x_c) &\equiv p_c(x_c) - p_{0c} = p_{0c} \left[\exp\left(\frac{qV_{cb}}{kT}\right) - 1 \right]
\end{aligned} \tag{I.74}$$

L'équation I.72 est importante car elle relie la densité de porteurs minoritaires en excès dans la base à la longueur W de celle-ci. Quand $\frac{W}{L_{nb}} \gg 1$, l'équation I.72 se simplifie et devient :

$$n_b(x) = n_{0b} + n'_b(0)e^{-\frac{x}{L_{nb}}} \quad (\text{I.75})$$

qui est identique au résultat trouvé pour une jonction pn à base longue (paragraphe I.24). Dans ce cas, il n'y a pas de lien entre les courants d'émetteur et de collecteur déterminés (équations I.70) par le gradient de densité respectivement à $x = 0$ et $x = W$. L'effet transistor est perdu. C'est pourquoi il est nécessaire d'adopter des longueurs de base inférieures à L_{nb} .

Des deux dernières expressions du jeu d'équations différentielles I.70, nous obtenons par dérivation, la densité de courant émetteur en fonction de la tension appliquée :

$$J_e = J_n(x=0) + J_p(x=-x_e)$$

$$J_e = q \frac{D_{nb}n_{0b}}{L_{nb}} \coth\left(\frac{W}{L_{nb}}\right) \left[\left(e^{\frac{qV_{be}}{kT}} - 1 \right) - \frac{1}{\cosh\frac{W}{L_{nb}}} \left(e^{\frac{qV_{cb}}{kT}} - 1 \right) \right] + q \frac{D_{pe}p_{0e}}{L_{pe}} \left(e^{\frac{qV_{be}}{kT}} - 1 \right) \quad (\text{I.76})$$

De même, la densité de courant collecteur s'écrit :

$$J_c = J_n(x=W) + J_p(x=x_c)$$

$$J_c = q \frac{D_{nb}n_{0b}}{L_{nb}} \frac{1}{\sinh\frac{W}{L_{nb}}} \left[\left(e^{\frac{qV_{be}}{kT}} - 1 \right) - \coth\left(\frac{W}{L_{nb}}\right) \left(e^{\frac{qV_{cb}}{kT}} - 1 \right) \right] + q \frac{D_{pc}p_{0c}}{L_{pc}} \left(e^{\frac{qV_{cb}}{kT}} - 1 \right) \quad (\text{I.77})$$

La conservation du courant total nous permet d'écrire la densité de courant de base comme la différence entre ces deux courants. Elle s'écrit :

$$J_b = J_e - J_c \quad (\text{I.78})$$

Gain en courant

Le gain statique en courant d'un transistor α_0 s'écrit comme le produit de trois termes ($\alpha_0 = \gamma\alpha_T M$) où γ est l'efficacité d'injection de la jonction émetteur-base (rapport du courant d'électrons injectés dans la base au courant total à travers la jonction), α_T le facteur de transport dans la base (rapport du courant d'électrons injectés dans la base à celui des électrons collectés par la jonction base-collecteur) et M le facteur de multiplication dans la jonction base-collecteur. À faible polarisation base-collecteur le facteur M est proche de l'unité et le gain en base commune s'écrit :

$$\alpha_0 = \frac{I_c}{I_e} = \gamma\alpha_T \quad (\text{I.79})$$

Dans les conditions normales de fonctionnement ($V_{be} > 0$ et $V_{bc} < 0$), les termes en V_{bc} des équations I.76 et I.77 sont négligeables. Les termes γ et α_T s'écrivent donc :

$$\begin{aligned}\gamma &= \frac{AJ_n(0)}{I_e} = 1 + \frac{D_{pe}p_{0e}L_{nb}}{D_{nb}n_{0b}L_{pe}} \tanh\left(\frac{W}{L_{nb}}\right) \\ \alpha_T &= \frac{J_n(W)}{J_n(0)} = \frac{1}{\cosh(W/L_{nb})} \approx 1 - \frac{W^2}{2L_{nb}^2}\end{aligned}\quad (\text{I.80})$$

Dans un montage en émetteur commun le gain est défini comme le rapport du courant collecteur à celui de base :

$$\beta_0 = \frac{I_c}{I_b} \quad (\text{I.81})$$

Le courant d'émetteur I_e étant égal à la somme des courants de base I_b et de collecteur I_c , ces deux expressions du gain sont liées par la relation :

$$\beta_0 = \frac{\alpha_0}{1 - \alpha_0} \quad (\text{I.82})$$

Dans un transistor ayant une base fine ($W < L_{nb}/10$) le gain en courant est limité par l'efficacité d'injection. D'après les équations I.80 il s'écrit :

$$\beta_0 \approx \frac{N_D}{N_A} \left(\frac{1}{W} \right) \quad (\text{I.83})$$

Ce que signifie que pour augmenter le gain du transistor bipolaire il faut d'une part augmenter le rapport de dopage entre l'émetteur et la base et d'autre part diminuer l'épaisseur de la base. Ces conditions augmentent considérablement la résistance de base et diminuent la fréquence maximale d'oscillation du transistor (Cf plus loin). C'est pour surmonter cette limitation intrinsèque qu'une hétérojonction a été introduite dans la jonction émetteur-base.

Apport de l'hétérojonction

Le décalage des bandes de valence à l'hétérojonction constitue une barrière de potentiel supplémentaire pour les trous qui vont de la base vers l'émetteur. Comparé au cas d'une homojonction, l'excès de trous dans l'émetteur en bordure de la zone de charge d'espace est alors diminué par le facteur $\exp - \frac{\Delta E_v}{kT}$. Le courant des trous injectés dans l'émetteur est donc réduit :

$$J_{pe}^{\text{hétéro}} = J_{pe}^{\text{homo}} \exp\left(\frac{-\Delta E_v}{k_B T}\right) \quad (\text{I.84})$$

En supposant le transport électronique de nature diffusive dans la jonction émetteur-base l'efficacité d'injection dans le TBH s'écrit :

$$\gamma = \frac{1}{1 + \frac{J_{pe}}{J_{nb}}} = \frac{1}{1 + C \frac{N_A}{N_D} e^{-\frac{\Delta E_v}{kT}}} \quad (\text{I.85})$$

Pour $\frac{\Delta E_v}{kT} \gg 1$, l'efficacité d'injection est très proche de l'unité. C'est l'injection sélective qui permet dans un TBH de surdoper la base sans limiter le gain en courant par une efficacité d'injection trop faible. En pratique, l'efficacité d'injection des TBH réels devra tenir compte de la recombinaison dans la ZCE I.2.4.

I.4.2 Comportement fréquentiel du TBH

Le gain en puissance d'un TBH s'écrit en fonction de la fréquence sous la forme :

$$G(f) = \frac{G_0}{\left[1 + G_0^2 \left(\frac{f}{f_c}\right)^4\right]^{\frac{1}{2}}} \quad (\text{I.86})$$

où G_0 est le gain en continu du TBH et f_c la fréquence de coupure. On note que ce gain est limité à haute fréquence. Le comportement fréquentiel du TBH est caractérisé par deux fréquences caractéristiques : la fréquence de transition et la fréquence maximale d'oscillation.

Fréquence de transition

La fréquence de transition est la fréquence à laquelle le gain en courant en montage émetteur commun est égale à 1.

$$f_T = \frac{1}{2\pi\tau_{ec}} \quad (\text{I.87})$$

où τ_{ec} est le délai total du signal à travers toute la structure du transistor. Ce délai s'écrit comme :

$$\tau_{ec} = t_b + t_c + r_e C_{eb} + (R_e + R_c + r_e) C_{bc} \quad (\text{I.88})$$

où t_b est le temps de transit dans la base, t_c celui dans la zone de transition base-collecteur, $r_e = \frac{nkT}{qI_e}$ la résistance dynamique de l'émetteur, C_{je} la capacité de la jonction émetteur-base, C_{bc} la capacité de la jonction base-collecteur, R_e et R_c les résistances d'accès à l'émetteur et au collecteur. Ces termes peuvent être regroupés selon leur origine. Les temps de transit t_b et t_c sont liés à la structure épitaxiée (épaisseur et nature des couches de base et de collecteur). Les deux autres composantes sont des temps de charge de circuit RC. Elles sont essentiellement liées à la géométrie de chaque jonction, c'est-à-dire à la technologie de fabrication des transistors.

Fréquence maximale d'oscillation

La fréquence maximale d'oscillation est la fréquence à laquelle le gain en puissance est égal à l'unité. Elle est donnée par l'approximation suivante :

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi R_b C_{bc}}} \quad (\text{I.89})$$

C'est la moyenne géométrique de la fréquence de transition (f_T) et de celle du circuit RC constitué par la capacité base-collecteur et la résistance de base. Cette dernière joue dans l'émission de puissance un rôle primordial. En revanche la résistance de base R_B ne présente pas de limitation pour la fréquence de transition f_T .

Temps de charge du système RC émetteur

Le temps de charge $\tau_e = r_e C_{eb}$ est inversement proportionnel au courant émetteur I_e . À faible densité de courant c'est le terme dominant, son importance relative décroît lorsque le courant traversant le transistor augmente. Les TBH des applications hyperfréquence sont conçus pour réduire l'ensemble des termes de la somme I.88. La réduction du terme τ_e se fait par augmentation de la densité de courant J_e . Ces TBH doivent donc être conçus pour contrôler de très fortes densités de courant.

Temps de charge du système RC du collecteur

Le temps de charge τ_c de la capacité base-collecteur à travers les résistances d'accès au collecteur R_c , à l'émetteur R_e et à travers la résistance dynamique d'émetteur r_e , s'écrit :

$$\tau_c = (R_c + R_e + r_e) C_{bc} \quad (\text{I.90})$$

Dans les TBH le dopage du collecteur est plus faible que celui de la base. La capacité base-collecteur est donnée par :

$$C_{bc} = S_c \sqrt{\frac{q \epsilon_c N_D}{2(V_{bi} - V_{bc})}} \quad (\text{I.91})$$

avec S_c l'aire de la jonction base-collecteur, ϵ_c la permittivité relative du semiconducteur constituant la zone de transition base-collecteur. Les résistances R_c et R_e contiennent les résistances de contacts, les résistances des zones d'accès et les résistances des ZQN de collecteur et d'émetteur.

Temps de transit dans la base

Le temps de transit dans la base t_b peut s'écrire en fonction du gain maximum [4] :

$$\beta_{max} = \frac{\tau_{nb}}{t_b} \quad (\text{I.92})$$

Dans le cas des TBH ayant une hétérojonction de type II, le transport des électrons dans la base est de nature diffusive dès que l'épaisseur de base W est supérieure à quelques libres parcours moyens. Dans ce cas le gain maximum en courant s'écrit :

$$\beta_{max} = \frac{2L_{nb}^2}{W_b^2} \quad (\text{I.93})$$

où $L_{nb} = \sqrt{D_{nb} \tau_{nb}}$ est la longueur de diffusion des électrons minoritaires dans la base. Dans ces conditions le temps de transit s'écrit :

$$t_b = \frac{W_b^2}{2D_{nb}} \quad (\text{I.94})$$

Dans les base ultra-courte dont l'épaisseur est nettement plus faible que le libre parcours moyen (typ. 35 nm), le transport électronique est de nature balistique et le temps de transit dans la base s'écrit :

$$t_b = \frac{W_b}{v_{bal}} \quad (\text{I.95})$$

où v_{bal} est la vitesse des électrons balistiques.

En pratique les bases de TBH ont des épaisseurs intermédiaires où les composantes balistiques et diffusives du courant cohabitent. Le temps de transit s'écrit alors [5] :

$$t_b = \frac{W_b^2}{2D_{nb}} + \frac{W_b}{v_{bal}} \quad (\text{I.96})$$

Temps de transit dans la ZCE de base collecteur

Le temps de transit dans la ZCE de la jonction base-collecteur polarisée en inverse est donnée par :

$$t_c = \frac{W_c}{2\bar{v}} \quad (\text{I.97})$$

où \bar{v} est la vitesse moyenne des électrons dans la ZCE. Dans le cas d'une homojonction on considère habituellement que la vitesse moyenne des électrons est égale à leur vitesse de saturation v_{sat} .

Lorsque la jonction base-collecteur est une hétérojonction, la présence d'une discontinuité de la bande de conduction perturbe fortement le transport électronique. Dans le cas d'une hétérojonction de type II qui nous intéresse dans ce travail cette discontinuité joue le rôle de lanceur d'électrons chauds dans le collecteur. Les électrons sont donc injectés dans la ZCE base-collecteur avec une vitesse moyenne très élevée (typ. 1×10^8 cm/s) et avec un excédent d'énergie. Cette dernière va anticiper le transfert de ces électrons dans les vallées latérales où leur vitesse moyenne sera nettement plus faible (typ. 1×10^7 cm/s). La détermination a priori de la vitesse moyenne des électrons dans la ZCE base-collecteur est donc difficile.

Une détermination expérimentale de cette vitesse moyenne a été réalisée par M. Lijadi [7] dans le système GaAsSb/InP qui nous intéresse. Cette détermination a consisté à mesurer les densités de courant de seuil de l'effet Kirk J_c^{Kirk} en fonction de la tension V_{bc} appliquée à la jonction base-collecteur (figure I.19). Trois manifestations de cet effet ont été utilisées : les saturations (i) du gain statique en courant β , (ii) de la fréquence de coupure f_T et (iii) de la fréquence maximale d'oscillation. Si les seuils d'apparition de l'effet Kirk ainsi mesurés sont différents, leur variation pour les faibles polarisations base-collecteur sont identiques et permettent une mesure de la vitesse moyenne des électrons au seuil de l'effet Kirk par le relation :

$$\bar{v} = \frac{dJ_c^{Kirk}}{dV_{bc}} \frac{W_c^2}{2\epsilon\epsilon_0} \quad (\text{I.98})$$

On trouve $\bar{v} = 3 \times 10^7$ cm/s. L'absence de paramètre ajustable dans l'expression I.98 rend cette mesure très directe donc très fiable. Cette mesure est en assez bon accord avec celle de Liu et al. [58] qui trouve dans un TBH InP/GaAsSb/InP similaire une vitesse moyenne égale

à 4×10^7 cm/s. On remarque que ces déterminations situent la vitesse moyenne des électrons dans la jonction base-collecteur à une valeur intermédiaire entre la vitesse théorique d'injection des électrons dans la ZCE ($v_{bal} = 1 \times 10^8$ cm/s) et la vitesse de saturation dans InP ($v_{sat} = 1.6 \times 10^7$ cm/s).

La forte réduction de la vitesse moyenne entre l'interface de type II et la zone d'accumulation dynamique des électrons s'explique par la présence d'une barrière de potentiel pouvant avoir une hauteur comparable à la discontinuité de la bande de conduction[2]. Cette barrière est particulièrement élevée, typiquement 150 meV, pour deux raisons complémentaires.

- D'une part la très forte discontinuité de la bande de valence ($\Delta E_V = 0.67\text{eV}$) confine les trous dans la base. Dans ces conditions la compensation partielle de la charge dynamique des électrons par un déplacement de la jonction électrique vers le collecteur ne peut avoir lieu comme observé dans les homojonctions base collecteur.
- D'autre part la discontinuité de bande de conduction masque l'effet de la présence de la barrière de potentiel due à l'effet Kirk tant que cette dernière a une hauteur plus faible que celle de la discontinuité. Dans ces conditions le gradient de concentration d'électrons minoritaires dans la base n'est pas perturbé et les caractéristiques de courants ne présentent aucun signe de la présence d'une barrière de potentiel de l'effet Kirk.

Il faut que la barrière de potentiel de l'effet Kirk atteigne une hauteur comparable à la discontinuité de la bande de conduction pour qu'elle puisse rétroagir sur le contrôle de courant en modifiant les conditions de collection en sortie de base, ce qui conduit à un temps de transit plus long dans la base. Le courant collecteur présente alors une saturation dans la partie intrinsèque accompagnée d'une injection latérale, une augmentation de courant de base et une diminution de la fréquence de coupure. L'effet Kirk dans les TBH GaAsSb/InP se manifeste donc à une des densités de courant collecteur plus élevées que dans les transistors où l'hétérojonction base-collecteur ne présente pas de discontinuité accélératrice pour les électrons dans la bande de conduction. Dans les TBH GaAsSb/InP l'apparition de l'effet Kirk sur les caractéristiques statiques et dynamiques correspond à un effet Kirk déjà fortement établi, le seuil réel de cet effet (peu visible sur ces caractéristiques) étant à des densités de courant nettement plus faibles. On notera que dans les hétérojonctions base-collecteur de type II, la manifestation de l'effet Kirk présente un caractère plus abrupt que dans les autres structures car il est déjà bien établi.

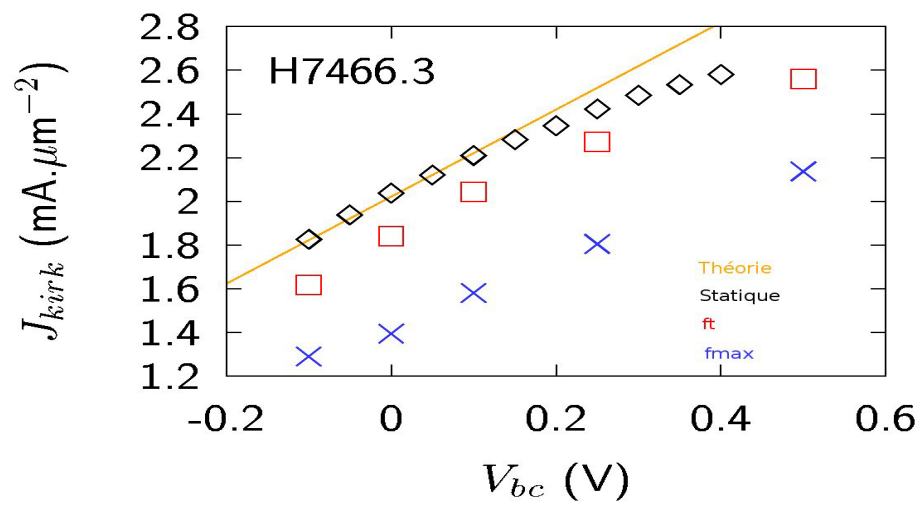


FIG. I.19: Densité de courant collecteur au maximum du gain en courant (losange), de la fréquence de coupure (carré) et de la fréquence d'oscillation (croix) en fonction de la tension appliquée à la jonction base-collecteur

Chapitre II

Matériaux pour les transistors de puissance dans le domaine millimétrique

II.1 contexte et historique

L'objectif de cette thèse est de concevoir, réaliser et étudier un TBH de la filière InP pour des applications de puissance dans le domaine millimétrique. Cette double exigence, puissance et rapidité, rencontre un paradoxe intrinsèque à la physique des transistors. En effet la recherche de l'extrême rapidité conduit à concevoir des transistors (p. ex. avec de faibles épaisseurs des couches actives) qui ne sont pas adaptés à la gestion de puissances élevées (résistance d'accès trop fortes dans notre exemple). L'obtention de performances à la fois en puissance et en rapidité est donc le résultat d'un compromis. Le but de ce travail est de proposer pour ce type de transistor un nouveau cadre technologique de façon à rendre plus compatible l'obtention conjointe de puissance et de rapidité.

Les premiers transistors rapides obtenus au sein de l'équipe PHYDIS du LPN ont été réalisés dans le système InP/InGaAs avec des TBH ayant un collecteur métallique (thèse de N. Matine en 1996 [44] et de S. Demichel en 2001 [6]). Les propriétés intrinsèques à la structure utilisée (transport balistique des électrons dans la base généré par l'hétérojonction InP/InGaAs, collection efficace et rapide du collecteur métallique) alliées à celles d'une technologie entièrement auto-alignée dédiée à la fabrication de transistors de petites dimensions ($W_E \approx 0.5\mu\text{m}$) ont permis l'obtention de performances à l'état de l'art de l'époque $f_T = f_{MAX} = 160\text{ GHz}$ en 1995 puis $(f_T, f_{MAX}) = (250, 275)\text{ GHz}$ en 2001.

Ces travaux ont permis de mettre en évidence que les limitations principales dans ces transistors sont dues à :

- une mauvaise thermalisation du transistor due à la configuration collecteur en haut (C-up)
- des résistances d'accès trop élevées, en particulier les accès à l'émetteur et à la base
- une extrême difficulté technologique à réaliser des TBH à base fine et ayant une aire de jonction base-collecteur égale (ou presque) à celle de la jonction émetteur-base

Des améliorations sur chacun de ces points (ponts thermiques sur le collecteur, épaissement de la couche d'accès à l'émetteur, développements technologiques réduisant la difficulté pour sous-graver la jonction émetteur-base) auraient sans doute permis l'obtention de meilleures performances dynamiques. Les limitations citées plus haut étant liées à la configuration même du transistor, ces améliorations promettaient d'être vite limitées. Il fallait donc pour avancer de

façon significative proposer une nouvelle structure qui apporterait une réponse par ses valeurs intrinsèques. La réponse proposée se décompose en trois étapes majeures :

- revenir à un TBH E-up (émetteur en haut) de façon à placer la source de chaleur qu'est le collecteur en bon contact thermique avec le substrat ;
- remplacer le semiconducteur (InGaAs) constituant la base par GaAsSb. Présentant une hétérojonction de type II avec InP il permet d'allier collection efficace, excellente tenue en tension et facilité de réalisation technologique grâce à la sélectivité de la gravure chimique. De plus la mobilité des trous y est plus élevée que dans InGaAs ;
- transférer les couches actives sur un substrat hôte présentant une excellente conductivité thermique et permettant de placer sous le transistor et sur toute sa surface une électrode métallique pour réduire la résistance d'accès.

Les deux premiers points ont été traités dans le cadre de la thèse de Melania Lijadi [7] qui a fait la démonstration de faisabilité de TBH E-up dans le système InGaAlAs/GaAsSb/InP avec des performances dynamiques $(f_T, f_{MAX}) = (155, 166)$ GHz essentiellement limitées par la capacité base-collecteur qui n'a pas pu être fortement sous-gravée. Cette limite est ici renforcée par rapport à celle rencontrée dans la fabrication du TBH InP/InGaAs qui nous sert de référence et explique ces performances en retrait par rapport à celles du TBH InP/InGaAs. En effet la très forte déformation élastique de la fine couche de GaAsSb constituant la base pendant le process interdit toute sous-gravure de la jonction base-collecteur supérieure à 400 nm. D'autre part les performances statiques ont permis de montrer que ces structures InP/GaAsSb sont bien adaptées aux transistors de puissance avec une tension de claquage $BV_{CE0} > 6V$ pour une épaisseur de collecteur de seulement $W_c = 160$ nm II.2.2.

Au début de ma thèse s'est donc posé le problème de savoir si je continuais le développement entrepris par Melania pour réussir à sous-graver la jonction base-collecteur et obtenir des performances dynamiques en meilleur accord avec le potentiel de cette structure. Cette option qui avait l'avantage de mettre à profit le développement existant présentait un inconvénient majeur : les performances en puissance resteraient limitées par d'une part la thermalisation sur le substrat d'InP et d'autre part par la présence d'une importante résistance d'accès au collecteur.

L'autre option consistait à entreprendre le développement du troisième point cité plus haut (transfert des couches actives sur substrat hôte) qui permettrait à terme d'apporter une solution élégante à l'ensemble des problèmes énumérés jusqu'ici : thermalisation du transistor, réduction de la résistance d'accès au collecteur, réalisation aisée d'une jonction base-collecteur présentant la même aire que celle de la jonction émetteur-base. D'autre part le procédé de fabrication des transistors pourrait une fois les couches transférées sur le substrat hôte mettre à profit l'ensemble des procédés technologiques développés pendant la thèse de Melania. L'ampleur et le nombre des améliorations apportées par cette option nous a décidé en sa faveur.

Nous verrons dans la suite de cet exposé que si le potentiel des TBH reportés sur substrat hôte est bien confirmé, l'utilisation du procédé de fabrication développé pour des transistors sur leur substrat initial s'est avéré inopérant sur substrat hôte. Ceci nous a conduit à orienter notre travail vers le développement de briques de base technologiques, propres aux structures reportées.

Dans les paragraphes qui suivent nous allons présenter en détail les différents développements structuraux (c'est-à-dire le choix des matériaux pour l'émetteur, la base et le collecteur) et technologiques, ainsi que leur l'impact et leur pertinence sur les performances du transistor. Nous montrerons également comment le transfert des couches sur substrat hôte permet de tirer

un meilleur parti de ces développements (p.ex. collecteur métallique dans une structure avec émetteur vers le haut).

II.2 Choix des matériaux

Dans cette section nous argumentons le choix des différents matériaux utilisés pour constituer le collecteur, la base et l'émetteur des TBH développés dans ce travail pour des applications de puissance en hyperfréquence.

II.2.1 Matériaux pour le collecteur

Les résultats obtenus dans notre équipe au cours des thèses précédentes [44], [6] ont expérimentalement démontré l'intérêt d'utiliser un collecteur métallique dans les TBH ultra-rapides. Nous reviendrons plus en détail sur ce point au paragraphe II.2.1. Une des motivations principales de notre travail de thèse est d'apporter, par le report des couches actives sur substrat hôte, un contexte plus favorable à l'exploitation des avantages apportés par le collecteur métallique. Dans ce contexte le collecteur des TBH étudiés ici est formé de deux parties (figure II.1) :

- une couche semiconductrice contenant l'essentiel de la zone de charge d'espace base-collecteur
- une couche métallique formant un contact Schottky sur la précédente et servant de zone d'accès du courant

Nous allons, dans les paragraphes qui suivent, discuter du choix des matériaux pour ces deux parties de la jonction base-collecteur.

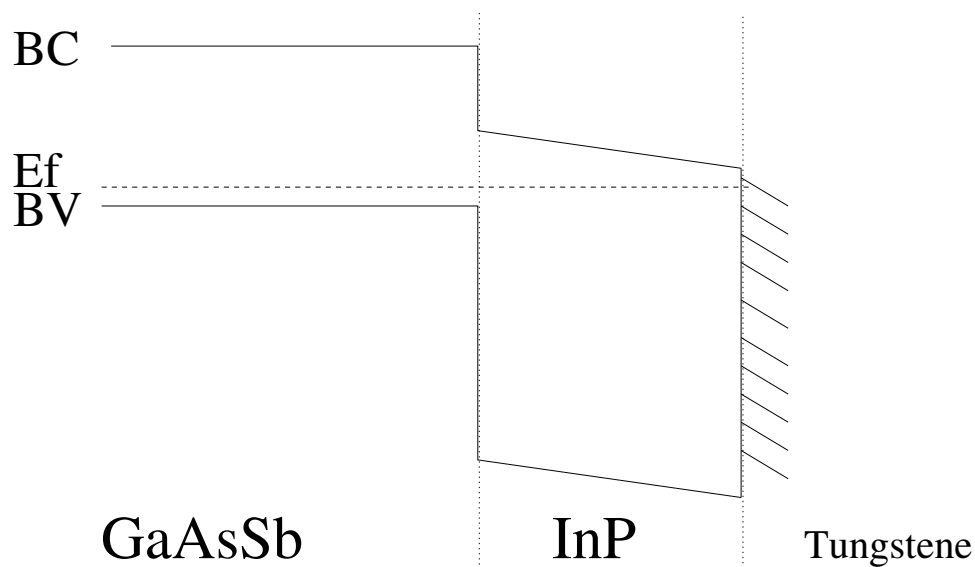


FIG. II.1: Jonction base-collecteur de type Schottky-Diagramme de bande

Semiconducteur de la ZCE base-collecteur

La tenue en tension est un point-clé des TBH destinés aux applications de puissance. Pour améliorer cette tenue en tension il est nécessaire d'utiliser un semiconducteur à large bande interdite dans le collecteur. En effet dans un montage émetteur commun la tension V_{ce} appliquée est essentiellement contenue dans la jonction base-collecteur. Il existe alors dans cette ZCE un champ électrique intense, propice à la génération d'un courant de fuite dû à l'ionisation par impact. L'augmentation de la largeur de bande interdite permet une réduction significative de ces courants de fuite puisque l'énergie échangée à chaque impact doit être au moins égale à la largeur de la bande interdite.

Les TBH simple hétérojonction InP/InGaAs (base et collecteur en InGaAs) ont montré des fréquences de coupure très élevées ($f_T > 500$ GHz [8]). En revanche leur tenue en tension est très faible à cause de la faible largeur de la bande interdite dans InGaAs ($E_g = 0.75$ eV). La substitution d'InGaAs par un semiconducteur à plus large bande interdite (p.e InP $E_g = 1.35$ eV) dans le collecteur améliore considérablement la tenue en tension du TBH [9]. Cependant l'utilisation dans le collecteur d'un des semiconducteurs à large bande interdite disponibles sur substrat d'InP - InP, InAlAs ou un des alliages issus des systèmes InGaAlAs ou InGaAsP - soulève une difficulté supplémentaire puisqu'ils forment tous avec l'InGaAs constituant la base une hétérojonction de type I qui bloque une partie des électrons en sortie de base II.2.1. De nombreuses recherches ont été menées sur ce thème. Des solutions existent et ont montré leur efficacité [11]. Cependant elles se traduisent toutes par la conception d'une hétérojonction base-collecteur complexe difficile à maîtriser et introduisant des difficultés supplémentaires dans la réalisation du procédé de fabrication de ces transistors.

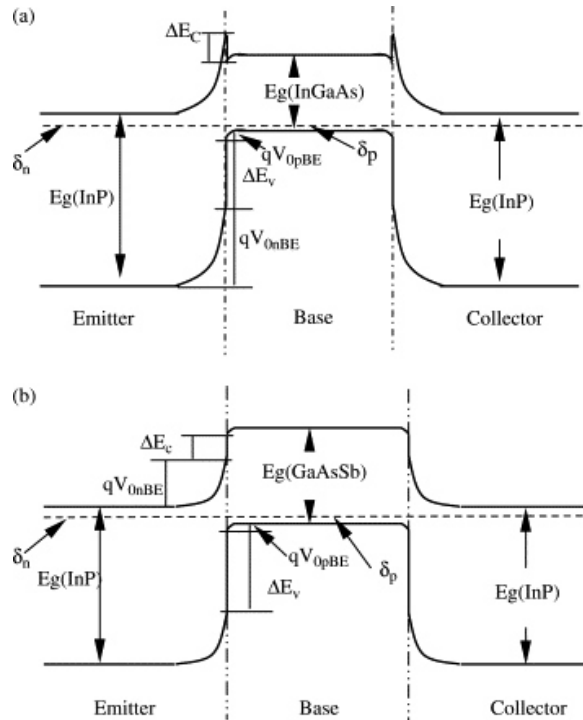


FIG. II.2: Diagramme des bandes à l'équilibre. a) InP/InGaAs/InP b) InP/GaAsSb/InP

La solution élégante à ce problème a été initialement proposée par R. Bhat et al. [12] d'une part et par B. McDermott et al. [13] d'autre part puis reprise avec succès par C. Bolognesi et al. [14]. Elle consiste à remplacer dans la couche de base l'InGaAs par du GaAsSb. Nous reviendrons dans le paragraphe II.2.2 sur les propriétés de ce matériau pour la base des TBH. Retenons pour ce qui concerne le collecteur que GaAsSb constitue avec InP une hétérojonction de type II (figure II.2.1). Dans ces conditions la discontinuité de la bande conduction ne présente plus une barrière s'opposant à la collection des électrons en sortie de base comme dans le cas d'une hétérojonction InGaAs/InP mais, au contraire, sert d'injecteur d'électrons balistiques dans la ZCE base-collecteur. La présence de GaAsSb dans la base du TBH permet donc d'utiliser InP dans le collecteur pour augmenter la tenue en tension du transistor tout en conservant une excellente efficacité de collection.

L'injection d'électrons balistiques dans la ZCE base-collecteur où règne un champ électrique intense se traduit par une augmentation plus rapide de leur énergie cinétique que dans le cas d'une homojonction ou d'une hétérojonction de type I où ils sont injectés avec une vitesse moyenne proche de la vitesse thermique ($\sqrt{2k_B T / \pi m^*}$). Le transfert de ces électrons dans les vallées latérales est donc anticipé par rapport à celui présent dans une hétérojonction base-collecteur InGaAs/InP ce qui se traduit par une augmentation du temps de transit des électrons dans la jonction base-collecteur I.4.2. On risque donc de perdre, par l'anticipation du transfert, tout ou partie du temps gagné par l'injection balistique.

En accord de maille avec InP, l'alliage InGaAl_xAs présente, par rapport à GaAsSb, une discontinuité de bande de conduction variable avec son taux d'aluminium [3], passant d'une hétérojonction de type I pour InAlAs ($x = 1$) à un type II pour InGaAs ($x = 0$). Il est donc possible d'ajuster la valeur de cette discontinuité pour minimiser le temps de transit des électrons dans le collecteur. Cette recherche sera particulièrement utile pour les applications de puissance du domaine hyperfréquence. En effet l'approche jusqu'ici utilisée dans la littérature pour réduire ce temps de transit consiste à réduire l'épaisseur de la ZCE de la jonction base-collecteur ce qui est antinomique avec la bonne tenue en tension indispensable aux TBH de puissance. Cependant la recherche d'un optimum de la discontinuité de bande de conduction dans la jonction base-collecteur est un problème complexe qui nécessitera une étude détaillée dépassant largement le cadre de ce travail.

Parmi les semiconducteurs à large bande interdite présentant une hétérojonction de type II avec GaAsSb nous avons retenu, dans ce travail, l'InP pour des raisons essentiellement technologiques :

- C'est un matériau binaire. Il est donc plus facile à épitaxier ;
- Sa gravure chimique est sélective par rapport à GaAsSb et inversement.

Métal du contact Schottky de la jonction base-collecteur

L'utilisation d'un collecteur métallique a été introduite par notre équipe [99] pour réduire dans la jonction base-collecteur à la fois le temps de transit et la capacité base-collecteur. En effet, par rapport à une jonction *pn*, elle améliore les conditions du transport électronique sur les points suivants :

1. Dans une jonction Schottky, le maximum du champ électrique est atteint à l'interface métal-semiconducteur, donc à la fin du trajet des électrons dans la ZCE. Par opposition

dans une jonction pn , ce maximum est localisé très près de la base car celle-ci présente dans les TBH un niveau de dopage beaucoup plus élevé que celui du collecteur. Il en résulte que le transfert des électrons dans les vallées latérales s'opère plus tard dans un collecteur Schottky que dans un collecteur semiconducteur. Le temps de transit dans le collecteur (t_c) est donc réduit par l'utilisation d'un collecteur Schottky ;

2. Dans un collecteur Schottky, les électrons peuvent être collectés directement par le métal depuis les vallées latérales du semiconducteur. Une fois dans le métal, ils subissent des interactions inélastiques très efficaces (forte probabilité et isotropie) qui relaxent leur énergie et leur vecteur d'onde. Le contact Schottky supprime ainsi la rétro-diffusion des électrons observée à l'interface n^-/n^+ des collecteurs semiconducteur. En supprimant le domaine piégé à cette interface le collecteur Schottky réduit à la fois le temps de transit et la charge stockée dans la jonction base-collecteur, donc sa capacité.
3. Dans le cas d'un collecteur à jonction pn , le contact ohmique collecteur est pris à travers une zone de contact n^+ . Par conséquent la résistance d'accès au collecteur intègre aussi la résistance de cette zone d'accès n^+ au collecteur. Dans un collecteur métallique on s'affranchit de la partie n^+ pour poser la métal directement sur la partie n^- du collecteur ainsi la résistance d'accès est moins grande. Cette réduction de la résistance a pour effet de diminuer le temps de charge de la capacité de la jonction base-collecteur, d'où une réduction de τ_c .
4. La couche métallique du collecteur Schottky présente une conductivité thermique beaucoup plus grande que celle de la couche n^+ des jonctions base-collecteur en semiconducteur. Le collecteur Schottky permet donc une meilleure évacuation de la chaleur produite dans le collecteur par la relaxation de l'énergie des électrons acquise lors de leur transit dans la jonction base-collecteur polarisée en inverse. Cette évacuation ne sera efficace pour limiter l'échauffement du transistor que si le collecteur métallique est lui-même en bon contact thermique avec un thermostat.

Le report des couches actives du TBH sur un substrat de haute conductivité thermique (p.ex. SiC, AlN) apporte une solution très efficace au dernier point de cette liste. Considérons le cas d'un TBH reporté dans la configuration E-up (le collecteur est donc coté substrat). La relaxation des électrons porteurs du courant collecteur dans le métal constituant le contact Schottky y place la source de chaleur. Ce métal est placé en contact thermique direct avec le substrat bon conducteur de la chaleur qui sert de thermostat. La conductance thermique entre la source de chaleur et le thermostat est alors beaucoup plus faible que pour un transistor sur InP (voir le chapitre III pour plus de détail). Ceci permet pour une température maximale de fonctionnement donnée, de contrôler une puissance nettement plus importante dans le TBH reporté.

Le choix du matériau constituant le contact Schottky du collecteur doit donc remplir trois fonctions principales :

- créer un contact Schottky sur la couche semiconductrice à large bande interdite décrite dans la section précédente ;
- assurer l'amenée du courant collecteur ;
- évacuer la chaleur produite par la relaxation en énergie des électrons portant le courant collecteur.

Nous avons choisi d'utiliser le tungstène comme métal du contact Schottky. En effet il a été montré avec les TBH non-reportés à collecteur en tungstène que ce matériau forme une

excellente Schottky sur InP [44] [6]. D'autre part la résistivité électrique du tungstène ($\rho_W = 4.8 \times 10^{-6} \Omega \cdot \text{cm}$) est environ cent fois plus faible que celle d'une couche d'InGaAs ($\rho_{\text{InGaAs}} = 5.2 \times 10^{-4} \Omega \cdot \text{cm}$) ou d'InP ($\rho_{\text{InP}} = 6.3 \times 10^{-4} \Omega \cdot \text{cm}$) fortement dopée ($n = 10^{19} \text{ cm}^{-3}$), telle qu'utilisée dans les zones d'amenée du courant des TBH non-reportés. Enfin la conductivité thermique du tungstène ($1.73 \text{ Wcm}^{-1}\text{K}^{-1}$) est 35 fois plus élevée que celle de l'InGaAs ($0.05 \text{ Wcm}^{-1}\text{K}^{-1}$).

En apportant sur chacun de ces critères, une réponse satisfaisante le tungstène apparaît comme un excellent candidat pour servir de contact Schottky aux TBH reportés. Il présente en plus deux autres propriétés très utiles lors du report des couches sur substrat hôte par collage anodique IV) qui nécessite un échauffement de l'échantillon à une température supérieure à 200°C :

- Les propriétés de tenue en température du tungstène (métal réfractaire) permettent de maintenir cette température (jusqu'à 45 minutes) sans altération de la couche de tungstène ni diffusion du tungstène dans la couche de semiconducteur, ce qui dégraderait fortement les caractéristiques électriques du contact Schottky.
- Le coefficient de dilatation du tungstène ($da/a = 4.5 \times 10^{-6}$) est très proche de celui de l'InP ($da/a = 4.6 \times 10^{-6}$) ce qui minimise les contraintes stockées au voisinage de l'interface InP/W.

Le tungstène s'avère donc être le *bon* métal pour la réalisation du collecteur Schottky des TBH reportés. Nous verrons qu'à ces critères *intrinsèques* viennent s'ajouter des critères *technologiques* qui rendent l'intérêt pour l'utilisation du tungstène comme collecteur encore plus marqué.

II.2.2 GaAsSb pour la base

Le semiconducteur choisi pour constituer la base est le GaAsSb. Ce choix est d'abord lié, comme nous l'avons vu au paragraphe précédent II.2.1, à la possibilité d'utiliser un semiconducteur à large bande interdite dans le collecteur pour augmenter la tenue en tension du transistor. Dans cette section nous allons examiner les propriétés de ce matériau, en particulier celles déterminantes pour son utilisation dans la base du TBH.

Gap de miscibilité

À l'accord de maille avec InP l'alliage $\text{GaAs}_{1-x}\text{Sb}_x$ présente un taux d'antimoine $x = 0.5$. Il est alors en plein dans le gap de miscibilité démontré pour la première fois par Cherng et al. [15]. C'est à dire que dans les conditions proches de l'équilibre thermodynamique la croissance cristalline (MOCVD à 600°C) conduit à la présence de deux phases distinctes GaAs et GaSb. Les mêmes auteurs ont montré qu'il est possible, en s'éloignant de l'équilibre thermodynamique d'obtenir un alliage homogène. Notons que l'épitaxie par jets moléculaires se faisant hors de l'équilibre thermodynamique ne pose pas ces problèmes et à très tôt permis l'obtention de couche de GaAsSb [16]. Il reste qu'il s'agit d'un alliage métastable qui pourrait donner lieu à un vieillissement anticipé de ce matériau, donc à une fiabilité dégradée des dispositifs. Ce type d'étude, hors du cadre de cette thèse, devra être abordée dès les premiers transistors disponibles.

Dopage au carbone

Contrairement à l'InGaAs, le GaAsSb présente une configuration favorable à l'incorporation du carbone en substitution dans les sites V du réseau cristallin pour un dopage de type p. Malgré le caractère amphotère du carbone, cette configuration cristalline permet d'obtenir des niveaux de dopage très élevés [17] ($4.5 \times 10^{20} \text{ cm}^{-3}$) avec un taux de compensation restant très proche de l'unité jusqu'à des dopages aussi élevés que $4 \times 10^{20} \text{ cm}^{-3}$ [17]. De plus et contrairement au cas de l'InGaAs ces forts niveaux de dopage ne se traduisent pas par une dégradation de la surface.

À cette propriété déterminante pour une utilisation dans une base de TBH s'ajoute un très faible coefficient de diffusion du carbone dans GaAsSb ainsi que dans InP. Cette très faible valeur correspond à un décalage négligeable des profils de dopage (i.e. très inférieur à la précision des SIMS par exemple). La conception et la réalisation de jonctions mettant en oeuvre une base très dopée est très largement facilitée par la faible diffusion du carbone. A cet avantage décisif sur la qualité des jonctions réalisées, s'ajoute une fiabilité des dispositifs accrue grâce à la faible diffusion du dopant à la température de fonctionnement.

Mobilité des trous

La mobilité des trous dans GaAsSb a été initialement mesurée par Watkins et al. [10] pour une large gamme de composition d'antimoine (de 0.3 à 0.6) et des épaisseurs de couche variant de 50 à 120nm (figure II.2.2). L'effet de la composition d'antimoine sur la mobilité, s'il existe, est sans doute masqué par le bruit des mesures. Très récemment Yarekha et al. [17] ont montré sur des échantillons épais (entre 0.65 et 1.4 μm) des mesures de mobilité présentant un bruit extrêmement réduit. Notons que le taux d'antimoine de ces échantillons n'est pas donné dans la publication. Ces résultats peuvent être modélisés par la loi empirique :

$$\mu(N_A) = \mu_0 / (1 + N_A/N_A^0) \quad (\text{II.1})$$

avec $\mu_0 = 65.8 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ et $N_A^0 = 1.8 \times 10^{20} \text{ cm}^{-3}$. Quelque soit le niveau de dopage considéré la mobilité des trous dans GaAsSb est plus faible que celle dans InGaAs. Cependant la possibilité de doper le GaAsSb nettement plus fortement que l'InGaAs permet d'obtenir une résistivité électrique dans GaAsSb aussi faible que $7 \times 10^{-4} \Omega \cdot \text{cm}$ alors que les dégradations de la qualité cristalline de l'InGaAs [18] limite sa résistivité à $9 \times 10^{-4} \Omega \cdot \text{cm}$. Dans la pratique l'utilisation de très forts niveaux de dopage dans la base des TBH sera limitée par la durée de vie des électrons minoritaires.

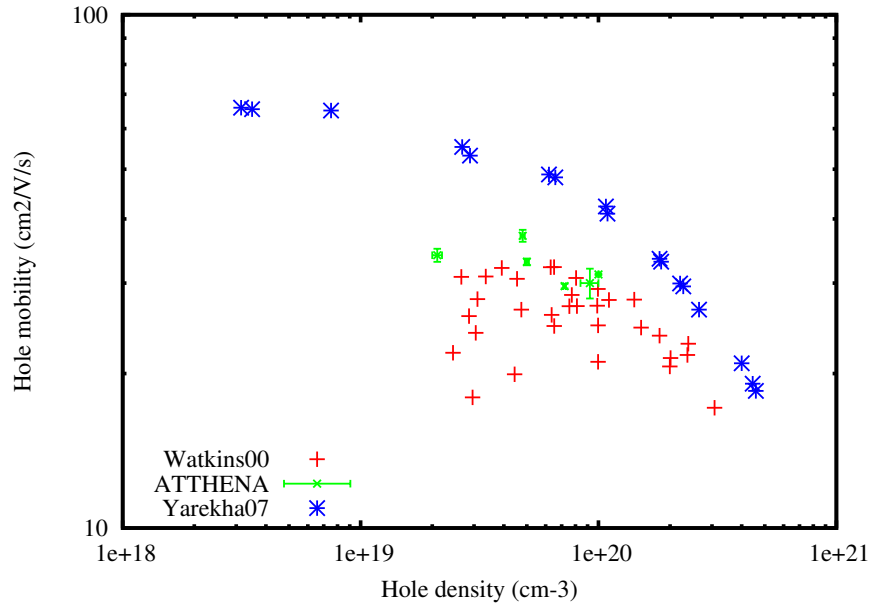


FIG. II.3: Mobilité des trous dans GaAsSb. Les croix rouges regroupent différentes compositions d'antimoine [10]. Les marqueurs verts représentent les résultats issus de ce travail. La composition en antimoine des échantillons de Yarekha et al. [17] (étoiles bleues) n'est pas connue.

Durée de vie des électrons minoritaires dans GaAsSb

La durée de vie des électrons minoritaires dans GaAsSb a été mesurée par la technique de pompe-sonde [19] dans une gamme de dopages allant de 10^{19} cm^{-3} à 10^{20} cm^{-3} . La dépendance linéaire de la durée de vie avec l'inverse du carré de la densité de trous montre qu'elle est limitée par des recombinaisons non-radiatives suivant des processus Auger. Une adéquation de cette loi aux valeurs expérimentales donne :

$$\tau_n^{-1} = Cp^2 \quad \text{avec } C = 4 \times 10^{-29} \text{ cm}^6 \cdot \text{s}^{-1} \quad (\text{II.2})$$

Nous verrons plus loin (chapitre V, paragraphe V.5) comment ces durées de vie se comparent à celles extraites des caractéristiques électriques des TBH GaAsSb réalisés au cours de ce travail.

La figure II.2.2 compare les durées de vie de GaAsSb et de InGaAs, mesurées par la technique de pompe-sonde dans la même équipe [19]. On constate que dans les deux cas la durée de vie des électrons minoritaires est limitée par les recombinaisons Auger. À niveau de dopage donné, cette durée de vie est environ deux fois plus forte dans GaAsSb que dans GaInAs.

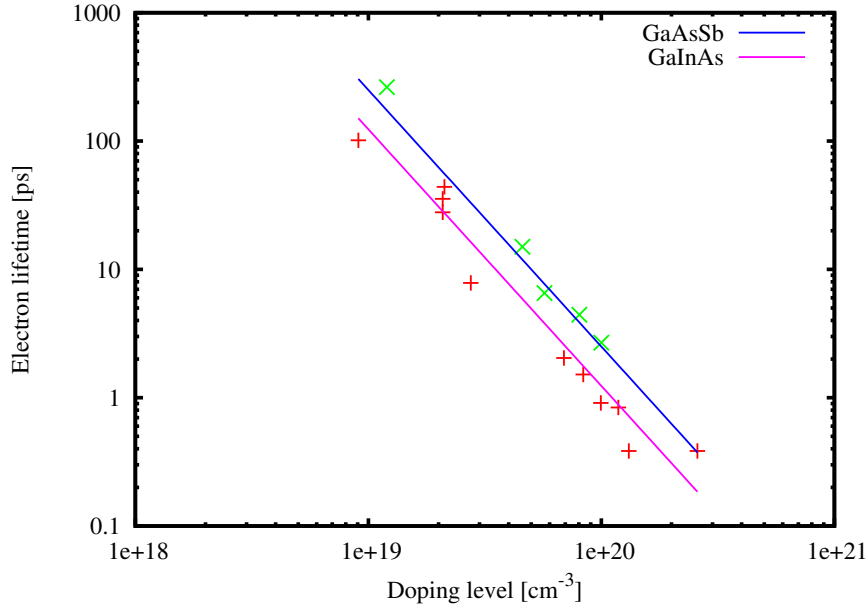


FIG. II.4: *Durée de vie des électrons minoritaires dans GaAsSb :C et dans GaInAs :C en fonction du niveau de dopage.*

Niveau de Fermi en surface

Des mesures par spectroscopie de la photoreflectance [20] placent le niveau de Fermi à la surface libre de GaAsSb dans la bande interdite à 200 meV au dessus de la bande de conduction. Cette très faible valeur par rapport à celles observées dans InGaAs (600 meV) ou dans GaAs (700 meV) présente un avantage remarquable pour le GaAsSb utilisé dans la base des TBH pour deux raisons :

- En supposant le niveau de Fermi à l'interface métal/semiconducteur à la même énergie que sur les surfaces libres, la barrière de potentiel présente dans les contacts ohmiques pris sur GaAsSb de type p (le cas des bases de TBH) est nettement plus faible que celle des contacts pris GaAs ou InGaAs. Ceci explique la très faible résistance spécifique des contacts Pt/Ti/Pt/Au mesurée sur GaAsSb :C [21]
- En fixant le niveau de Fermi en surface dans la bande interdite du semiconducteur il se forme une barrière de surface pour les trous. Cette barrière correspond à un puits de potentiel pour les électrons de la bande de conduction qui présentent donc une concentration renforcée près de la surface libre du semiconducteur, c'est à dire au voisinage des centres recombinants dus à la surface. Avec un niveau de Fermi en surface à seulement 200 meV de la bande de valence, le GaAsSb présente, près de sa surface, une augmentation de la concentration d'électrons minoritaires injectés dans la base des TBH nettement plus

faible que celle observée dans les TBH InGaAs et GaAs. On s'attend donc à voir les courants de recombinaison en périphérie du transistor réduits dans les TBH ayant une base en GaAsSb par rapport à ceux mesurés dans les TBH ayant une base en GaAs ou en GaInAs.

Conclusion

Pour résumer les propriétés d'une base en GaAsSb, comparons ses propriétés à celles d'une base en GaInAs. Les bases en GaAsSb présentent :

- la possibilité d'être fortement dopées au carbone (jusqu'à $5 \times 10^{20} \text{ cm}^{-3}$ alors qu'au delà de 10^{20} cm^{-3} le dopage carbone dans GaInAs conduit à une détérioration de la morphologie de sa surface.
- une mobilité de trous légèrement plus faible (environ 20%) que celle mesurée dans GaInAs ;
- une durée de vie des électrons minoritaires limitée aux dopages habituellement utilisés dans la base du TBH par les recombinaisons Auger. Cette durée de vie est environ deux fois plus grande que celle mesurée dans GaInAs ;
- un niveau de Fermi en surface libre situé à seulement 200 meV de la bande de valence contre environ 600 meV pour GaInAs.

Cette liste montre clairement les avantages que présente le GaAsSb par rapport au GaInAs pour une utilisation dans la base des TBH rapides. Nous verrons cependant dans le paragraphe suivant qu'il existe au moins un inconvénient de taille lorsque la base en GaAsSb est utilisée avec un émetteur en InP. Nous verrons également comment contourner cette difficulté.

II.2.3 Matériaux pour l'émetteur

Le premier matériau utilisé pour l'émetteur des TBH ayant une base en GaAsSb a été l'InP : d'abord Bhat et al. [12] et McDermott et al. [13] repris avec succès par Bolognesi et al. [14]. Dès ces premiers papiers il a été montré que la très forte valeur de la discontinuité de la bande de valence (0.62 eV [12]) à l'interface InP/GaAsSb présente un intérêt majeur pour le TBH puisqu'elle renforce l'effet d'injection sélective initialement proposé par W.Shockley dans le brevet qu'il a déposé en 1948 [22].

Depuis cette date les progrès en épitaxie des semiconducteurs ont rendu possible des niveaux de dopage extrêmement élevés, en particulier pour le matériau de base dopé au carbone (Cf. paragraphe II.2.2). Ces très forts niveaux de dopage ($N_A > 10^{20} \text{ cm}^{-3}$) conduisent à des matériaux très fortement dégénérés où le niveau de Fermi est situé entre 150 et 200 meV dans la bande de valence. On voit que dans ces conditions la discontinuité de bande de valence mesurée à l'interface InP/InGaAs ($\approx 370 \text{ meV}$) ne forme pas une barrière résiduelle (i.e. entre le niveaux de Fermi et le sommet de la barrière coté InP) assez forte pour pouvoir négliger le courant de trous injectés dans l'émetteur. Le niveau de dopage des bases en GaInAs est donc limité vers $5 - 7 \cdot 10^{19} \text{ cm}^{-3}$.

La très forte valeur de la discontinuité de la bande de valence à l'interface InP/GaAsSb associée à la possibilité de réaliser dans GaAsSb de très forts niveaux de dopage au carbone ainsi qu'aux recombinaisons Auger moins fréquentes dans GaAsSb permet de concevoir des TBH avec des bases extrêmement dopées. Nous verrons plus loin où peut se situer l'optimum pour une utilisation dans un circuit de puissance.

En revanche, la discontinuité de la bande de conduction de la jonction base-émetteur à l'interface InP/GaAsSb (type II) forme une barrière aux électrons passant de l'émetteur vers la base. Dans le système InP/GaAsSb (type I), cette discontinuité de la bande de conduction est plutôt favorable à l'injection des électrons car elle permet aux électrons d'acquérir une énergie cinétique et effectuer un transport balistique dans la base. Tandis que dans le système InP/GaAsSb l'injection des électrons dans la base est thermique.

Cette hétérojonction à l'interface base-émetteur (InP/GaAsSb) favorise le courant de recombinaison croisé entre les électrons de la bande de conduction dans l'émetteur et les trous de la bande de valence dans la base. Lijadi [7] a remplacé l'InP de l'émetteur par InGaAlAs pour réduire ce courant de recombinaison tandis que Cho et al [23] a remplacé l'InP par InAlAs. En effet, sur la figure II.2.3 qui présente les diagrammes de bande des systèmes InP/GaAsSb/InP et InP/InAlAs/GaAsSb/InP on remarque que le système InAlAs/GaAsSb permet d'éloigner les électrons de la bande de conduction de l'émetteur des trous de la bande de valence de la base, et ainsi de réduire le courant de recombinaison croisé. On verra plus loin (chapitre V) que le caractère de type II de l'hétérojonction InP/GaAsSb n'est pas le seule responsable de ce courant de recombinaison et que on peut réduire ce courant de recombinaison tout en gardant le système InP/GaAsSb. Toutefois l'intérêt du système InAlAs/GaAsSb reste intact car cette hétérojonction de type I permet un transport majoritairement balistique dans la base.

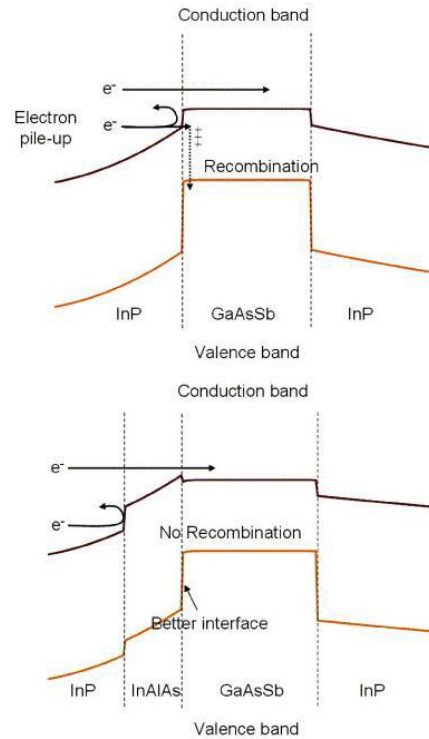


FIG. II.5: Diagramme de bande InP/GaAsSb/InP, InP/InAlAs/GaAsSb/InP.

Chapitre III

Introduction à la thermalisation des dispositifs

Les transistors dédiés à la puissance dissipent sous forme de chaleur une part non négligeable de la puissance qui leur est fournie par le circuit de commande. Cette dissipation conduit, comme nous le verrons dans les paragraphes qui vont suivre, à une élévation de la température du réseau cristallin et des porteurs de charge à l'intérieur du composant. Cette augmentation de la température se traduisant par une dégradation des performances du transistor (voire de sa destruction), il est important d'étudier les conditions d'évacuation de cette chaleur vers un thermostat, généralement placé sur la face arrière de l'échantillon. Dans les paragraphes qui suivent nous rappellerons d'abord les lois régissant les flux de chaleur dans les solides avant d'étudier quelques exemples simples de sources de chaleur déposées sur un substrat.

Enfin nous utiliserons ces résultats académiques pour interpréter ceux que nous avons obtenus par simulations numériques dans le cas plus complexe de TBH en fonctionnement. Trois configurations types de TBH dédiés à la puissance ont été considérées : un transistor sur son substrat natif en InP, sur un substrat hôte de faible conductivité thermique (p.ex. Pyrex) et sur un substrat hôte de forte conductivité thermique (p.ex. SiC).

III.1 Transferts thermiques

Le transfert thermique, souvent abusivement appelé transfert de chaleur, est un transit d'énergie qui se fait à l'échelle microscopique et de façon désordonnée.

Il existe trois modes de transfert thermique : conduction, convection et rayonnement.

Le transfert thermique par conduction existe à l'intérieur des solides ou entre deux solides en contact. La non-uniformité de la température entre deux régions du système considéré entraîne un transfert d'énergie de la région chaude vers la région froide sans impliquer un transport macroscopique de matière. C'est le mode de transfert prépondérant dans les solides. Il peut également être observé dans les fluides mais y sera généralement négligeable devant la convection.

Le transfert thermique par convection s'accompagne d'un déplacement macroscopique des molécules constituant le milieu fluide (liquide ou gaz) dans lequel il est observé. Les molécules d'une mince couche de fluide au voisinage d'une source chaude s'échauffent par conduction au contact de la source. Elles forment alors un fluide à plus faible densité que le fluide ambiant ce

qui génère un déplacement macroscopique du fluide chauffé à la verticale de la source chaude (cas des convections naturelles). Ces molécules diffusent ensuite dans l'ensemble du fluide et contribuent ainsi à son échauffement. La mince couche en contact avec la source est renouvelée à partir du fluide ambiant. L'ensemble de ce cycle assure un transfert thermique entre la source et le fluide ambiant. Dans le cas des convections forcées, une contrainte externe (p.ex. une ventilation) impose un déplacement global du fluide qui s'ajoute à celui de la convection naturelle.

Le transfert par rayonnement correspond à une émission par la source chaude de rayonnement électromagnétique satisfaisant la loi de Stefan-Boltzmann :

$$E = \varepsilon_s A \sigma T^4 \quad (\text{III.1})$$

où E est l'énergie rayonnée, ε_s l'émissivité de la surface de la source (elle est égale à 1 dans le cas d'un corps noir), A l'aire de la source, σ la constante de Stefan-Boltzmann et T la température.

Ces trois types de transferts thermiques contribuent efficacement au refroidissement des composants de la micro- et opto- électronique dont la température tend à s'élever au cours de leur fonctionnement. Les conditions de thermalisation des TBH, en particulier dans les applications de puissance, dans le cas de structures reportées sur un substrat hôte, constituent un des objectifs de cette thèse. La principale différence avec les transistors non-reportés venant des échanges thermiques avec le substrat (conduction), c'est à ce dernier que nous nous intéressons, en négligeant dans la suite de ce chapitre les transferts thermiques par convection et par rayonnement.

III.2 Loi de Fourier et équation de la chaleur

Le flux de chaleur est défini comme la quantité d'énergie thermique traversant une surface pendant un temps donné. Joseph Fourier a observé en 1807 que le transfert par conduction dans les solides conduit à une densité ϕ de ce flux proportionnelle à la dérivée spatiale de la température T :

$$\phi = -\kappa(T) \text{grad}(T) \quad (\text{III.2})$$

où $\kappa(T)$ est la conductivité thermique du milieu. Elle s'exprime en $\text{W.m}^{-1}.\text{K}^{-1}$. L'écriture du bilan énergétique sur un volume élémentaire permet d'aboutir à l'équation dite de la chaleur :

$$\rho C \frac{\partial T}{\partial t} = -\text{div}(\kappa(T) \text{grad}(T)) + F \quad (\text{III.3})$$

où ρ est la densité volumique du matériau, C sa capacité thermique et F la densité volumique de la puissance d'excitation interne.

Cette équation permet de déterminer la température instantanée en tout point du matériau considéré. Dans le cas simple d'un parallélépipède rectangle, ou barreau, de semi-conducteur les calculs sont relativement simples à effectuer. Dans le cas de structures plus complexes comme un transistor, l'assemblage de différents matériaux associé à une géométrie complexe compliquent grandement le calcul. Une simulation numérique est alors indispensable. Les résultats

présentés dans ce chapitre sont issus de la résolution de l'équation différentielle III.3 par la méthode des éléments finis dans le logiciel commercial Comsol.

III.3 Flux de chaleur dans une couche homogène

Pour commencer cette étude et poser les bases de la discussion nous allons nous intéresser aux flux de chaleur dans des structures simples. Nous commencerons par considérer un espace infini puis une structure simplifiée que nous appellerons par la suite *structure simple*. Différentes conditions aux limites seront imposées à ce système pour analyser le transfert thermique et identifier l'influence des différents paramètres.

III.3.1 Source de chaleur ponctuelle dans un espace infini

Considérons une source de chaleur ponctuelle placée dans un milieu homogène et isotrope de conductivité thermique finie κ que l'on supposera indépendante de la température. On s'intéresse au flux de chaleur dans le milieu entourant la source. Cette dernière est donc externe au système considéré et le terme F de l'équation III.3 est nul dans ce cas.

Pour raisons de symétrie, le flux de chaleur issue de la source est isotrope et les isothermes (en tout point orthogonales au flux) sont des sphères. Le système de coordonnées sphériques (r, θ, ϕ) est donc le mieux adapté pour traiter ce problème. Dans ce repère et à l'extérieur de la source, l'équation III.3 de la chaleur s'écrit :

$$\frac{\partial T}{\partial t} = \kappa \left[\frac{1}{r^2} \frac{\partial}{\partial r} \left(r^2 \frac{\partial T}{\partial r} \right) + \frac{1}{r^2 \sin \theta} \frac{\partial}{\partial \theta} \left(\sin \theta \frac{\partial T}{\partial \theta} \right) + \frac{1}{r^2 \sin^2 \theta} \frac{\partial^2 T}{\partial \phi^2} \right] \quad (\text{III.4})$$

Le problème étant à symétrie sphérique, les termes en θ et ϕ s'annulent. Il vient :

$$\frac{\partial T}{\partial t} = \kappa \left[\frac{\partial^2 T}{\partial r^2} + \frac{2}{r} \frac{\partial T}{\partial r} \right] \quad (\text{III.5})$$

À l'état stationnaire $\partial T / \partial t = 0$ l'équation III.5 s'écrit :

$$\frac{\partial^2 T}{\partial r^2} + \frac{2}{r} \frac{\partial T}{\partial r} = 0 \quad (\text{III.6})$$

On constate que cette équation ne dépend pas du matériau utilisé. Les solutions ne dépendent que des conditions aux limites imposées. On s'attend donc à trouver des solutions universelles qui pourront ensuite être utilisées dans les applications qui nous intéressent.

La solution générale de l'équation différentielle III.6 s'écrit :

$$T(r) = \frac{A}{r} + B \quad (\text{III.7})$$

où A et B sont des constantes déterminées par les conditions aux limites imposées au système. Considérons notre système limité par deux isothermes sphériques, l'une de rayon r_1 à la température T_1 et l'autre de rayon r_2 à la température T_2 avec $r_2 > r_1$ et $T_1 > T_2$. Ces conditions s'écrivent :

$$\begin{aligned} T_1(r_1) &= \frac{A}{r_1} + B \\ T_2(r_2) &= \frac{A}{r_2} + B \end{aligned} \quad (\text{III.8})$$

La résolution de ce système donne les constantes A et B . La température de l'isotherme de rayon r s'écrit :

$$T(r) = \frac{T_1 r_1 (r_2 - r) + T_2 r_2 (r - r_1)}{r(r_2 - r_1)} \quad (\text{III.9})$$

On constate que la température de la source ($r \rightarrow 0$) tend vers l'infini car $\lim_{r \rightarrow 0} T(r) = \infty$. D'après l'équation III.2, le flux de chaleur à travers une isotherme sphérique s'écrit :

$$\phi(r) = -4\pi r^2 \kappa \frac{\partial T}{\partial r} \quad (\text{III.10})$$

En dérivant l'équation III.13 il vient :

$$\phi(r) = 4\pi \kappa (T_1 - T_2) \frac{r_1 r_2}{r_2 - r_1} \quad (\text{III.11})$$

Conformément aux considérations de symétrie faites au début de ce paragraphe, on vérifie sur l'équation III.11 que le flux de chaleur est constant quelle que soit l'isotherme considérée. La résistance thermique R_{Th} entre les isothermes T_1 et T_2 s'écrit :

$$\begin{aligned} R_{Th} &= \frac{T_1 - T_2}{\phi} \\ &= \frac{r_2 - r_1}{r_1 r_2} \frac{1}{4\pi \kappa} \end{aligned} \quad (\text{III.12})$$

III.3.2 Source de chaleur carrée posée sur un substrat

La résolution analytique du flux de chaleur issu d'une source ponctuelle semble très académique (considérer des isothermes sphériques, une source à température infinie) et ne pas correspondre au problème réel de la thermalisation d'un transistor en fonctionnement. Nous allons voir dans cette section qu'il n'en est rien. Au contraire les solutions entièrement analytiques de ce problème simple vont nous permettre d'analyser celles issues des simulations numériques d'un objet aussi complexe qu'un transistor muni de ces connexions électriques. Cette approche "avec les mains" nous permettra dans chaque cas de définir et évaluer les effets dominants.

Au préalable commençons par établir les bases de notre discussion en étudiant le comportement thermique d'une structure plus simple que celle d'un transistor. Cette *structure simple* (figure III.1) est composée de l'empilement de deux couches homogènes :

- une couche inférieure A (longueur : 1 mm, largeur 1 mm, épaisseur 300 μm). Elle ne comporte pas de source de chaleur interne. Sa face inférieure est en excellent contact thermique avec un thermostat à 300 K. Sa conductivité thermique, supposée homogène, est une variable du problème.

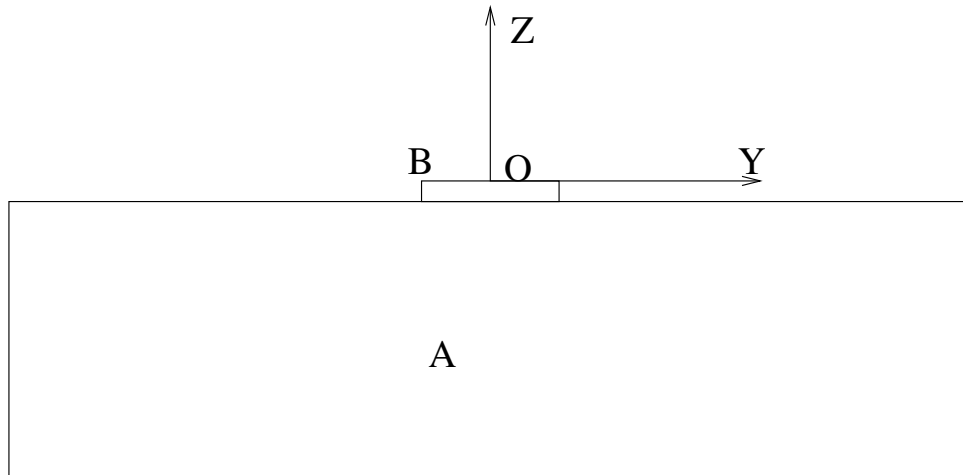


FIG. III.1: Coupe schématique de la structure simple

- une couche supérieure B , (longueur $0.1\mu\text{m}$, largeur $0.1\mu\text{m}$, épaisseur $0.1\mu\text{m}$). Elle contient une source de chaleur dont la puissance est une variable du problème. Le contact thermique entre les couches A et B est supposé parfait. La conductivité thermique de la couche B est supposée infinie de façon à assurer un flux de chaleur uniforme entre les deux couches.

Analogie à la source ponctuelle

La résolution numérique de l'équation de la chaleur (équation III.3) dans ce système et avec les conditions du tableau III.1 a permis de tracer dans les plans yOz (figure III.2) et xOy (figure III.3) les cartes de température dans la couche homogène A dépourvue de source de chaleur.

Type de structure : Simple		
Couches	A	B
Longueur (axe Ox) [μm]	1000	0.1
Largeur (axe Oy) [μm]	1000	0.1
Epaisseur (axe Oz) [μm]	300	???
Conductivité thermique [$\text{W.m}^{-1}.\text{K}^{-1}$]	400	∞
Conditions aux limites		
Face inférieure couche A	$T=300\text{K}$	
Face inférieure couche B	$T=500\text{K}$	
Faces libres	Flux nul	

TAB. III.1: Paramètres utilisés dans la simulation dont les résultats sont présentés dans les figures III.2, III.3 et III.6.

On constate qu'assez loin de la couche B (source chaude) les isothermes dans la couche A

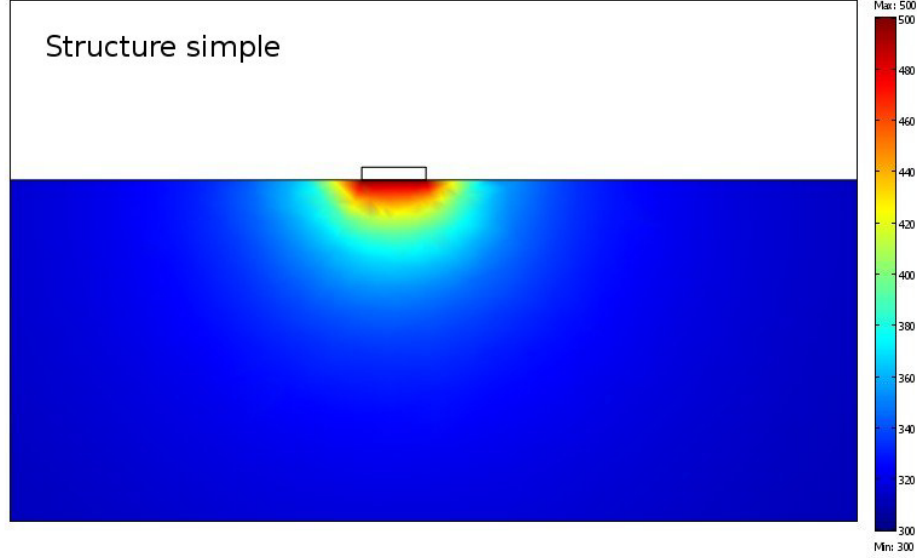


FIG. III.2: Carte de température dans le plan yOz de la couche A homogène et dépourvue de source de chaleur. La couche B est représentée par son contour. Les paramètres de la simulation sont donnés dans le tableau III.1.

sont quasi-hémisphériques. En particulier la forme carrée imposée à l'isotherme 500 K dans le plan xOy (tracé rouge figure III.3) génère une isotherme 400 K (tracé vert figure III.3) de forme circulaire. Cette transformation est due aux effets de pointes qui, renforçant localement la densité flux thermique, conduisent à un gradient de température plus marqué au voisinage des coins de la couche B . Cet effet nous a poussé à considérer le problème des flux de chaleur issus du transistor dans un repère sphérique malgré la géométrie carrée du dispositif.

Position de la source ponctuelle équivalente

Pour aller loin dans cette démarche, nous allons assimiler l'isotherme $T_1 = 500$ K située à l'interface entre les couches A et B à une isotherme sphérique, de même pour l'isotherme $T_2 = 300$ K imposée par le thermostat à la face inférieure de la couche A . Cette modélisation du problème présentée figure III.4 revient à considérer une source de chaleur virtuelle de température infinie située à la distance r_1 de l'isotherme sphérique T_1 . La détermination du rayon r_1 est obtenue par adéquation du modèle analytique aux résultats numériques.

En considérant l'origine à l'interface entre les couches A et B et l'épaisseur de la couche A , $W = r_2 - r_1$, l'expression III.13 analytique de la température le long d'un rayon s'écrit :

$$T(r') = \frac{T_1 r_1 (W - r') + T_2 r' (W + r_1)}{W(r' + r_1)} \quad (\text{III.13})$$

où r' est la distance à la nouvelle origine sur l'axe Oz . L'adéquation des températures ainsi

Structure Simple

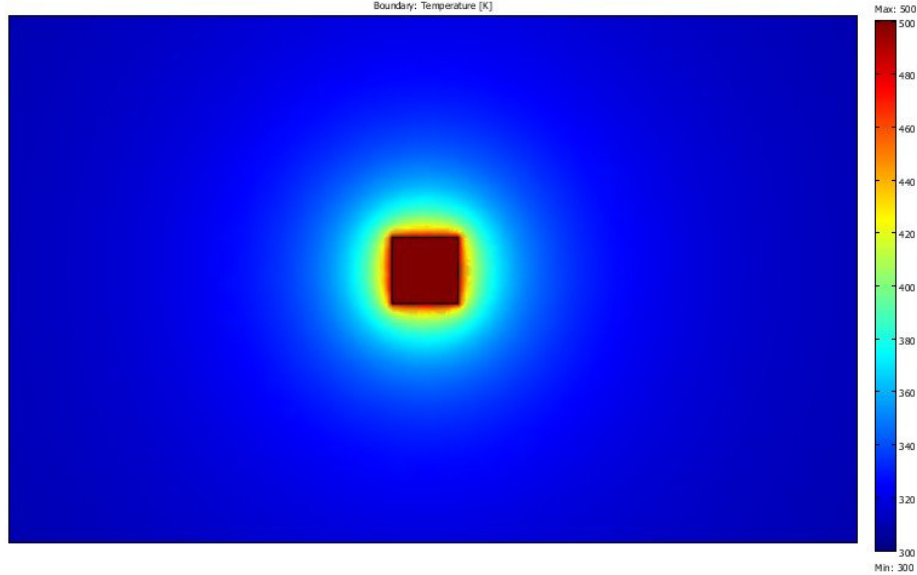


FIG. III.3: Carte de température dans le plan xOy de la couche A homogène et dépourvue de source de chaleur. La couche B est représentée par son contour. Les paramètres de la simulation sont donnés dans le tableau III.1.

calculées le long de l'axe Oz , à celles issues de la simulation numérique permet de déterminer le seul paramètre libre de cette équation : r_1 . Les résultats sont tracés figure III.5, on constate un excellent accord avec l'approximation $r_1 = L_1/2$: l'écart relatif est de quelques pour cent sur l'ensemble de la gamme.

Profil de température le long de l'axe Oz

Pour valider cette approche nous avons tracé figure III.6 l'échauffement $(T(r') - T_2)$ dans la couche A en fonction de la distance r' à la couche B le long de l'axe Oz pour différentes aires de la couche B . Les points sont issus du calcul numérique, les lignes continues du modèle analytique. Le bon accord qualitatif observé entre ces deux résultats valide notre approche.

En résumé, le flux de chaleur issu d'une couche active de géométrie carrée dans le substrat sur lequel elle est déposée, peut être modélisé dans une approche analytique simple en considérant :

- une source de chaleur virtuelle et ponctuelle située au dessus du centre de l'interface entre les couches A et B , à une distance r_1 égale à la moitié de la largeur du carré ;
- l'isotherme séparant les couches A et B comme un arc de sphère de rayon r_1 ;
- uniquement le flux de chaleur issu de la source et traversant l'isotherme de rayon r_1 ;
- l'isotherme imposée par le thermostat à la base de la couche A comme un arc de sphère de rayon $r_1 + W$, où W est l'épaisseur de la couche A .

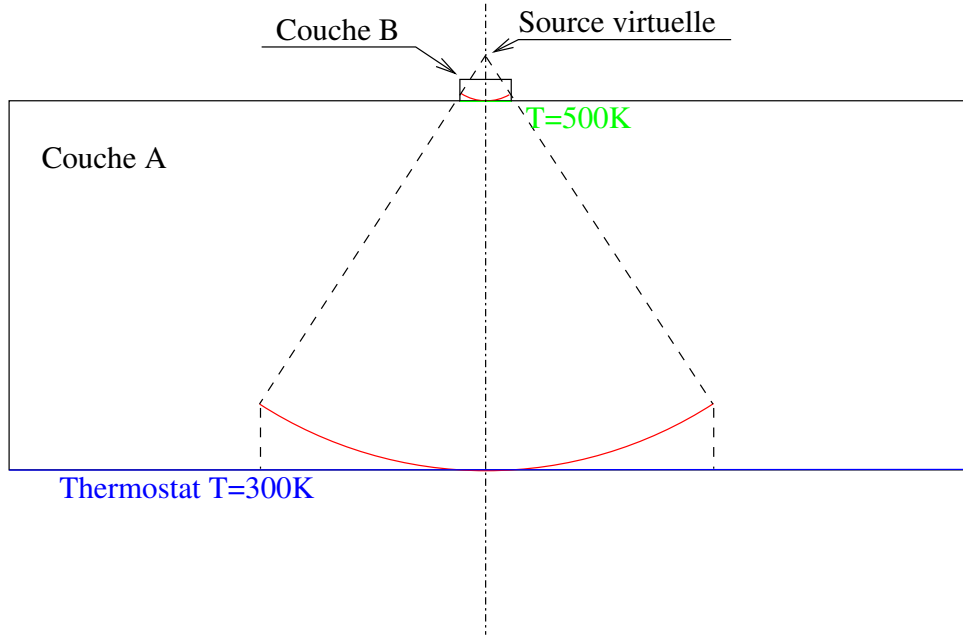


FIG. III.4: Modélisation sphérique de la structure simple.

Résistance thermique

Le flux de chaleur est conservé d'une isotherme sphérique à l'autre. Le flux de chaleur émis par la source virtuelle à travers la couche *B* (i.e. dans le cône d'angle au sommet 2θ) s'écrit :

$$\phi = -2\pi r^2(1 - \cos \theta) \kappa \frac{\partial T}{\partial r} \quad (\text{III.14})$$

La résistance thermique comprise entre les deux isothermes considérée dans le modèle s'écrit :

$$\begin{aligned} R_{Th} &= \frac{T_1 - T_2}{\phi} \\ &= \frac{1}{2\pi(1 - \cos \theta) \kappa} \frac{r_2 - r_1}{r_2 r_1} \end{aligned} \quad (\text{III.15})$$

Nous avons établi au paragraphe précédent que le rayon r_1 de la source chaude s'écrit $r_1 = L_1/2$. Dans ces conditions le rayon r_2 du thermostat s'écrit $r_2 = L_1/2 + W \approx W$ et le demi-angle au sommet du cône est égal à $\theta = \pi/4$. La résistance thermique associée à une source carrée de coté L_1 déposée sur un substrat d'épaisseur W et de conductivité thermique κ devient :

$$R_{Th} = \frac{1}{\pi(1 - \frac{\sqrt{2}}{2}) \kappa L_1} \quad (\text{III.16})$$

Cette expression approchée de la résistance thermique est tracée figure III.7 ainsi que quelques points issus de la simulation numérique. L'excellent accord observé entre ses valeurs valide notre approche analytique des sources carrées déposées sur un substrat.

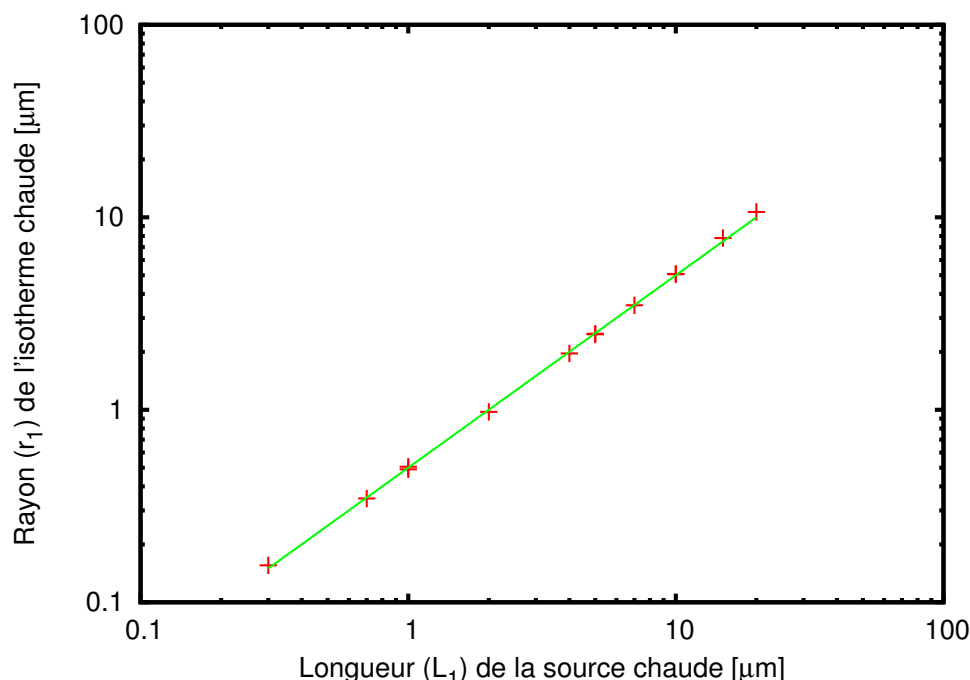


FIG. III.5: Rayon de l'isotherme chaude r_1 en fonction de la longueur L_1 de la couche B (source chaude). Les points sont issus de l'adéquation du profil de température le long de l'axe Oz à celui calculé numériquement. Le trait continu représente l'approximation $r_1 = L_1/2$

III.3.3 Source de chaleur rectangulaire posée sur un substrat

Les TBH réels n'ont pas une géométrie carrée mais généralement celle d'un rectangle fortement allongé (rapport de forme L/l élevé). En effet cet allongement permet d'améliorer le fonctionnement du dispositif en réduisant les résistances d'accès et les résistances réparties dans la zone active du dispositif. Elle permet également, comme nous allons le voir dans cette section de réduire notablement la résistance thermique située entre transistor et le thermostat situé sur la face arrière du substrat.

Considérons la même structure dite "simple" que celle étudiée dans les sections précédentes et donnons à la couche B , vue en plan, la géométrie d'un rectangle de largeur l et de longueur L . A priori la géométrie de cette source se prête peu à une description basée sur une source ponctuelle mais plutôt de forme allongée, par exemple celle d'un fil. En fait la longueur du dispositif étant toujours petite devant l'épaisseur du substrat la source rectangulaire à fort rapport de forme se comporte plus comme une source ponctuelle que comme une source unidimensionnelle.

Pour nous en convaincre nous avons tracé (figure III.8) l'échauffement calculé le long de l'axe Oz normal à la surface et passant par le centre de la couche B pour des structures présentant des rapports de forme variant de 10 à 80. Les points sont issus de la simulation numérique et

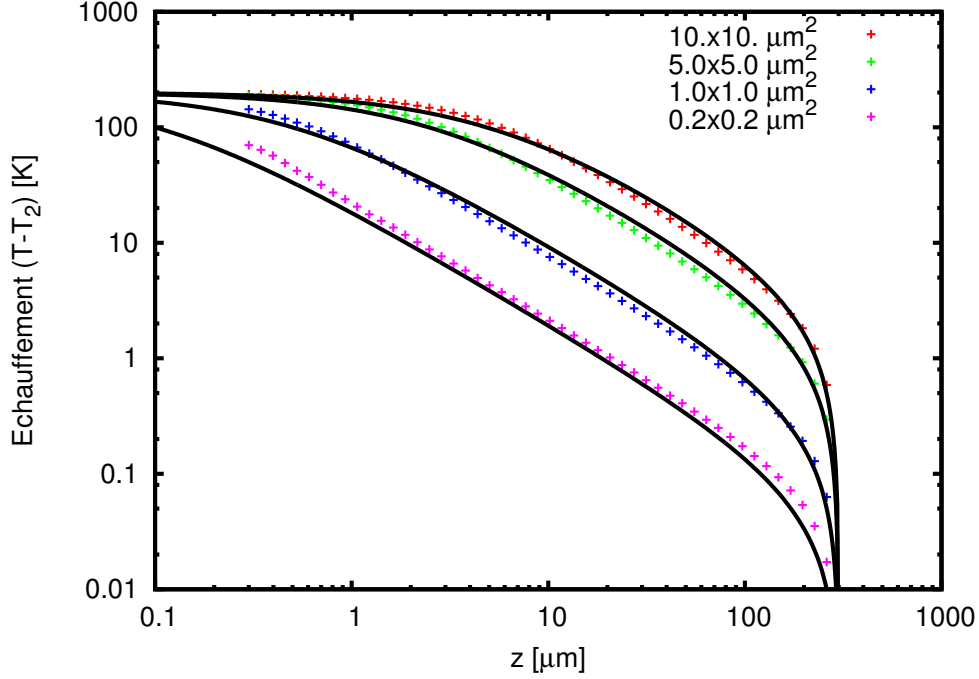


FIG. III.6: Échauffement $(T(z) - T_2)$ calculé dans la couche A le long de l'axe Oz en fonction de la distance z à la couche B pour différentes aires de la couche B. Les points sont issus du calcul numérique, les lignes continues du modèle analytique. Les paramètres de la simulation sont donnés dans le tableau III.1.

les courbes en trait continu proviennent de l'approximation de la source virtuelle ponctuelle (équation III.13) dans laquelle la distance de la source virtuelle à la couche B a été ajustée. On constate un excellent accord entre ces deux résultats pour les plus petits facteurs de forme (10, 20). Pour les rapports de forme plus importants (40 et 80) il existe un désaccord notable pour les points situés près de la couche B.

Ce désaccord peut s'expliquer comme suit. Pour les points situés près de la couche B (i.e. à une distance très inférieure à la longueur du rectangle) la source apparaît comme "infinie" dans sa longueur et devrait être traitée dans une approximation cylindrique. Cependant pour les points situés au delà de cette limite, la source est équivalente à une source ponctuelle (les isothermes sont quasi-sphériques). Dans la pratique les transistors étudiés sont toujours plus petits que l'épaisseur du substrat. Ce qui justifie, à l'encontre de notre première intuition, l'approximation d'une source rectangulaire de fort rapport de forme par une source virtuelle ponctuelle comme nous l'avons présenté pour les sources carrées.

Dans cette approximation la résistance thermique R_{Th}^{rect} d'une source rectangulaire s'exprime en fonction de la résistance thermique $R_{Th}^{carré}$ d'une source carrée ayant pour coté la largeur du

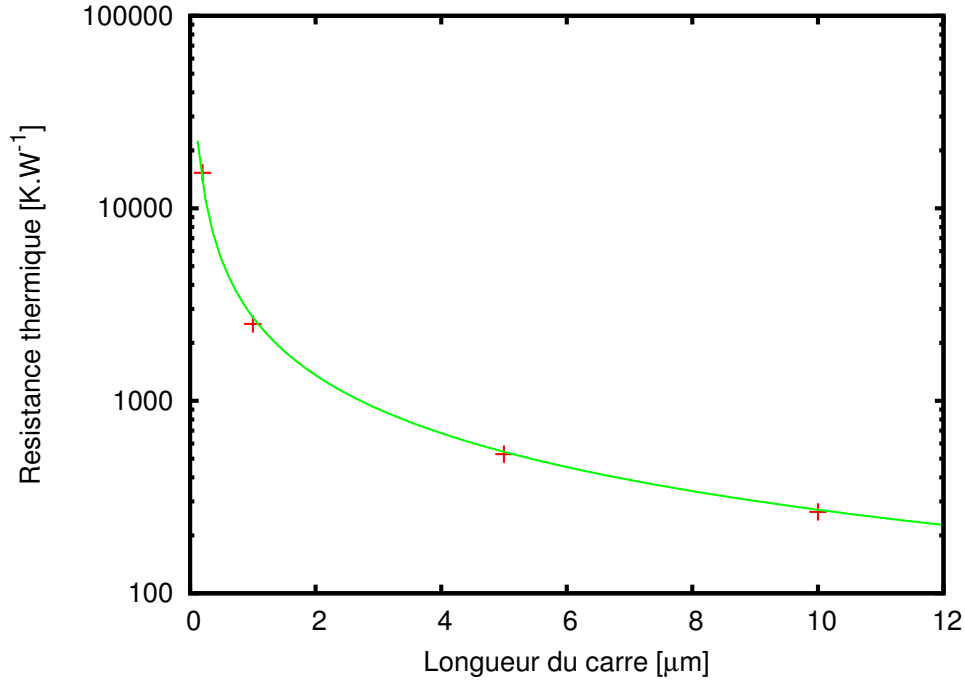


FIG. III.7: Résistance thermique du dispositif à source de chaleur carrée en fonction de la largeur du carré. Le trait continu est issu du modèle analytique. Les croix rouges de la simulation numérique.

rectangle et du facteur de forme L/l du rectangle. Elle s'écrit :

$$R_{Th}^{rect} = \frac{4}{3} R_{Th}^{carre} \left(\frac{L}{l} \right)^{-\frac{3}{4}} \quad (\text{III.17})$$

où les coefficients ont été obtenus par adéquation de l'expression aux valeurs issues de la simulation. La figure III.9) montre la qualité de cet accord pour les rapports de forme supérieurs à 10.

III.3.4 Quelques propriétés de sources thermiques posées sur un substrat

En s'appuyant sur les modèles analytiques des sources thermiques décrits dans les sections précédentes nous allons rappeler dans ce paragraphe quelques propriétés importantes des sources thermiques déposées sur un substrat.

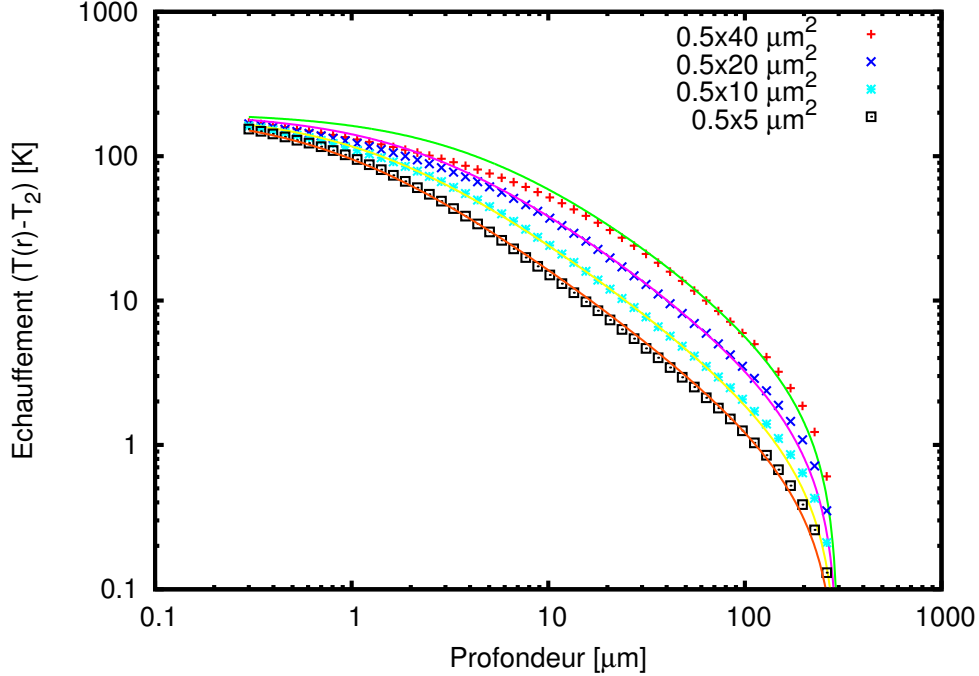


FIG. III.8: Échauffement $(T(z) - T_2)$ calculé dans la couche A le long de l'axe Oz en fonction de la distance z à la couche B pour différents rapports de forme de la couche B. Les points sont issus du calcul numérique, les lignes continues du modèle analytique. Les paramètres de la simulation sont données dans le tableau III.2

Distance minimale entre dispositifs

Dans notre modèle le flux de chaleur issu de la source ponctuelle est spatialement limité par l'étendue de la couche B. Le flux étant conservé d'une isotherme sphérique à l'autre, nous considérerons que le flux est également conservé entre deux arcs de sphère ayant le même angle au sommet.

Dans ces conditions seule une partie de l'isotherme T_2 est active (i.e. traversée par un flux de chaleur non-négligeable). Elle correspond à la partie interceptée par le cône dont le sommet est sur la source virtuelle et dont l'angle au sommet 2θ est défini par la largeur de la source chaude (isotherme T_1). D'après le théorème de Thalès la longueur "utile" L_2 du thermostat s'écrit pour une source carrée ($r_1 = L_1/2$) :

$$L_2 = W(2 + \frac{L_1}{W}) \quad (\text{III.18})$$

Pour un substrat épais d'épaisseur $W \gg L_1$, les transistors d'un circuit en fonctionnement pourront donc être considérés comme indépendants du point de vue thermique si la distance qui les sépare est au moins égale à l'épaisseur W du substrat.

Type de structure : Simple		
Couches	A	B
Longueur (axe Ox) [μm]	1000	0.5
Largeur (axe Oy) [μm]	1000	variable
Epaisseur (axe Oz) [μm]	300	0
Conductivité thermique [$\text{W.m}^{-1}.\text{K}^{-1}$]	400	∞
Conditions aux limites		
Face inférieure couche A	T=300K	
Face inférieure couche B	T=500K	
Faces libres	Flux nul	

TAB. III.2: Paramètres utilisés dans la simulation numérique.

Surface minimale du substrat

L'extension latérale du flux de chaleur à partir de la couche B a également des conséquences sur les simulations numériques. En effet celles-ci prennent en compte des objets de dimensions finies et doivent placer à leurs bornes des conditions aux limites. Dans le cas des structures étudiées, le substrat présente une surface carrée. Les surfaces libres de ses flancs sont supposées isolées thermiquement, c'est à dire que le flux de chaleur qui les traverse est nul. Si la source est placée trop près des bords du substrat cette condition aux limites perturbe fortement les résultats.

D'après la section précédente on s'attend à devoir placer la source à une distance au moins égale à l'épaisseur du substrat. Nous avons vérifié cette valeur en calculant par simulation numérique l'échauffement de la couche B contenant une source de puissance constante pour différentes largeur de substrat (la couche A). Nous constatons effectivement (figure III.10) une forte dépendance de l'échauffement lorsque la largeur du substrat est inférieure à son épaisseur ($W = 300\mu\text{m}$).

Dans la suite des calculs nous prendrons une marge par rapport à cette limite et considérons des substrats de surface égale à 10 fois le carré de leur épaisseur. Remarquons que cette aire reste largement plus faible que celle utilisée dans nos réalisations technologiques (typiquement $20 \times 20\text{mm}^2$).

Réduction de la résistance thermique par amincissement du substrat

Dans l'approximation $W \gg L_1/2$ la résistance thermique associées aux sources carrés ou rectangulaires déposées sur un substrat ne dépend pas de l'épaisseur W du substrat. La réduction de la résistance thermique par amincissement du substrat ne sera donc effective que si l'épaisseur résiduelle du substrat est comparable à la largeur de la source chaude. Notons que l'approximation d'une source ponctuelle n'a pas été validée dans ce cas. Le travail effectué par P. Souverain et al. [28] ont montré qu'une réduction de l'épaisseur de substrat de 500 à 100 μm permet une réduction de 20 % la résistance thermique d'un transistor de $10 \times 200 \mu\text{m}^2$ avec une puissance dissipée de 1 W.

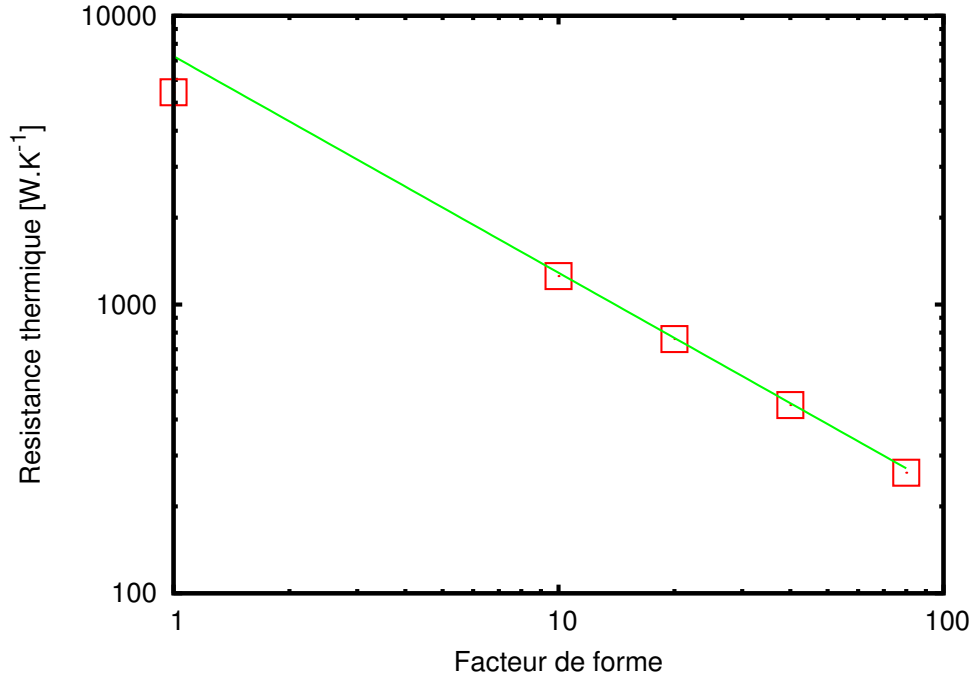


FIG. III.9: Résistance thermique d'une source rectangulaire déposée sur un substrat en fonction du rapport de forme du rectangle. Les points sont issus du calcul numérique, la ligne continue du modèle analytique.

Densité de courant versus échauffement

Le comportement en $1/L_1$ de la résistance thermique associée à une source carrée déposée sur un substrat (équation III.16) conduit à une divergence de la résistance pour les sources dont la largeur du carré tend vers zéro. En effet, en diminuant la largeur du carré on rapproche la couche B de la source virtuelle ponctuelle qui est à température infinie. En pratique pour un dispositif fonctionnant à densité de courant J donnée, l'échauffement de la source de chaleur s'écrit :

$$\begin{aligned} T - T_0 &= R_{th}P \\ &= R_{th}JL_1^2V \end{aligned} \quad (III.19)$$

où P est la puissance dissipée dans le dispositif et V la tension appliquée. Le comportement en $1/L_1$ de la résistance thermique (équation III.16) conduit à un échauffement $T - T_0$ proportionnel à la largeur L_1 du carré. Lors de la conception des TBH la densité de courant étant fixée par les performances dynamiques visées, on ajustera la géométrie des dispositifs pour maintenir leur échauffement dans des limites acceptables.

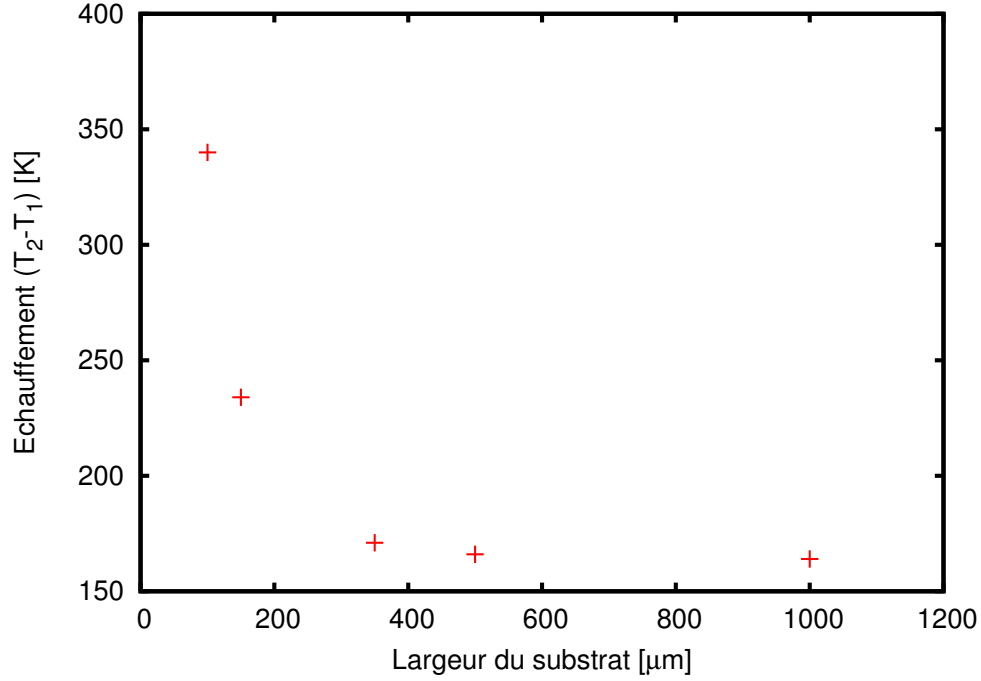


FIG. III.10: Température de la source en fonction de la surface du substrat.

Effet du facteur de forme sur la résistance thermique

La réduction de la résistance thermique avec le rapport de forme des sources rectangulaires, illustrée figure III.9, est pour partie due à l'augmentation de l'aire de l'interface $A - B$ et pour partie au rapport L/l . Afin de séparer ces effets, considérons une aire $S = L \times l$ constante, la résistance thermique (équation III.17) de la source rectangulaire déposée sur un substrat s'écrit, compte-tenu de l'expression III.16 de la résistance thermique des sources carrées :

$$R_{Th}^{rect} = \frac{4}{3} \frac{S^{-\frac{3}{4}}}{\pi(1 - \frac{\sqrt{2}}{2})\kappa} \sqrt{l} \quad (\text{III.20})$$

La dépendance en \sqrt{l} de la résistance thermique montre clairement la nécessité de réduire, à surface totale constante, la largeur des doigts d'émetteur des transistors. Notons que cette condition à la réduction de la résistance thermique est compatible avec celle, énoncée au début du paragraphe III.3.3, visant à minimiser les résistances d'accès à la zone active du transistor.

III.4 Dispositifs simulés

Les échanges thermiques présentés dans ce chapitre ont été calculés pour les transistors développés dans ce travail. Toutes fois pour évaluer l'intérêt des transistors reportés sur substrat hôte, le comportement thermique d'un transistor non-reporté équivalent (même géométrie des hyperstructures) a également été simulé.

III.4.1 Géométrie et matériaux des dispositifs simulés

Pour faciliter les comparaisons tous les dispositifs simulés ont (sauf indication contraire explicite) la géométrie des TBH dont le procédé de fabrication est décrit au chapitre ?? et présentant un doigt d'émetteur de $0.5 \times 5\mu\text{m}^2$ (figure III.11). Les dimensions des différentes parties du transistor sont indiquées en détail ci-après en notant L les longueurs mesurées le long de l'axe Ox , W les largeurs (axe Oy) et T les épaisseurs (axe Oz).

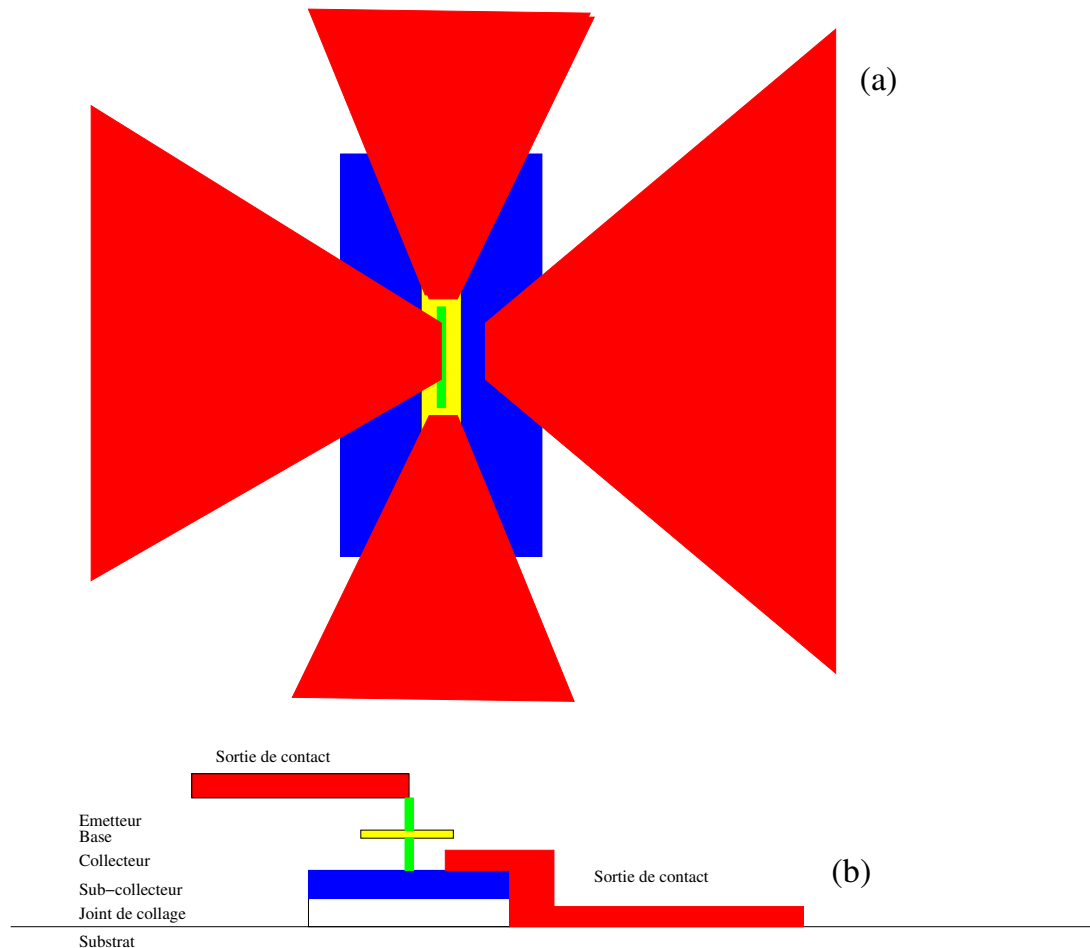


FIG. III.11: Dispositif simulé. (a) vue de plan et (b) coupe schématique

En partant de leur partie supérieure, ces transistors se composent de :

- un pont métallique d'émetteur en or : $L = 30\mu\text{m}$, $W = 5\mu\text{m}$ et $T = 0.4\mu\text{m}$.

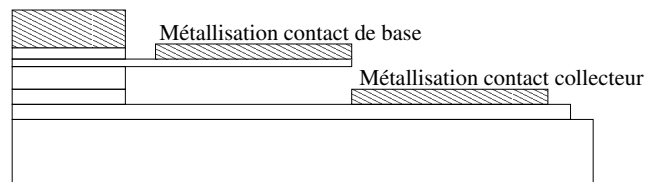
- un doigt de sub-émetteur : $L = 5\mu\text{m}$, $W = 0.5\mu\text{m}$ et $T = 0.6\mu\text{m}$.
- un doigt d'émetteur : $L = 5\mu\text{m}$, $W = 0.5\mu\text{m}$ et $T = 0.2\mu\text{m}$.
- une base : $L = 9\mu\text{m}$, $W = 2\mu\text{m}$ et $T = 0.05\mu\text{m}$.
- deux ponts métalliques de base : $L = 15\mu\text{m}$, $W = 2\mu\text{m}$ et $T = 0.2\mu\text{m}$. (non représentés sur la figure III.11b car en dehors de la coupe)
- un doigt de collecteur : $L = 5\mu\text{m}$, $W = 0.5\mu\text{m}$ et $T = 0.4\mu\text{m}$.
- un sub-collecteur centré sous le collecteur : $L = 20\mu\text{m}$, $W = 10\mu\text{m}$. Son épaisseur est une variable du problème.
- un contact métallique en or déposé pour partie sur le sub-collecteur et pour partie sur le substrat. Il sert de ligne d'amenée du courant au collecteur. Vu en plan, il forme un trapèze dont la petite base $L = 5\mu\text{m}$ est auto-alignée avec le collecteur.
- un joint de collage en Aluminium pour les dispositifs reportés. Il a les mêmes dimensions latérales que le sous-collecteur. Son épaisseur et sa largeur sont des variables du problème.
- un joint de collage en Pyrex pour les dispositifs reportés sur SiC ou AlN. Il a les mêmes dimensions latérales que le sous-collecteur. Son épaisseur est une variable du problème.
- un substrat suffisamment épais pour être auto-portant (typ. $300\mu\text{m}$).

Nous comparerons dans cette section les comportements thermiques de trois structures de transistors schématisées figure III.12. Tous ont la même géométrie. La structure *A* correspond à un transistor non-reporté qui nous servira de référence. Les structures *B* et *C* sont celles dont nous avons développé le procédé de fabrication technologique présenté au chapitre ?? . La structure *B* est reportée sur un substrat de Pyrex, la structure *C* sur un substrat de SiC.

Structure A : Non reporté

Contact émetteur Tungstène
Couche émetteur InP
Couche base GaAsSb
Couche collecteur InP
Couche sub-collecteur InP
Contact collecteur InGaAs

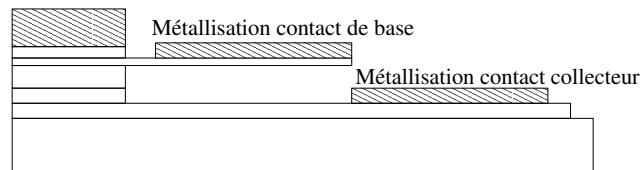
Substrat InP



Structure B : Reporté sur Pyrex

Contact émetteur Tungstène
Couche émetteur InP
Couche base GaAsSb
Couche collecteur InP
Collecteur métallique Tungstène
Contact collecteur métallique Au

Substrat Pyrex



Structure C : Reporté sur SiC

Contact émetteur Tungstène
Couche émetteur InP
Couche base GaAsSb
Couche collecteur InP
Collecteur métallique Tungstène
Contact collecteur métallique Au
Joint de collage en Pyrex
Substrat SiC

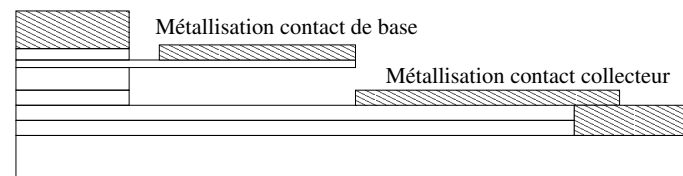


FIG. III.12: Coupes schématiques des structures simulées

Le tableau III.3 présente la liste des différents matériaux composant les couches des trois

structures étudiées. La fonction de chacune de ces couches leur impose une géométrie latérale particulière dont les valeurs ont été données plus haut. Dans ces conditions, certaines parties de ces couches sont des surfaces libres qui dissipent de la chaleur par convection et rayonnement. Dans la suite nous avons négligé ces effets pour nous focaliser sur les effets dus à la conduction thermique qui est le point central adressé par la technique du report des couches actives sur substrat hôte.

Couche	Structure A non reportée	Structure B reportée sur Pyrex	Structure C reportée sur SiC
Sub-émetteur	Tungstène	Tungstène	Tungstène
Émetteur	InP	InP	InP
Base	GaAsSb	GaAsSb	GaAsSb
Collecteur	InP	InP	InP
Collecteur n+	InP	Tungstène	Tungstène
Sub-collecteur	InGaAs	Aluminium	Aluminium
Joint de collage	-	Pyrex	Pyrex
Substrat	InP	Pyrex	SiC

TAB. III.3: Matériaux des structures simulées

Les conductivités thermiques des différents matériaux utilisés dans la simulation sont regroupées dans le tableau III.4.

Matériau	Conductivité thermique ($\text{W.m}^{-1}.\text{K}^{-1}$)
Pyrex	1.38
InGaAs, GaAsSb	5
InP	68
Aluminium	160
Tungstène	174
AlN	285
Or	317
SiC	490

TAB. III.4: Conductivité thermique des différents matériaux utilisés dans la simulation

III.4.2 Source de chaleur

En fonctionnement normal les électrons portant le courant collecteur acquièrent un excès d'énergie cinétique dans la jonction base-collecteur polarisée en inverse car le champ électrique y est très intense. Une fois dans la zone quasi-neutre (ZQN) du collecteur (un métal dans le cas des transistors reportés) ces électrons relaxent leur énergie cinétique (le champ électrique y est

très faible) en émettant des phonons. La source principale de chaleur des TBH en fonctionnement est donc située dans la ZQN du collecteur.

Dans les TBH dédiés aux applications de puissance en régime hyperfréquence, deux facteurs rendent cette source de chaleur particulièrement efficace. D'une part la densité de courant collecteur est très élevée pour obtenir le comportement rapide du TBH et, d'autre part, la jonction base-collecteur est fortement polarisée en inverse pour la production de puissance.

Dans le cas des transistors reportés la ZQN du collecteur est constituée par la partie métallique (ici en tungstène) du collecteur Schottky. Sous l'effet d'interactions électrons-électrons très efficaces, la relaxation des électrons chauds se fait sur quelques libres parcours moyens dans le métal. Dans ces conditions la simulation de la source de chaleur a été réalisée en introduisant dans cette couche métallique une source de chaleur volumique sur une profondeur de 50 nm.

Dans les transistors non-reportés la ZQN collecteur est contenue dans la couche en InP dopée n^+ . Dans ce cas la source de chaleur volumique introduite dans la simulation est étendue sur 200 nm pour tenir compte d'une part de l'étendue spatiale de la relaxation des électrons dans le semiconducteur et d'autre part de la présence d'un domaine piégé à l'interface n^-/n^+ du collecteur II.2.1.

En conclusion, la densité volumique de la puissance thermique de la source située dans le collecteur a été simulée en répartissant la densité surfacique de puissance électrique du transistor (typiquement entre 10^5 et 10^6 W/cm²) dans un volume d'épaisseur égale à 50 nm pour le collecteur métallique et 200 nm pour un collecteur en InP. C'est à dire des densités volumiques de puissance qui varient entre 5×10^{15} W/m³ et 2×10^{17} W/m³. La densité volumique de puissance sera précisée pour chaque calcul.

III.4.3 Thermostat

Un thermostat (qui maintient une température constante) est placé en excellent contact thermique avec l'arrière du substrat. Il est simulé en supposant que la surface inférieure du substrat est une isotherme de température égale à celle du thermostat.

D'autre part le collecteur métallique des TBH reportés est en excellent contact thermique avec les couches sous-jacentes grâce au collage anodique qui nous garantit une homogénéité du collage à l'échelle atomique IV.

III.4.4 Hyperstructures du transistor

La source de chaleur située dans la ZQN du collecteur conduit à un échauffement des parties supérieures du TBH. C'est cet effet que nous souhaitons réduire en améliorant la thermalisation via le substrat du transistor. La contribution de cet échauffement à la thermalisation de la source peut atteindre 20% du flux thermique total [25], en particulier dans les transistors équipés de points thermiques entre l'émetteur et le substrat (voir par exemple [26]).

Cependant l'alliage GaAsSb constituant la base est un mauvais conducteur de la chaleur (Cf. tableau III.4) ce qui réduit considérablement l'échauffement de l'émetteur ainsi que la thermalisation de la source de chaleur par les mécanismes de conduction vers le haut (i.e. à travers la base). L'échauffement doit donc être caractérisé par l'élévation de température du collecteur. Cependant la plupart des travaux publiés sur la thermalisation des transistors rapportent des

mesures de résistance thermique entre l'émetteur et le substrat car l'échauffement du transistor dégrade principalement son fonctionnement en augmentant la température électronique des électrons de l'émetteur.

Dans les résultats de simulations présentés dans ce chapitre nous évaluerons l'influence de la dissipation de puissance dans le collecteur à la fois sur la température d'émetteur et celle du collecteur. Les résistances thermiques entre émetteur et substrat d'une part et collecteur et substrat d'autre part seront donc systématiquement calculées.

III.4.5 Conditions aux limites

Pour résumer, les conditions aux limites imposées au dispositif au cours de la simulation sont :

- Une source de chaleur dans le collecteur (Cf. paragraphe III.4.2) dont la densité de puissance est ajustable. Elle sera précisée pour chaque calcul ;
- La face arrière du substrat est maintenue à la température du thermostat (ici $T = 300\text{K}$) ;
- Toutes les autres faces extérieures sont placées dans des conditions d'isolation thermique. C'est à dire qu'il n'y a, à partir de ces surfaces, aucun échange thermique avec l'extérieur : les effets de convection et de rayonnement sont négligés (Cf. paragraphe III.1) ;
- Les interfaces intérieures sont libres.

III.5 Résultats des simulations numériques

Dans cette partie nous présentons une étude des conditions de thermalisation de trois structures de TBH. La première correspond à un transistor réalisé sur son substrat natif en InP ; la seconde à un transistor reporté sur Pyrex et la troisième à un report sur SiC.

III.5.1 Structure A

Dans cette section nous allons étudier la thermalisation des TBH InP/GaAsSb non-reportés correspondant à la structure A du tableau III.3 et dont les dimensions, communes à toutes les structures étudiées dans ce chapitre, ont été données dans la section III.4.1. La source de chaleur située dans le sub-collecteur en InP présente une densité volumique de puissance de 10^{16}W/m^3 répartie sur une épaisseur de 200 nm.

Dans ce que suit nous allons étudier l'effet sur la thermalisation de la géométrie de ce type de transistor, notamment celui lié à l'épaisseur de la couche de contact collecteur en InGaAs.

Effet de l'épaisseur de la couche de contact collecteur en InGaAs

De par leur disposition verticale, les TBH ont besoin d'une couche conductrice sous-jacente au collecteur pour assurer une connexion électrique de faible résistance entre celui-ci et la sortie de contact. Dans les TBH non-reportés cette couche est, par nécessité, un semiconducteur. Parmi ceux disponibles dans la filière InP, InGaAs apparaît comme un matériau de choix pour la réalisation de cette couche sous-jacente car il assure, grâce à la très faible masse effective des électrons de la bande de conduction (4.1% de celle de l'électron au repos), à la fois une faible résistance de couche et une faible résistance de contact.

Cependant la très mauvaise conductivité thermique d'InGaAs ($5 \text{ W.m}^{-1}.\text{K}^{-1}$ à comparer à $68 \text{ W.m}^{-1}.\text{K}^{-1}$ pour InP) conduit les concepteurs de TBH de la filière en InP à minimiser son épaisseur. Le compromis habituellement utilisé est de réaliser la couche de contact collecteur en deux parties : la partie supérieure en InGaAs pour assurer une faible résistance de contact et la partie inférieure en InP pour assurer à la fois une faible résistance électrique de couche et une faible résistance thermique d'accès au substrat.

Dans ce paragraphe, nous allons étudier l'influence de l'épaisseur de la couche d'InGaAs sur la thermalisation des TBH non-reportés. Pour focaliser notre attention sur le thermalisation via le substrat, les simulations seront faites dans un premier temps sur des transistors sans sortie de contact métallique. Nous verrons dans un deuxième temps comment la contribution des sorties de contacts à la thermalisation peut être estimée.

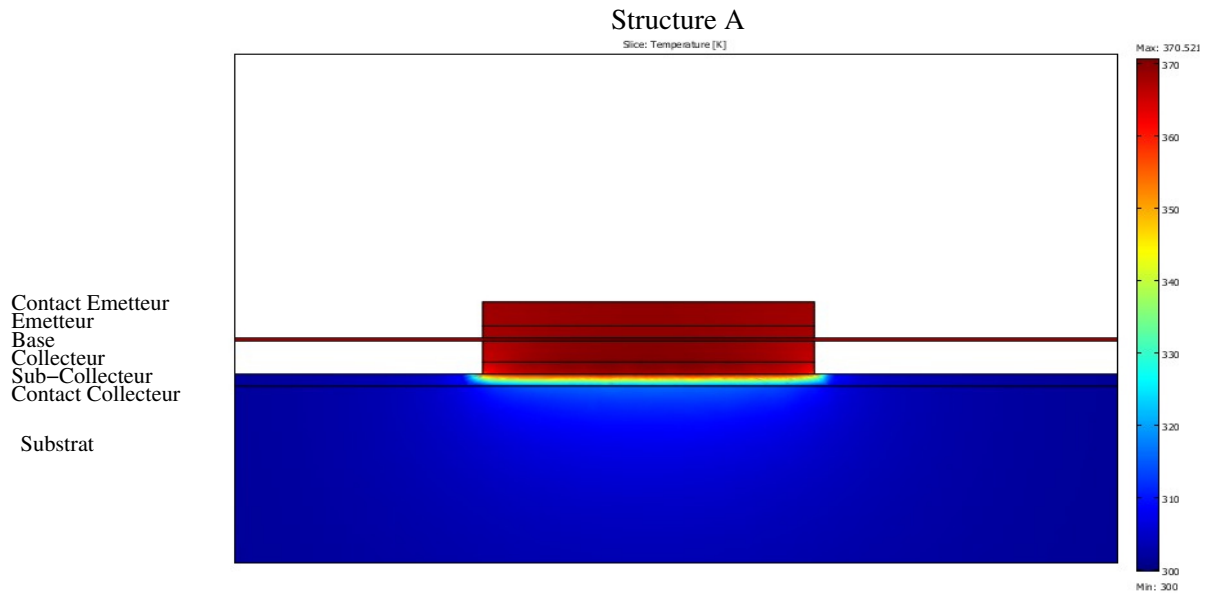


FIG. III.13: Cartographie de la température dans un transistor non reporté (structure A) ayant une couche de contact collecteur en InGaAs de 200 nm d'épaisseur. Les paramètres de la simulation sont donnés dans le tableau III.5.

La figure III.13 présente la carte des températures dans le plan xOz . L'épaisseur de la couche de contact collecteur en InGaAs est fixée à 200 nm. Nous remarquons que la couche d'InGaAs joue le rôle d'une barrière pour le flux de chaleur conduisant à un échauffement marqué et uniforme du transistor (la température dans le transistor est comprise entre 365 et 370 K) alors que tout le gradient de température est compris dans l'épaisseur de la couche de contact collecteur (son interface avec le substrat est au plus à 310 K).

Nous avons tracé sur la figure III.14 la température le long de l'axe Oz pour différentes épaisseurs de la couche de contact de collecteur en InGaAs. La température maximale dans la structure (située dans la couche n^+ du collecteur) augmente avec l'épaisseur de la couche d'InGaAs. Ceci est dû à l'augmentation de l'efficacité de la couche de contact collecteur comme

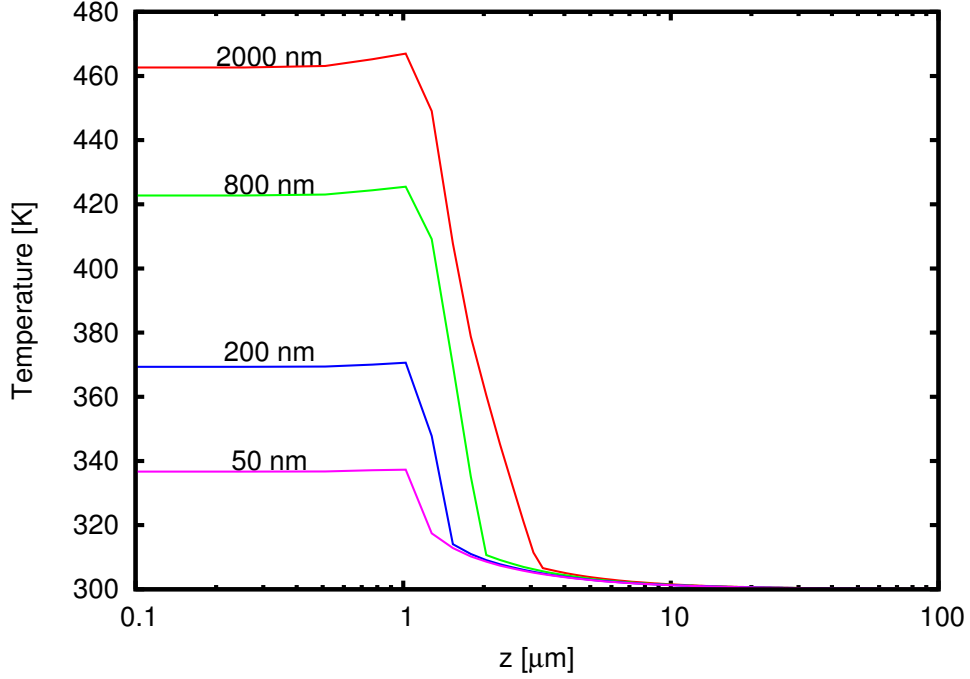


FIG. III.14: Profil de température le long de l'axe Oz pour différentes épaisseurs de la couche de contact collecteur en InGaAs

barrière au flux de la chaleur.

L'échauffement du collecteur ($T_{collecteur} - T_{substrat}$) est tracé figure III.15 en fonction de l'épaisseur W de la couche d'InGaAs. On observe une forte croissance de l'échauffement aux faibles épaisseurs (typiquement inférieures à $0.5 \mu\text{m}$) ainsi qu'une saturation de l'échauffement pour les fortes épaisseurs (typiquement supérieures à $1.5 \mu\text{m}$). Ce comportement surprenant nécessite quelques explications.

En l'absence de la couche d'InGaAs la résistance thermique entre le dispositif et le thermostat est donnée par l'expression III.17 du modèle analytique (tracé bleu à épaisseur nulle sur la figure III.15). L'introduction entre la source de chaleur (le collecteur) et le substrat d'une couche peu conductrice de la chaleur introduit en série une résistance thermique supplémentaire. Cette dernière étant proportionnelle à l'épaisseur de la couche additionnelle, on s'attend à une augmentation linéaire de l'échauffement (tracé vert sur la figure III.15). Le comportement observé aux très faibles épaisseurs est en excellent accord quantitatif avec cette description.

La conduction de la chaleur dans la couche d'InGaAs se fait de façon isotrope. L'aire de la couche d'InGaAs à travers laquelle s'écoule le flux thermique vers le substrat, n'est donc pas constante. En l'écrivant $(L + k * W)(l + k * W)$ où L est la longueur du doigt collecteur, l sa

Type de structure :	Structure A (non reportée)
Epaisseur du substrat :	300 μm
Densité de puissance :	$1 \times 10^{16} \text{W.m}^{-3}$
Aire du contact collecteur :	$10 \times 20 \mu\text{m}^2$
Epaisseur du contact collecteur :	Variable

TAB. III.5: Paramètres de la simulation de la figure III.14

largeur et k un paramètre ajustable, la résistance thermique additionnelle s'écrit :

$$R_{\text{InGaAs}} = \frac{1}{\kappa_{\text{InGaAs}}} \frac{W}{(L + k * W)(l + k * W)} \quad (\text{III.21})$$

Le paramètre k a été obtenu par adéquation (tracé rouge sur la figure III.15) aux valeurs issues de la simulation numérique de la somme (montage en série) des résistances thermiques de la couche d'InGaAs (équation III.21) et du substrat (équation III.17). On trouve $k = 0.79$ ce qui traduit un élargissement de part et d'autre égal à 40% de l'épaisseur de la couche d'InGaAs, soit 200 nm pour une couche de $1 \mu\text{m}$. Notons que cet élargissement de la source de chaleur en contact avec le substrat se traduit également par une réduction de la résistance thermique à travers le substrat (tracé bleu figure III.15).

En résumé, l'insertion d'une couche d'InGaAs sous le collecteur augmente notablement la résistance thermique entre le transistor et le thermostat. La surface à considérer pour le flux de chaleur augmente avec l'épaisseur de la couche d'InGaAs. On constate deux comportements :

- L'épaisseur de la couche d'InGaAs est petite devant la largeur de la source (i.e. le doigt de collecteur, ici $0.5 \mu\text{m}$). L'effet d'élargissement est négligeable et la résistance thermique augmente linéairement avec l'épaisseur.
- L'épaisseur de la couche d'InGaAs est grande devant la largeur de la source. La conduction isotrope dans InGaAs élargit la surface utile de la couche d'InGaAs. La résistance thermique croît de façon sous-linéaire.

En considérant que cette couche sert à la fois de support au contact ohmique collecteur et de couche d'arrêt à la sous-gravure chimique du collecteur, l'épaisseur généralement utilisée est comprise entre 20 et 50 nm [25] [27]. On constate que même pour ces très faibles épaisseurs, la couche de contact collecteur agit comme une barrière efficace au flux de chaleur venant du collecteur (figure III.13) conduisant à un accroissement significatif de la température de transistor (figure III.14). Une couche de 50 nm d'InGaAs augmente l'échauffement d'un facteur 2.

Effet de l'aire du mesa de contact collecteur en InGaAs

Dans ce paragraphe nous allons examiner l'influence de l'aire du mesa de contact collecteur sur la thermalisation du transistor.

Dans le paragraphe précédant, nous avons vu que l'élargissement de la surface active au transfert thermique dans la couche de contact collecteur en InGaAs est de l'ordre de 40 % de l'épaisseur de cette couche, soit environ 20 nm pour une épaisseur typiquement de 50 nm

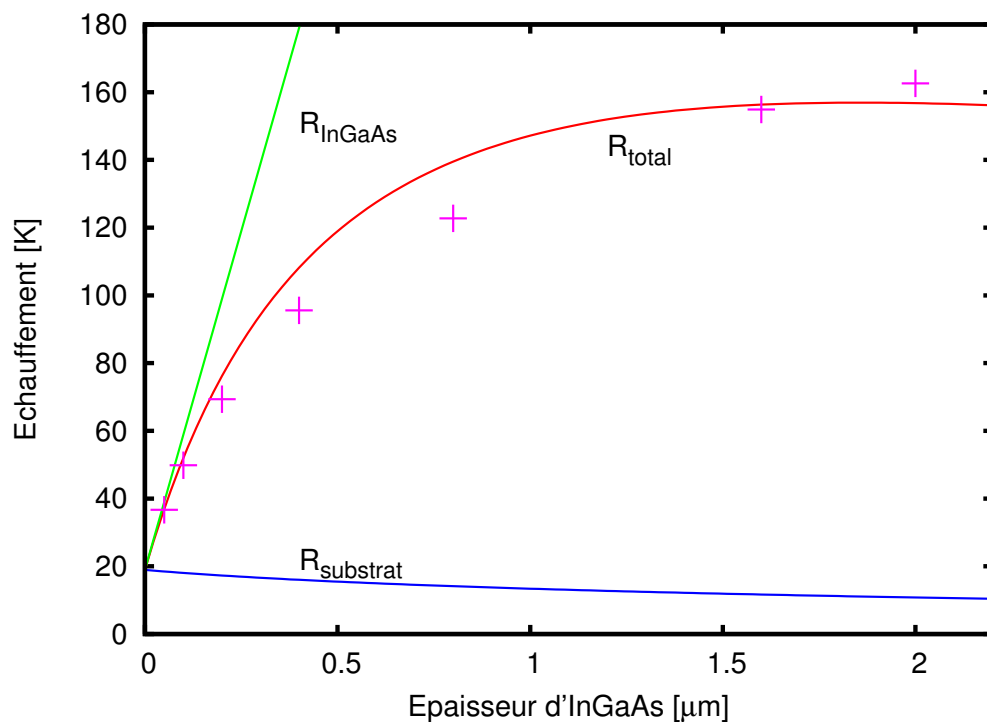


FIG. III.15: Échauffement du collecteur en fonction de l'épaisseur de la couche de contact collecteur en InGaAs. Les croix sont issues de la simulation. Les traits continus du modèle analytique. Les paramètres utilisés dans la simulation sont regroupés dans le tableau III.5

Le rôle premier de cette couche étant d'assurer un accès électrique entre le collecteur et la sortie de contact, la largeur du mesa de contact collecteur est au moins égale à cette distance, c'est à dire au moins égale à 1 μm , voire beaucoup plus. Cette distance étant dans tous les cas très grande devant les 20 nm du gradient de température, il est clair que l'aire du mesa de contact collecteur n'a aucune influence sur la thermalisation du transistor.

Effet de l'épaisseur de substrat

Comme nous l'avons déjà vu avec la *Structure simple* les effets de réduction de l'épaisseur du substrat sur la résistance thermique ne se font sentir que pour des épaisseurs comparables ou inférieures aux dimensions du dispositif. Dans le cas de la structure A cet effet est renforcé par la présence de la couche de contact collecteur en InGaAs qui, par sa mauvaise conductivité thermique renforce le gradient de température dans cette couche. Ce qui réduit celui présent dans le substrat. Les simulations numériques réalisées pour des épaisseurs de substrat variant de 30 μm à 300 μm n'ont montré aucune variation de la résistance thermique.

Chaleur évacuée par les ponts de contact

La figure III.16 présente le champ de température dans une structure complète de transistor, c'est à dire avec les ponts métalliques reliant son émetteur et sa base au substrat. Nous remarquons qu'il existe un gradient de température le long du pont d'émetteur ce qui montre qu'une partie de la chaleur est évacuée par ce pont. En revanche on constate que la métallisation de la base et les ponts métalliques reliant la base au substrat restent à la température du thermostat. Le flux de chaleur évacué par les ponts de base est donc négligeable dans les structures de type A.

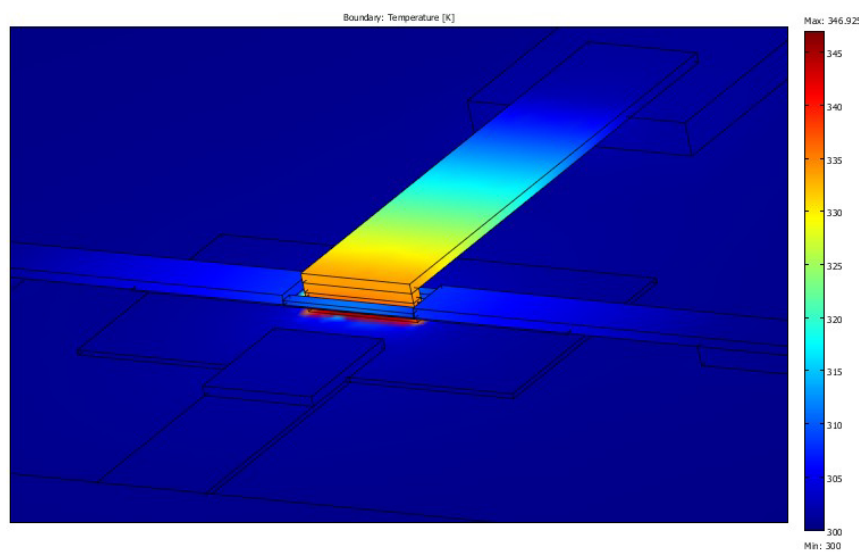


FIG. III.16: Distribution de la température dans un transistor avec pont d'émetteur et ponts de base

Pour estimer la contribution du pont d'émetteur à la thermalisation du transistor, nous avons tracé sur la figure III.17 la température le long de l'axe Oz dans la structure transistor. Deux calculs ont été réalisés l'un avec un transistor sans pont d'émetteur ni de base et l'autre avec un transistor complet, c'est à dire avec l'ensemble des ponts qui le relie au substrat.

Type de structure :	Structure A (non reportée)
Épaisseur de substrat :	$300 \mu m$
Densité de puissance :	$1 \times 10^{16} W/m^3$
Surface contact collecteur :	$10 \times 20 \mu m^2$
Épaisseur contact collecteur :	200 nm

TAB. III.6: Paramètres de la simulation de la figure III.17

Le transistor sans pont montre une température quasi-constante dans l'ensemble de la structure, excepté dans la couche de contact collecteur en InGaAs. A contrario le transistor complet

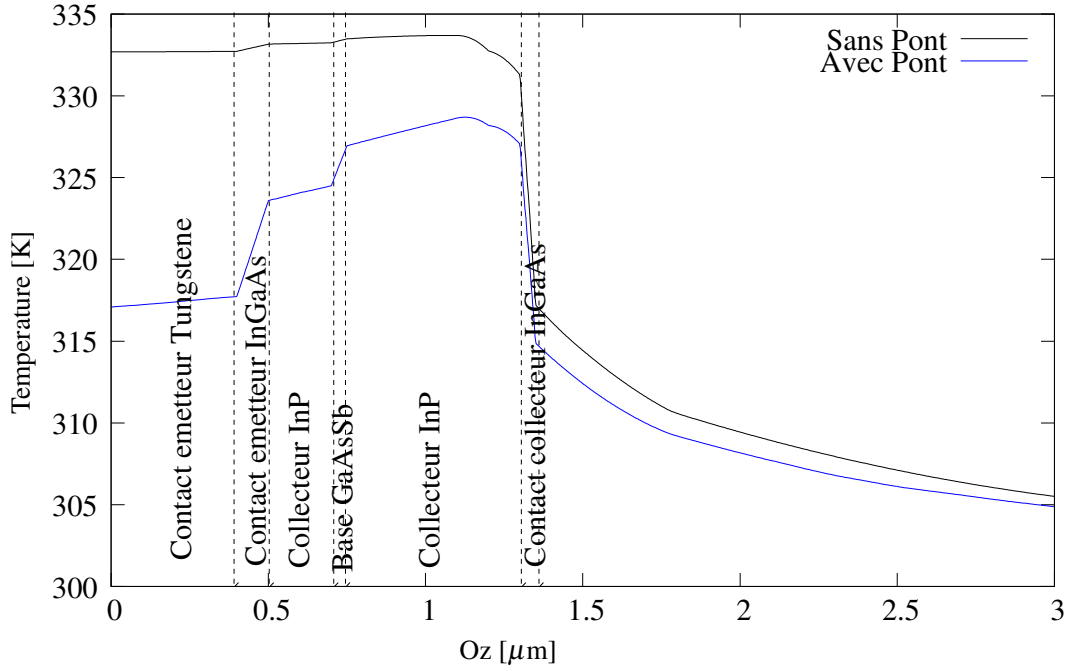


FIG. III.17: Profils suivant l'axe Oz de la température dans les couches actives du transistor, avec (tracé bleu) et sans (tracé noir) les ponts de sortie de courant.

(avec ses ponts) présente un maximum de température dans la couche n^+ du collecteur entouré de part et d'autre par un gradient de température, l'un dans la couche de contact collecteur en InGaAs (similaire à celui du transistor sans pont) et l'autre traversant toute la structure du transistor.

Ce second gradient se traduit, à puissance donnée (ici $P = 10^{16} \text{ W/m}^3$), par une réduction notable de la température dans l'émetteur du transistor avec pont ($T = 324 \text{ K}$) par rapport à celle calculée dans le transistor sans pont ($T = 334 \text{ K}$), soit une baisse relative d'environ 29 % de l'échauffement. Les résistances thermiques équivalentes à travers le pont d'émetteur vers le substrat et directement vers le substrat, peuvent être modélisées comme deux résistances en parallèle :

- R_{pont} Résistance thermique équivalente entre le collecteur et le substrat à travers les ponts émetteur et base
- R_{sub} Résistance thermique équivalente entre le collecteur et le substrat à travers le sous-collecteur. émetteur.
- R_{Eq} Résistance équivalente totale entre le collecteur et le substrat.

Les simulations numériques réalisées pour un transistor avec et sans pont ont permis le calcul de leur résistance thermique respective. On trouve $R_{eq} = 6570 \text{ K/W}$ et $R_{sub} = 8057 \text{ K/W}$. La résistance thermique équivalente à travers le système de pont vaut donc $R_{pont} = 35730 \text{ K/W}$. Ce canal supplémentaire de conduction évacue environ 18% de la chaleur dissipée

Cette diminution de la température à travers les ponts, notamment celle de la jonction émetteur-base, est très importante car la dégradation du fonctionnement du transistor par auto-échauffement vient essentiellement de l'échauffement de cette jonction.

Conclusion

En conclusion, pour minimiser l'inconvénient de la couche de contact collecteur en InGaAs sur la thermalisation du transistor il faut réduire au maximum l'épaisseur de cette couche. Ceci est en contradiction avec son rôle premier qui est d'assurer un bon contact électrique entre le collecteur et son contact métallique.

L'utilisation d'un semiconducteur III-V de meilleure conductivité thermique permettrait de résoudre ce problème. Cependant la mauvaise conductivité thermique d'InGaAs est due au fait qu'il s'agit d'un alliage avec une composition des éléments III proche de 50 %. Il n'existe malheureusement pas de semiconducteur binaire en accord de maille avec InP autre qu'InP lui-même. De même il n'existe pas dans ce système (accord de maille), d'alliage de faible composition et présentant une faible largeur de bande interdite (faible masse effective des électrons pour réduire les résistances d'accès). Nous verrons plus loin que ce problème trouvera une solution drastique avec le report des couches sur substrat hôte.

L'ensemble des ponts de sortie de contact utilisés dans cette étude, permettent une évacuation d'environ 18 % de la chaleur dissipée et de réduire notablement (environ 29%) l'échauffement de l'émetteur.

III.5.2 Structure B

Dans cette section nous allons étudier la thermalisation des TBH InP/GaAsSb reportés sur substrat de Pyrex. Ils correspondent à la structure B du tableau III.3 et leurs dimensions, communes à toutes les structures étudiées dans ce chapitre, ont été données dans la section III.4.1. La source de chaleur est, comme pour les autres structures, située dans le sub-collecteur, ici en tungstène. Dans ce cas elle est répartie sur une épaisseur de 50 nm, plus fine que dans le cas précédent (200 nm dans InP) pour tenir compte d'une relaxation plus rapide des électrons chauds dans le métal que dans le semiconducteur.

Le report des couches actives du transistor sur un substrat d'aussi mauvaise conductivité thermique que le Pyrex (50 fois plus faible que celle de l'InP) ne semble pas a priori favorable à une bonne thermalisation du transistor. Nous allons montrer dans cette section qu'à l'opposé de cet a priori, il est possible d'établir entre les TBH reportés sur Pyrex et la face arrière du substrat des résistances thermiques plus faibles que celles observées sur substrat d'InP.

Effet de l'épaisseur du substrat

Pour réduire la résistance thermique séparant les TBH reportés de la face arrière du substrat, la première idée est de réduire l'épaisseur de celui-ci. C'est ce que nous allons étudier dans cette section.

La figure III.18 présente la variation de la température le long de l'axe Oz pour différentes épaisseurs du substrat de Pyrex. La densité volumique de puissance dans la source est de $4 \times 10^{16} \text{ W/m}^3$.

Par opposition au cas de la structure A pour lequel nous avons montré que la réduction de l'épaisseur du substrat ne produit pas d'effet mesurable sur la thermalisation des dispositifs (voir paragraphe III.5.1), on constate que l'épaisseur du substrat de Pyrex de la structure B a une influence sur la température du transistor, comme le montre la figure III.18. En effet la

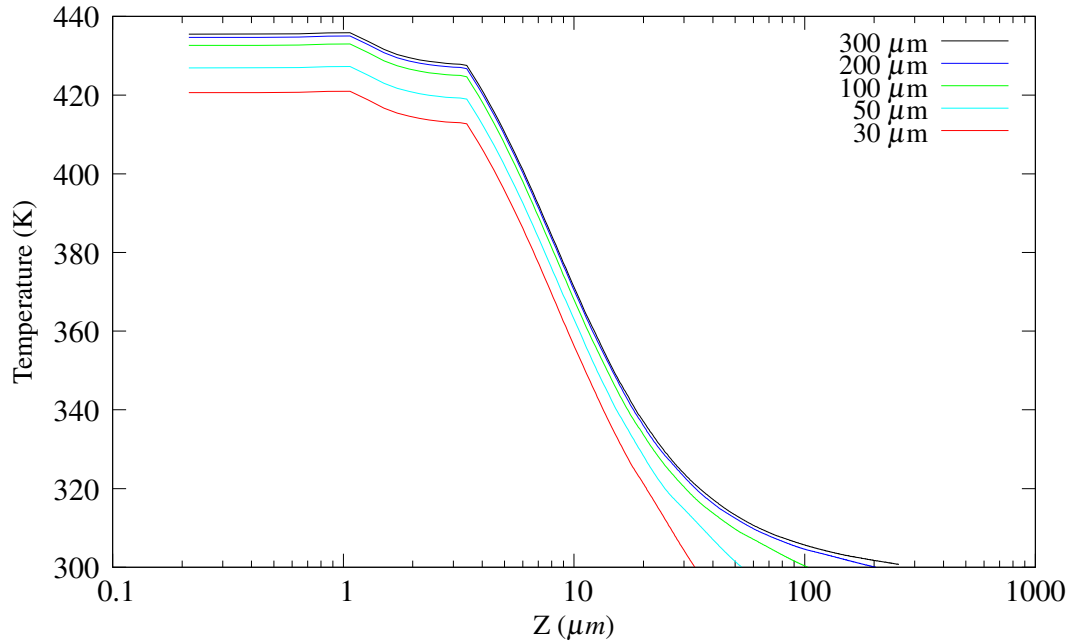


FIG. III.18: Profil de température le long de l'axe Oz pour différentes épaisseurs du substrat de Pyrex pour une densité de puissance de la source de $4 \times 10^{16} \text{ W/m}^3$

Type de structure :	Structure <i>B</i> (reportée sur Pyrex)
Épaisseur de substrat :	Variable
Surface substrat :	$20 \times 20 \text{ mm}^2$
Densité de puissance :	$4 \times 10^{16} \text{ W/m}^3$
Surface contact collecteur :	$10 \times 20 \mu\text{m}^2$
Épaisseur contact collecteur :	$2 \mu\text{m}$

TAB. III.7: Paramètres de la simulation de la figure III.18

réduction de l'épaisseur de substrat de $300 \mu\text{m}$ à $30 \mu\text{m}$ réduit la température maximale dans le collecteur de 15 K (figure III.18).

L'échauffement du collecteur calculé par la simulation numérique (figure III.19) présente une très faible dépendance avec l'épaisseur du substrat pour les fortes épaisseurs de ce dernier. Ce résultat, en accord avec celui issu du modèle analytique (tracé rouge figure III.19), montre que la plus grande partie de la résistance thermique est localisée près de la source (dépendance en $1/r$ de l'équation III.16).

Pour un substrat de très faible épaisseur (i.e. plus faible que la largeur du collecteur ici $< 10 \mu\text{m}$) la résistance thermique peut être estimée en ne considérant que le flux de chaleur entre deux isothermes planes : le collecteur et le thermostat. L'échauffement augmente alors linéairement avec l'épaisseur du substrat (tracé vert figure III.19). C'est dans ce domaine que la variation de l'échauffement du collecteur avec l'épaisseur du substrat est la plus forte.

La réduction de l'échauffement du collecteur par amincissement du substrat ne sera donc significative que pour des épaisseurs faibles devant la largeur du contact collecteur, ici inférieures

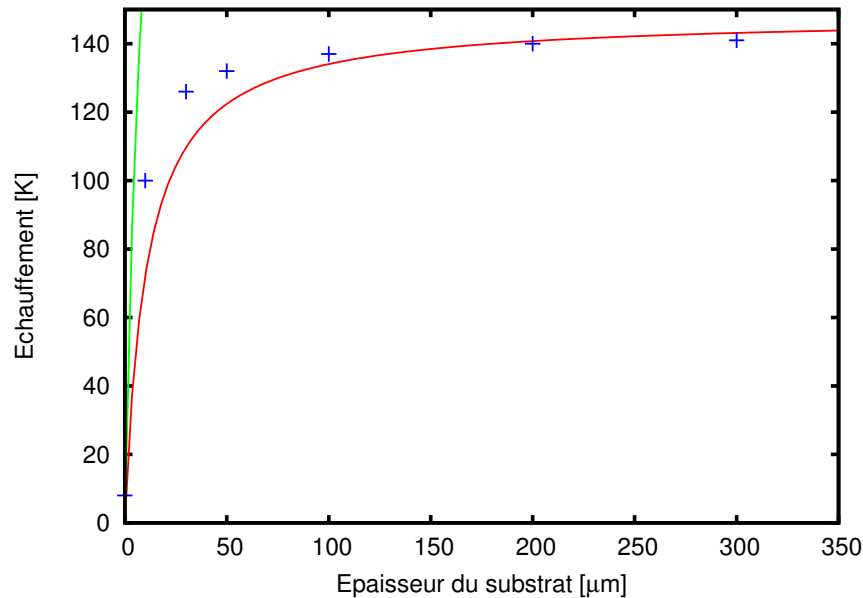


FIG. III.19: Échauffement du collecteur en fonction de l'épaisseur du substrat de Pyrex. Les points sont issus des simulations numériques, les courbes en trait continu du modèle analytique.

à $10\mu\text{m}$. Notons que cette gamme d'épaisseur est hors de portée des techniques de polissage. La solution technologique pour améliorer significativement la thermalisation des transistors reportés sur Pyrex devra donc passer par une autre voie, par exemple celle de la structure C.

Couche d'aluminium de collage : drain thermique horizontal

La principale nouveauté apportée par le report des couches actives par collage anodique est la présence d'une couche métallique à l'interface de collage entre les couches actives et le substrat. De plus l'épaisseur de cette couche métallique (ici en aluminium) est ajustable dans de grandes proportions. En effet le collage anodique nécessite une couche métallique ayant une épaisseur minimale qui peut être estimée à $0.1\mu\text{m}$ mais n'impose pas de valeur maximale. Dans cette section nous allons voir comment cette couche métallique modifie le flux thermique entre le dispositif et le substrat. Mettant à profit la liberté de choix laissé par le collage anodique pour l'épaisseur de cette couche, nous chercherons à définir les conditions optimales de la thermalisation des transistors.

La couche d'aluminium de la structure B modifie la répartition spatiale du flux de chaleur issu du collecteur avant sa pénétration dans le substrat de Pyrex (figure III.20). En effet, grâce à sa forte conductivité thermique (150 fois plus élevée que celle du Pyrex) la couche d'aluminium située entre la source thermique et le substrat, introduit un chemin horizontal de faible résistance thermique dans le plan de cette couche. Il existe alors un flux de chaleur horizontal dans la couche d'aluminium qui augmente l'aire à travers laquelle le flux de chaleur pénètre dans le

Type de structure :	Structure <i>B</i> (reportée sur Pyrex)
Épaisseur de substrat :	Variable
Surface substrat :	$20 \times 20 \text{ mm}^2$
Densité de puissance :	$4 \times 10^{16} \text{ W/m}^3$
Surface contact collecteur :	$10 \times 20 \mu\text{m}^2$
Épaisseur contact collecteur :	$1 \mu\text{m}$

TAB. III.8: Paramètres de la simulation de la figure III.18

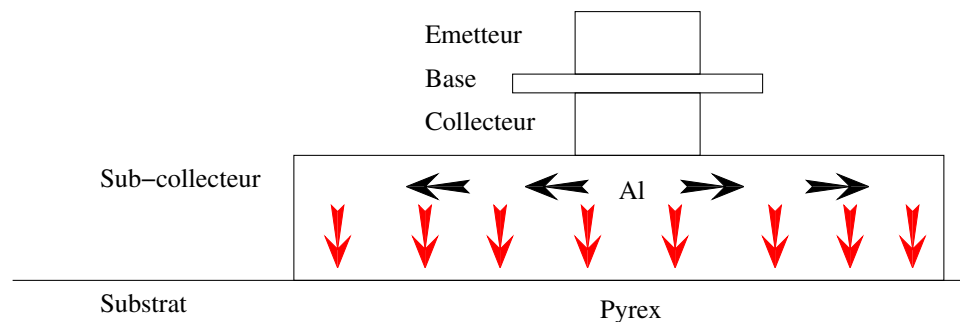


FIG. III.20: Effet de drain thermique horizontal de la couche d'aluminium utilisée pour le collage anodique.

Pyrex, ce qui se traduit par une réduction de la densité de ce flux de chaleur, entraînant dans la même proportion une réduction de la résistance thermique totale.

La couche d'aluminium située entre le dispositif et le substrat sert de drain thermique horizontal. En diminuant la densité du flux de chaleur pénétrant dans le substrat elle réduit la résistance thermique équivalente.

Cet effet de drain thermique est illustré figure III.21. On observe en effet une température quasi constante le long de l'interface aluminium/Pyrex qui correspond à un flux de chaleur homogène à travers cette interface.

L'épaisseur optimale de la couche d'aluminium est atteinte lorsque la température est uniforme sur toute l'interface aluminium/Pyrex. La conduction thermique dans la couche d'aluminium étant un problème à deux dimensions, il est nécessaire d'utiliser la simulation numérique. On peut tout de même faire deux remarques préalables :

- plus la couche d'aluminium est épaisse et plus le flux de chaleur à travers l'interface aluminium/Pyrex est homogène. On ne s'attend donc pas à trouver de valeur optimale de l'épaisseur mais un comportement asymptotique de la température du collecteur qui va tendre vers une limite finie lorsque l'épaisseur de la couche d'aluminium augmente. On déterminera donc une valeur minimale au delà de laquelle les variations de la résistance thermique équivalente seront négligeables.
- cette valeur minimale est nécessairement liée à la largeur de la couche d'aluminium puisqu'il s'agit d'introduire une faible résistance thermique entre la zone active du dispositif et le bord du sub-collecteur. On présentera donc la réponse sous la forme d'une relation liant l'épaisseur minimale à la largeur du sub-collecteur.

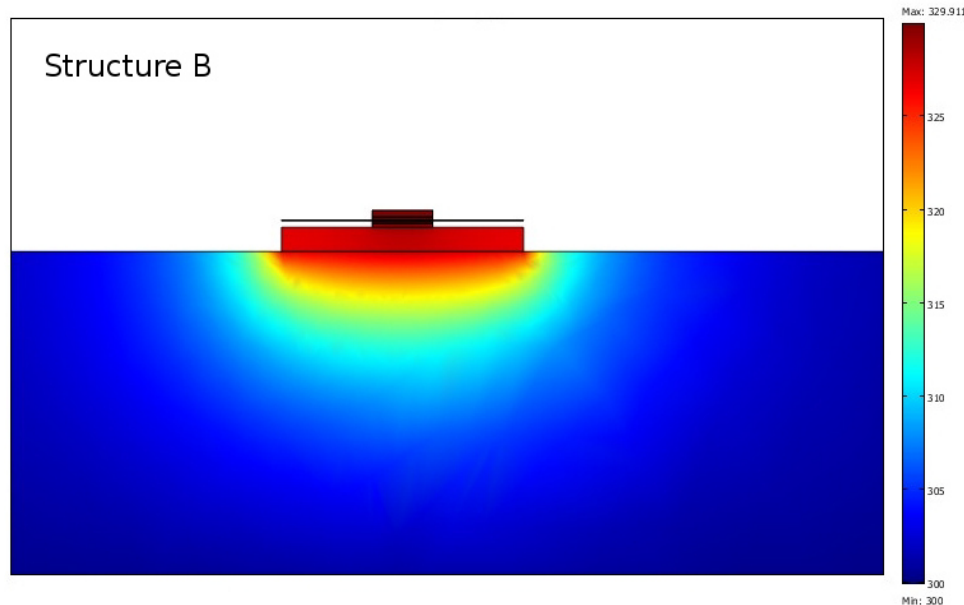


FIG. III.21: Champ de température dans le transistor reporté sur substrat de Pyrex

Type de structure :	Structure B (reportée sur Pyrex)
Épaisseur de substrat :	$300\mu\text{m}$
Surface substrat :	$20 \times 20\text{mm}^2$
Densité de puissance :	$1 \times 10^{16}\text{W/m}^3$
Surface contact collecteur :	Variable
Épaisseur contact collecteur :	Variable

TAB. III.9: Paramètres de la simulation présentée figure III.22

Les résultats des simulations numériques (figure III.22) montrent :

- une forte dépendance de la température du collecteur avec l'épaisseur de la couche d'aluminium pour les faibles valeurs de celle-ci. En revanche on observe de très faibles variations de cette température pour les fortes épaisseurs de cette couche ;
- une augmentation de l'épaisseur minimale à partir de laquelle la température ne varie plus de façon significative lorsque la largeur de contact collecteur en aluminium diminue ;
- une diminution, à épaisseur donnée de la couche d'aluminium, de la résistance thermique avec la largeur de cette couche.

Plus le drain thermique s'étend sur une grande surface et plus il est efficace. Cependant, en pratique son extension latérale est limitée par le voisinage immédiat du transistor, principalement par les sorties de courant émetteur et base. Dans notre technologie (Cf. chapitre ??) ses dimensions latérales ne peuvent pas dépasser $30 \times 20\mu\text{m}^2$. Pour ces dimensions, une épaisseur de $2\mu\text{m}$ permet d'atteindre, à quelques pour cent près, le comportement asymptotique observé figure III.22.

Dans ces conditions, la résistance thermique entre le dispositif et le thermostat est de

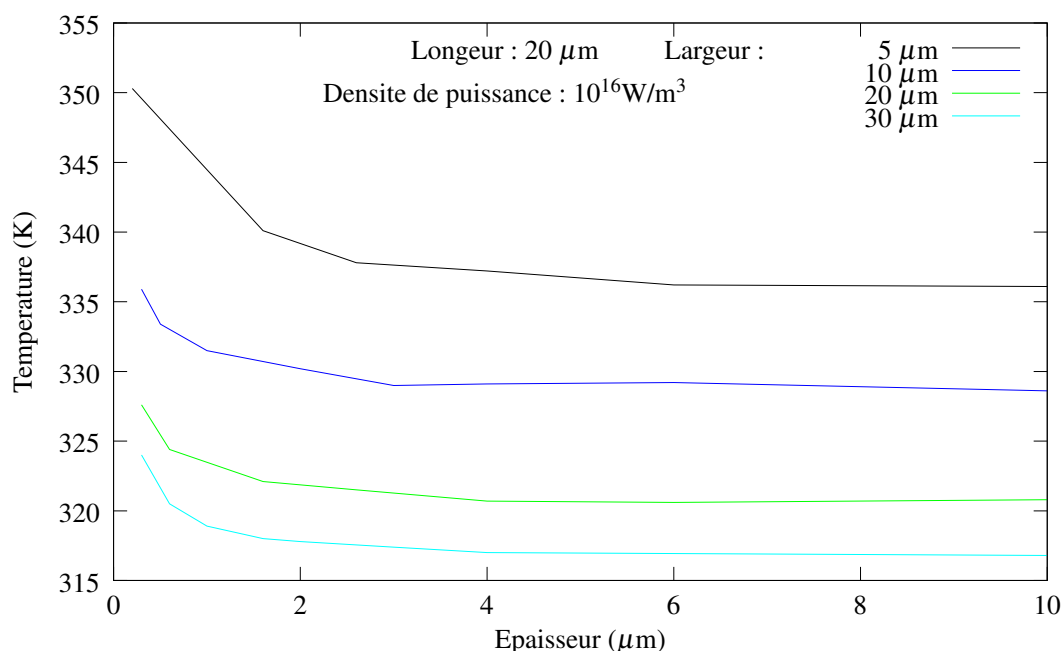


FIG. III.22: Température du collecteur en fonction de l'épaisseur de la couche d'aluminium pour différentes largeurs de collecteur

13600 K/W. Ainsi grâce au drain thermique horizontal on obtient pour le transistor isolé (i.e. sans ses connexions) une résistance thermique sur Pyrex qui n'est augmentée que de 70% par rapport à celle calculée sur InP alors que la conductivité thermique du Pyrex est 50 fois plus faible que celle de l'InP.

Ce premier résultat est extrêmement encourageant. Nous allons voir dans la prochaine section que cet effet de drain thermique horizontal peut être étendu au delà du voisinage immédiat du transistor et conduire à de meilleures performances.

Prolongement du drain thermique horizontal : sortie de courant collecteur

La couche d'aluminium décrite au paragraphe précédent est sur un coté du transistor en contact électrique avec la ligne de sortie du courant collecteur. Pour les fonctionnements à fréquence élevée, il s'agit de la partie "signal" d'une ligne coplanaire adaptée à 50 Ω . Cette partie est constituée d'un ruban de 100 μm de large relié au transistor par un "taper" de forme trapézoïdale. Ce dernier est représenté dans la simulation numérique par un carré de 50 μm de large.

La continuité imposée (initialement pour des raisons électriques) à ces deux parties métalliques permet de prolonger dans cette direction l'effet de drain thermique horizontal décrit au paragraphe précédent. Dans cette partie nous allons chercher à optimiser la géométrie de ce ruban métallique pour réduire la résistance thermique qu'il présente entre le transistor et le thermostat.

La figure III.23 présente la variation avec la longueur de la ligne déposée sur le substrat, de la résistance thermique comprise entre le transistor reporté et le thermostat. Dans ce calcul les

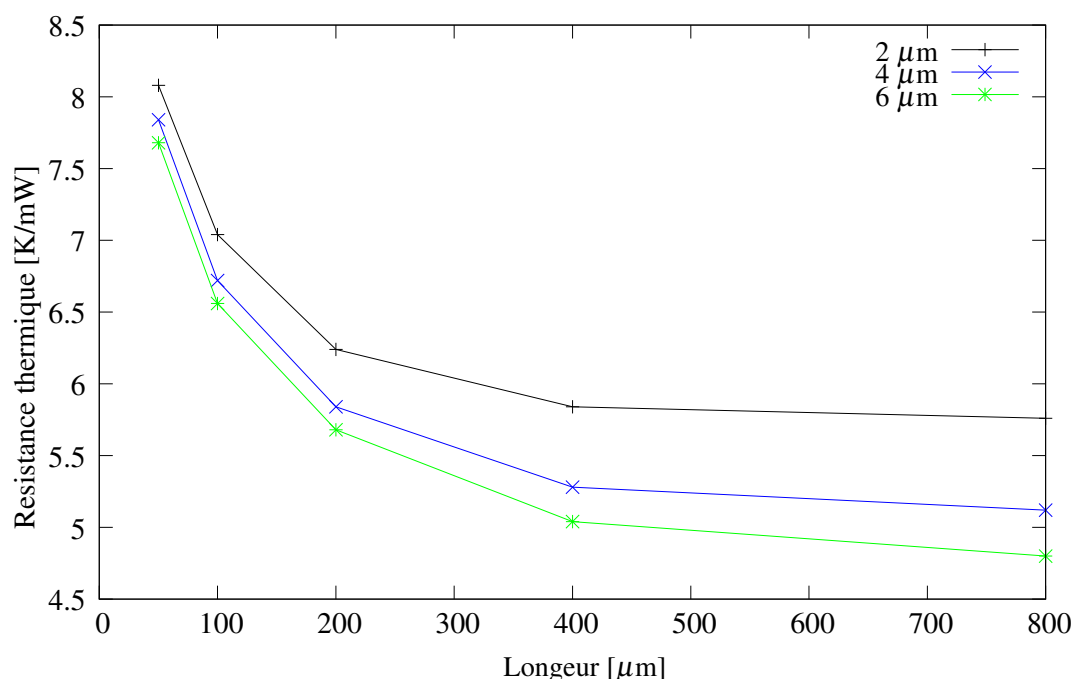


FIG. III.23: Résistance thermique entre un transistor de structure B (sans les ponts d'émetteur et de base) en fonction des dimensions de la ligne de sortie du courant collecteur

ponts de sortie de courant émetteur et base n'ont pas été pris en compte ; ce point sera traité au paragraphe suivant.

La faible dépendance de la résistance thermique avec la longueur de la ligne pour des longueurs supérieures à 400 μm suggère d'utiliser des lignes de contact collecteur d'au moins 400 μm . Cette longueur correspondant à la zone d'injection de la chaleur dans le substrat de Pyrex, la ligne collecteur devra donc, pour rester efficace, être éloignée sur cette longueur de toute autre source de chaleur (voir paragraphe III.3.4). D'autre part on constate que l'effet de l'épaisseur de la ligne s'affaiblit pour les fortes épaisseurs. Un épaisseur de 4 μm semble être un bon compromis.

Dans ces conditions, on constate que malgré son fort déport latéral par rapport à la source de chaleur, la ligne de sortie du courant collecteur contribue très efficacement à la thermalisation du transistor. En effet la résistance thermique de 13600 K/W du transistor isolé, obtenue au paragraphe précédent, est réduite à 5280 K/W.

La longueur utile à l'échange de chaleur avec le substrat de Pyrex étant voisine de son épaisseur, on peut se demander dans quelle mesure la très faible dépendance de la résistance thermique avec l'épaisseur du substrat démontrée au paragraphe III.5.2 pour le transistor isolé reste valable. Les simulations numériques montrent effectivement une dépendance plus marquée que pour le transistor isolé. Cette dépendance reste cependant assez faible : une réduction de l'épaisseur du substrat de 300 à 50 μm se traduit par une réduction d'environ 30% de la résistance thermique de la ligne collecteur. Comme dans le cas du transistor isolé, une réduction significative ne pourra être obtenue que pour des amincissements hors de portée des techniques de polissage.

Chaleur évacuée par le pont d'émetteur

Comme pour les autres structures de transistor, une partie de la chaleur dissipée est évacuée par les ponts de sortie des courants d'émetteur et de base. Dans ce paragraphe nous allons évaluer l'importance de cette contribution et calculer la résistance thermique totale du transistor de la structure *B*.

Pour estimer la contribution des ponts d'émetteur et de base à la thermalisation du transistor, nous avons tracé sur la figure III.24 la température le long de l'axe *Oz* dans la structure *B*. Deux calculs ont été réalisés l'un pour un transistor sans pont d'émetteur ni pont de base et l'autre pour un transistor complet, c'est à dire avec l'ensemble des ponts qui le relie au substrat. La densité volumique de puissance est $P = 4 \times 10^{16} \text{ W/m}^3$.

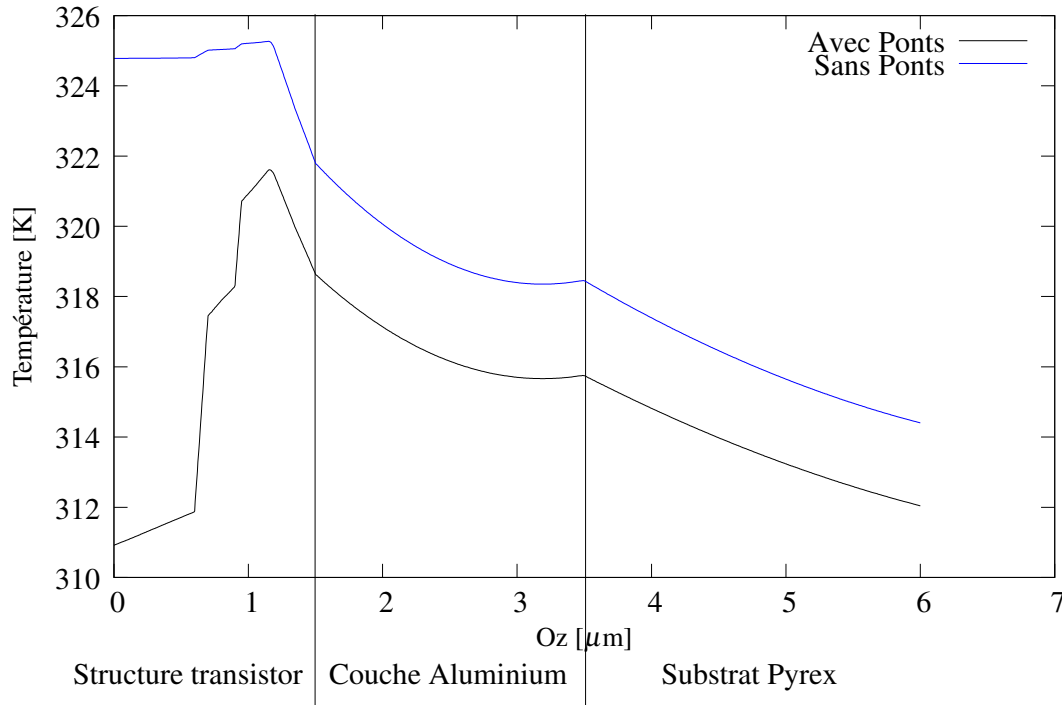


FIG. III.24: Profils de température le long de l'axe *Oz* dans la structure *B* sans (tracé bleu) et avec (tracé noir) les ponts métalliques de sortie de contact.

Type de structure :	Structure <i>B</i> (reportée sur Pyrex)
Épaisseur de substrat :	$300 \mu\text{m}$
Surface substrat :	$20 \times 20 \text{ mm}^2$
Densité de puissance :	$4 \times 10^{16} \text{ W/m}^3$
Surface contact collecteur :	$20 \times 30 \mu\text{m}^2$
Épaisseur contact collecteur :	$1 \mu\text{m}$

TAB. III.10: Paramètres de la simulation de la figure III.24

Nous constatons que, dans le transistor complet, une partie notable de la chaleur est évacuée par le pont métallique d'émetteur (comme dans le cas de la structure A le flux de chaleur à travers les ponts de base est négligeable). En effet, si on constate une diminution modeste (seulement 3 K) de la température de collecteur, la température de l'émetteur est réduite de 8 K, soit une réduction relative de 28%. Cet effet est important puisque la dégradation des performances électriques du transistor par échauffement est essentiellement due à l'augmentation de la température des électrons de l'émetteur.

Résistance thermique totale équivalente

Nous avons vu dans les paragraphes précédents qu'il existe principalement trois canaux de conduction de l'évacuation de la chaleur dissipée dans les transistors reportés sur substrat de Pyrex :

- la chaleur directement injectée dans le substrat de Pyrex par la couche de contact collecteur en aluminium située sous le transistor. Ce canal est caractérisé par la résistance thermique R_{sub} ;
- la chaleur injectée dans le substrat de Pyrex par la ligne de sortie de courant collecteur. Ce canal est caractérisé par la résistance thermique R_{coll} ;
- la chaleur évacuée via le pont de contact émetteur, caractérisée par la résistance thermique R_{pont} ;

Les valeurs obtenues pour ces différentes résistances dans les discussions des paragraphes précédents, sont regroupées dans le tableau III.11 ainsi que la proportion de flux de chaleur acheminé par chacun de ces canaux. On constate que la ligne de sortie du courant collecteur évacue environ la moitié de la chaleur dissipée dans le transistor, jouant ainsi un rôle déterminant dans sa thermalisation. Remarquons que ce rôle n'est possible que grâce à la présence dans les transistors reportés d'un drain thermique horizontal. En effet dans les TBH non reportés (structure A), la ligne de sortie de courant collecteur est d'un point de vue thermique, séparée du transistor par des couches semiconductrices de forte résistivité thermique qui augmente considérablement la résistance thermique totale de ce canal.

Canal de conduction	Résistance thermique [K/W]	Proportion du flux de chaleur [%]
R_{sub}	13 600	31
R_{coll}	8 630	49
R_{pont}	21 520	20
Structure B	4 240	100

TAB. III.11: Résistance thermique et proportion du flux de chaleur des trois principaux canaux de conduction de la structure B.

Comparaison avec les résultats de la littérature

Des transistors dessinés exclusivement pour la puissance sur substrat InP peuvent avoir une résistance équivalente entre l'émetteur et le substrat assez faible (2000 K/W) sans avoir recourt

à la technique du report [94]. Ceci est dû à une technologie double méso basée sur une jonction base - collecteur environ deux ordres de grandeurs plus grande que la jonction émetteur - base, un collecteur très épais (typiquement 800 nm) et une base également épaisse en InGaAs (110 nm). La technologie double méso et le collecteur très épais permet de réduire la densité du flux de chaleur en augmentant l'aire de l'interface dispositif - substrat. La base épaisse en InGaAs joue réduit, en introduisant une barrière au flux de chaleur se propageant du collecteur vers l'émetteur, l'échauffement des électrons de l'émetteur. Il s'agit d'une stratégie efficace pour l'obtention de transistors de puissance mais complètement inadaptée à la génération de signaux hyperfréquence. En effet la capacité trop importante de la jonction base - collecteur conduit à un temps de charge τ_{bc} trop fort et les épaisseurs de base et de jonction base - collecteur à des temps de transit t_b et t_c trop élevés. Ainsi ce type de structure sacrifie les performances fréquentielles pour produire de la puissance. A contrario notre structure *B* (et plus loin la structure *C*), dessinée pour ces performances hyperfréquence, présente un bon compromis pour des applications de puissance dans le domaine hyperfréquence.

Conclusion

La structure *B* reportée sur un substrat de Pyrex présente a priori un inconvénient majeur pour la réalisation de transistor de puissance : le Pyrex est un très mauvais conducteur de la chaleur (50 fois plus résistif que l'InP). On s'attend donc à observer sur ces transistors des échauffements préjudiciables à leur bon fonctionnement.

Nous avons montré que la réduction de la résistance thermique par amincissement du substrat de Pyrex n'est efficace que si de très faibles épaisseurs peuvent être réalisées, de l'ordre de la largeur du contact collecteur. Ces faibles épaisseurs (typiquement 10 μ m) semblent hors de portée des techniques de polissage.

Par ailleurs, nous avons montré que les présences conjuguées d'une couche métallique à l'interface entre le collecteur et le substrat de Pyrex d'une part, et d'une ligne de sortie du courant collecteur d'autre part, permettent de concevoir des transistors de puissance présentant à densité de puissance donnée des échauffements nettement inférieurs à ceux calculés sur des transistors identiques non-reportés.

En effet nous avons montré que ces deux éléments jouant le rôle de drain thermique horizontal répartissent le flux de chaleur entrant dans le Pyrex sur une aire beaucoup plus grande que celle du doigt de collecteur, ce qui conduit à une réduction de la résistance thermique entre le transistor et le thermostat. Pour des géométries de transistor équivalentes, la résistance thermique équivalente du transistor sur son substrat initial en InP est plus de 50% plus élevée que celle du transistor reporté sur Pyrex.

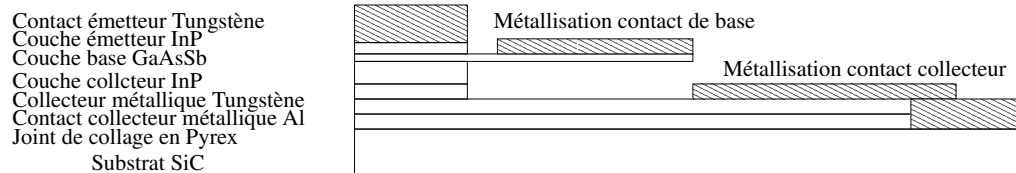
Le pont métallique d'émetteur, en évacuant environ 20% du flux total de chaleur émis par le transistor, contribue au refroidissement global de la structure *B*. Cet effet est particulièrement marqué sur la population d'électrons de l'émetteur.

III.5.3 Structure *C*

Dans cette section nous allons étudier la thermalisation des TBH InP/GaAsSb reportés sur substrat de SiC. Ils correspondent à la structure *C* du tableau III.3 et leurs dimensions, communes à toutes les structures étudiées dans ce chapitre, ont été données dans la section III.4.1.

La source de chaleur est, comme pour les autres structures, située dans le sub-collecteur, ici en tungstène. Dans cette structure, comme dans la structure *B*, elle est répartie sur une épaisseur de 50 nm pour tenir compte de la relaxation des électrons chauds dans le métal.

Structure C_1 : Avec Métallisation Contact collecteur



Structure C_2 : Sans Métallisation Contact collecteur

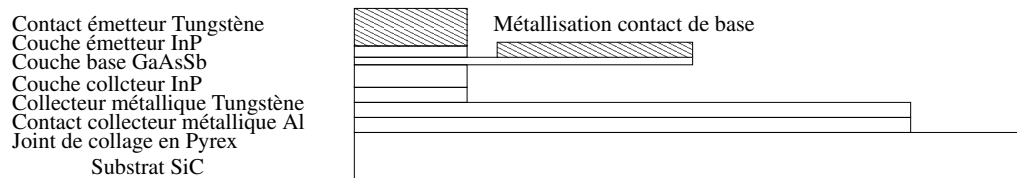


FIG. III.25: Coupe schématique des transistors de la structure *C*

Comme dans le cas de la structure *B*, il s'agit d'un TBH à collecteur métallique reporté sur substrat hôte. Notre technologie de report (Cf. chapitre IV) est basée sur le collage anodique de l'aluminium sur le Pyrex. Dans le cas du report sur SiC, une couche d'aluminium est déposée sur les couches actives à reporter et une couche de Pyrex sur le substrat de SiC. Après collage la structure située sous les couches semiconductrices est donc composée de l'empilement suivant (Cf. figure III.25) :

- un sub-collecteur en tungstène contenant la source de chaleur ;
- une couche de contact collecteur en aluminium identique à celle de la structure *B* ;
- une couche de Pyrex de faible épaisseur (typiquement $1\ \mu\text{m}$) ;
- le substrat de SiC. Le SiC a été choisi à titre d'exemple pour sa très faible résistivité thermique (sept fois plus faible que celle d'InP). Il pourrait être remplacé par tout autre substrat bon conducteur de la chaleur : C-diamant, AlN, BN...

À l'opposé de la structure *B*, cette structure est reportée sur un substrat choisi pour son excellente conductivité thermique. La technique de collage utilisée (collage anodique) nous impose cependant la présence d'une couche de Pyrex à l'interface de collage qui constitue une barrière pour le flux de chaleur se propageant du dispositif vers le thermostat. Dans cette section nous allons montrer comment les transistors de la structure *C* peuvent tirer parti des excellentes qualités thermiques du substrat malgré la présence de cette barrière, pour obtenir des conditions de thermalisation nettement améliorées par rapport à celles calculées pour les structures *A* (sur substrat d'InP) et *B* (reportées sur Pyrex).

Comme pour l'étude des autres structures nous allons dans un premier temps étudier le comportement thermique des transistors de la structure *C* sans leurs sorties de courant, émetteur, base et collecteur. L'effet de ces connexions métalliques sur la thermalisation du transistor sera étudié à la fin de cette section.

Pour faciliter la comparaison, la couche de contact collecteur en aluminium a été choisie identique à celle optimisée pour la structure *B* (Cf. paragraphe III.5.2). Cette valeur sera éventuellement reconsidérée au cours de l'optimisation de la structure *C* présentée à la fin de cette discussion.

Effet de l'épaisseur de la couche de Pyrex

Comme dans la structure *B*, la couche de contact collecteur en aluminium de la structure *C* (insert figure III.26) joue un rôle de drain thermique horizontal en répartissant de façon homogène l'injection de chaleur dans la couche sous-jacente en Pyrex. Cette couche de Pyrex dont les dimensions latérales sont, pour des raisons de fabrication technologiques, celles de la couche d'aluminium (L_{subcol} , W_{subcol}), est donc traversée par un flux de chaleur homogène orthogonal au plan de collage. La résistance thermique R_{th} de cette couche s'écrit donc :

$$R_{th} = \frac{T_P}{\kappa L_{subcol} W_{subcol}} \quad (III.22)$$

où T_P est l'épaisseur de la couche de Pyrex, L_{subcol} sa longueur, W_{subcol} sa largeur et κ sa conductivité thermique. La résistance thermique entre le collecteur et le thermostat, calculée par la simulation numérique, montre (figure III.26) pour les épaisseurs de Pyrex supérieures à $0.1 \mu m$, un comportement linéaire en excellent accord quantitatif avec celui donné par l'expression III.22. Cet accord montre que la quasi totalité de la résistance thermique de ce type de transistor est contenue dans la couche de Pyrex.

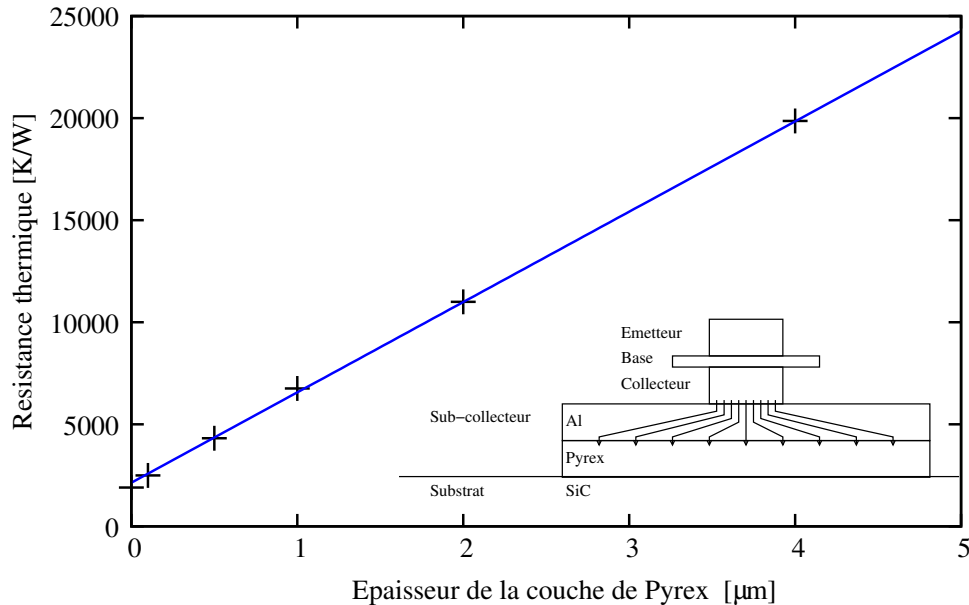


FIG. III.26: Résistance thermique entre le transistor de structure *C* et le thermostat en fonction de l'épaisseur de la couche de Pyrex. Les croix sont issues de la simulation numérique, la ligne continue de l'équation III.22. Insert : Effet de drain thermique horizontal dans la couche de contact collecteur en aluminium.

D'autre part les conditions du collage anodique (Cf. chapitre IV) imposent une épaisseur minimale à la couche de Pyrex. En effet la zone de charge d'espace réalisée dans le Pyrex par désertion du sodium, s'étend sur une profondeur typique de $1\ \mu\text{m}$. Pour cette valeur la résistance thermique du transistor reporté su SiC est de $6760\ \text{K/W}$ dont $4880\ \text{K/W}$ sont dus à la couche de Pyrex.

En résumé, la couche de Pyrex, indispensable à notre technologie de report par collage anodique, introduit une barrière thermique néfaste à la thermalisation du transistor de la structure C. La réduction de cette résistance thermique par la réduction de l'épaisseur de la couche de Pyrex étant incompatible avec notre technologie de report, nous allons dans les paragraphes qui suivent (i) conserver cette couche de $1\ \mu\text{m}$ Pyrex et (ii) introduire un nouveau drain thermique qui permettra au flux de chaleur de contourner cet obstacle.

Drain thermique vertical

Dans ce paragraphe nous introduisons un nouveau drain thermique, dit "drain vertical" dont le rôle est de créer un canal de faible résistance thermique entre le dispositif et le substrat. Il est constitué (insert de la figure III.27) d'un anneau métallique placé en contact thermique avec à la fois le bord extérieur du drain horizontal et le substrat. Il est parcouru par un flux thermique vertical et homogène. Sa résistance thermique s'écrit donc :

$$R_{th} = \frac{T_P}{2(L_{sub_{col}} + W_{sub_{col}})\kappa W} \quad (\text{III.23})$$

où W est la largeur de l'anneau. La résistance thermique totale entre la source de chaleur du collecteur et le thermostat placé à la face arrière du substrat a été calculée par la simulation numérique (croix figure III.27) et par le calcul analytique (traits continus) en considérant la résistance du drain vertical en série avec une résistance constante simulant le reste de la structure. On note un bon accord entre ces deux modes de calcul.

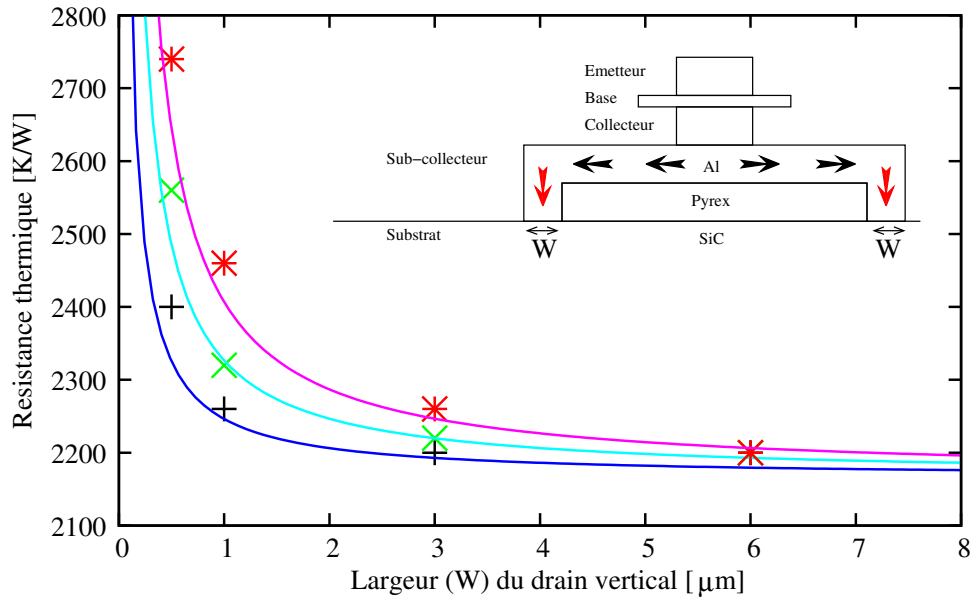


FIG. III.27: Résistance thermique totale entre le transistor et le thermostat en fonction de la largeur W de l'anneau constituant le drain vertical pour différentes épaisseurs de Pyrex (1, 2 et 3 μm). Les points sont issus de la simulation numérique, les courbes en trait continu de la modélisation. Insert : Flux de chaleur dans le drain thermique vertical (flèches rouges) placé aux extrémités du drain thermique horizontal (flèches noires)

D'après l'équation III.23, la résistance thermique de ce drain est inversement proportionnelle à la largeur de l'anneau W et proportionnelle à l'épaisseur T_p de la couche de Pyrex. Il est donc possible en ajustant la largeur de l'anneau de drain de compenser toute variation de l'épaisseur de Pyrex. On pourra donc considérer que :

Grâce aux drains thermiques, la résistance thermique de cette structure ne dépend pas de l'épaisseur de Pyrex utilisée pour le collage.

Remarquons que dans ce cas le rôle du drain horizontal n'est plus de répartir le flux de chaleur injecté dans le Pyrex comme dans la structure *B*. En effet la résistance thermique du canal passant par la couche de Pyrex est très grande devant celle des drains, sa contribution à la résistance totale est donc négligeable. Dans la structure *C* (figure III.27) son rôle est d'assurer conjointement avec le drain vertical un canal de conduction présentant une faible résistance thermique entre le dispositif et le substrat. Les deux drains placés en série sont parcourus par le même flux.

La décroissance en $1/W$ (W est la largeur de l'anneau) de la résistance thermique ne permet pas de définir une valeur optimale de W mais on pourra considérer cette décroissance comme étant négligeable au delà d'un certain seuil. Dans la pratique nous avons fixé l'épaisseur de Pyrex à 1 μm et la largeur de l'anneau à 2 μm . Le champ de température calculé par simulation numérique pour cette configuration est représenté figure III.28.

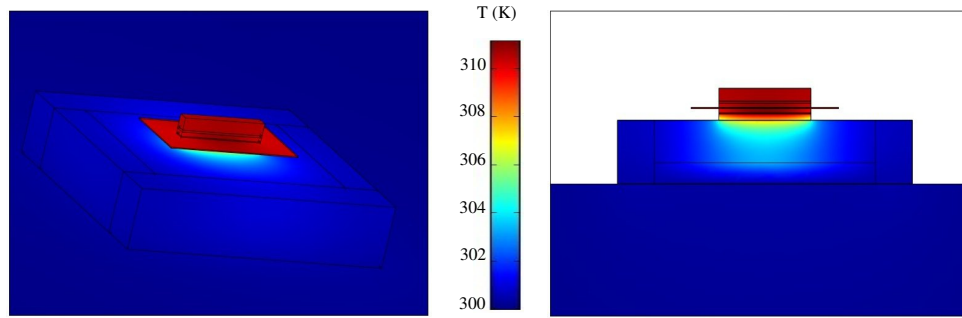


FIG. III.28: *Champ de température dans la structure C munie d'un drain thermique horizontal et vertical.*

Structure C optimisée

Dans ce paragraphe nous allons dans un premier temps identifier et quantifier les éléments présentant les résistances thermiques les plus fortes dans la structure C que nous avons étudiée jusqu'ici. Dans un deuxième temps nous proposerons une structure dite “optimisée” qui nous permettra de montrer de façon quantitative les possibilités de thermalisation des transistors reportés par collage anodique sur un substrat choisi pour sa forte conductivité thermique.

La résistance thermique totale équivalente R_{tot} de la structure C peut être vue comme la mise en série de quatre résistances thermiques :

- R_{coll} : résistance comprise entre la source de chaleur et le drain horizontal ;
- R_{dh} : résistance du drain horizontal en aluminium ;
- R_{dv} : résistance du drain vertical en or ;
- R_{sub} : résistance du substrat en SiC.

En conservant la géométrie et les conditions aux limites utilisées dans les simulations précédentes, l'échauffement du collecteur a été calculé pour différentes positions d'une isotherme $T = 300\text{ K}$ introduite aux interfaces (i) collecteur / drain horizontal, (ii) drain horizontal / drain vertical et (iii) drain vertical / substrat. Chacune de ces simulations permet le calcul de la résistance thermique correspondante. En considérant que les différentes résistances sont montées en série et que l'insertion de l'isotherme perturbe peu le calcul, les valeurs des quatre résistances sont déduites par différence.

Les aspects bidimensionnels de ce problème rendent difficile l'évaluation de chacune de ces résistances. L'approche analytique est clairement à proscrire alors que la simulation numérique présente également des difficultés. En effet la position de l'isotherme est choisie en fonction d'un découpage imposé par la fabrication technologique du dispositif. L'insertion d'une isotherme à une interface où le flux de chaleur n'est pas homogène perturbe la répartition de ce flux donc modifie la résistance thermique du dispositif. On utilisera donc cette approche pour une approximation des contributions des différentes parties du dispositif à la résistance thermique totale, le but étant d'identifier les parties les plus résistives du dispositif.

Les résistances thermiques ainsi calculées sont regroupées dans le tableau III.12. Il apparaît deux contributions principales, celles du collecteur en tungstène (33%) et celle du drain horizontal (59%). Nous allons proposer, dans les lignes qui suivent, une évolution de la structure C tendant à réduire ces deux principales contributions.

	Résistance thermique [K/W]	Poids [%]
R_{coll}	698	33
R_{dh}	1230	59
R_{dv}	94	4
R_{sub}	72	4
R_{tot}	2094	100

TAB. III.12: Valeur et poids des résistances thermiques des différentes parties de la structure C

Dans le doigt de collecteur en tungstène, le flux de chaleur peut être considéré comme étant homogène. Il est orienté de la source vers le drain horizontal. Sa résistance thermique est donc proportionnelle à l'épaisseur de la couche de tungstène et inversement proportionnelle à la section du doigt. Par ailleurs le flux de chaleur dans le drain horizontal est marqué par un fort aspect bidimensionnel : à l'interface avec le collecteur d'une part et à l'interface avec le drain vertical d'autre part.

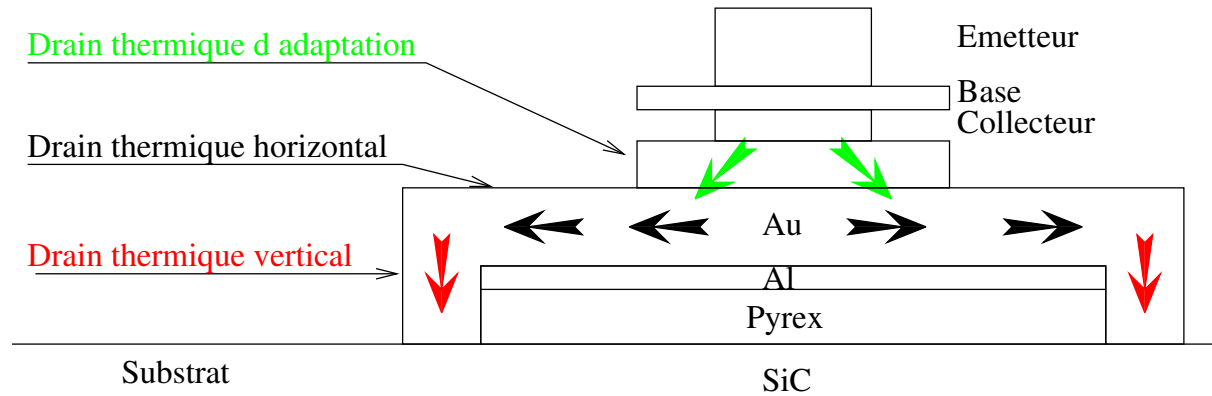


FIG. III.29: Structure C dite "optimisée". Un drain thermique d'adaptation a été introduit entre le collecteur et le drain horizontal.

Pour réduire les résistances thermiques de ces deux régions critiques, la version dite "optimisée" de la structure C (figure III.29) introduit à l'interface collecteur /drain horizontal une couche d'adaptation qui va permettre de réduire d'une part la hauteur du doigt de collecteur de faible section et d'autre part l'aspect bidimensionnel du flux de chaleur dans cette région. Dans cette structure l'empilement des couches situées sous les couches semiconductrices se compose de :

- un collecteur en tungstène contenant la source de chaleur ;
- un drain d'adaptation en or, d'épaisseur T_{da} ;
- une drain horizontal servant également de couche de contact collecteur. Il est constitué dans sa partie supérieure d'une couche en or et dans sa partie inférieure d'une couche en aluminium d'épaisseur $0.2 \mu\text{m}$ utile au collage anodique ;
- une couche de Pyrex d'épaisseur $1 \mu\text{m}$ fixée par les conditions du collage anodique ;

- le substrat de SiC. Le SiC a été choisi à titre d'exemple pour sa très faible résistivité thermique (sept fois plus faible que celle d'InP). Il pourrait être remplacé par tout autre substrat bon conducteur de la chaleur : C-diamant, AlN, BN...

Les valeurs des paramètres principaux (épaisseur de la couche d'or du drain horizontal, largeur et épaisseur du drain d'adaptation) vont être discutées dans les deux paragraphes suivants.

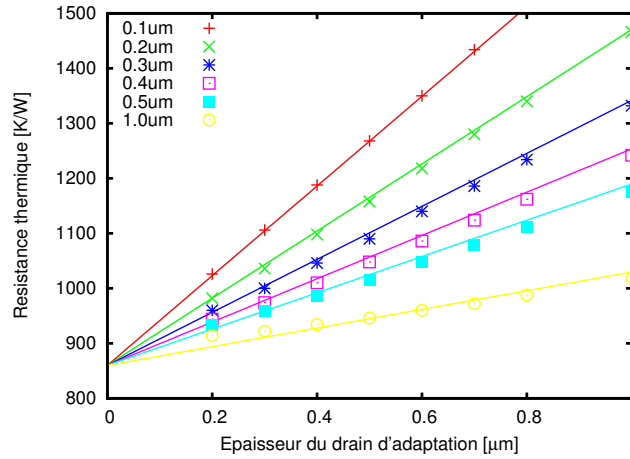


FIG. III.30: Résistance thermique totale calculée entre le collecteur et le thermostat en fonction de l'épaisseur T_{da} du drain d'adaptation pour différentes valeurs du débordement M_{da} du drain par rapport au doigt de collecteur. Les points sont issus de la simulation numérique, les traits continus de l'expression III.24

Dimensionnement du drain d'adaptation La résistance thermique entre le collecteur et le thermostat a été calculée à l'aide de la simulation numérique en fonction de l'épaisseur T_{da} du drain d'adaptation et pour différentes largeurs de débordement M_{da} de ce drain par rapport au doigt collecteur (figure III.30). On observe un comportement linéaire de la résistance thermique avec l'épaisseur du drain ce qui laisse penser que le flux de chaleur est principalement vertical dans le drain d'adaptation. Basée sur cette hypothèse, la résistance thermique du drain d'adaptation s'écrit :

$$R_{th} = \frac{T_{da}}{\kappa(l_{coll} + 2M_{da})(L_{coll} + 2M_{da})} \quad (\text{III.24})$$

où l_{coll} (resp. L_{coll}) est la largeur (resp. longueur) du collecteur et κ la conductivité du matériau constituant le drain. Le bon accord constaté entre les résultats de la simulation et ceux issus de l'expression III.24 montre que le flux de chaleur dans ce drain est essentiellement vertical pour des épaisseurs de drains supérieures à la moitié du débordement.

Les plus faibles résistances thermiques sont obtenues pour les configurations correspondant aux plus faibles épaisseurs et aux plus fortes valeurs de débordement. Cependant la réalisation des contacts de base et de collecteur auto-alignés nous imposent :

- une valeur minimale de l'épaisseur (typiquement $0.3 \mu\text{m}$)

- une valeur maximale au débordement de façon à maintenir l'ensemble du drain sous la casquette de base.

Dans ces conditions les valeurs retenues pour le drain d'adaptation de la structure C "optimisée" sont : $0.3 \mu\text{m}$ pour l'épaisseur et $1.5 \mu\text{m}$ de marge avec le doigt de collecteur, c'est à dire que le drain d'adaptation est auto aligné sur la casquette de base (Cf. figure III.29).

Épaisseur du drain horizontal En conservant les valeurs déterminées plus haut pour le drain d'adaptation, l'effet de l'épaisseur du drain horizontal sur la résistance thermique totale a été évalué grâce à la simulation numérique (figure III.31). On constate un comportement monotone décroissant pour les faibles épaisseurs suivi d'un comportement asymptotique à forte épaisseur (i.e. $> 3 \mu\text{m}$). Cette dernière partie correspondant à la somme des autres résistances thermiques du dispositif.

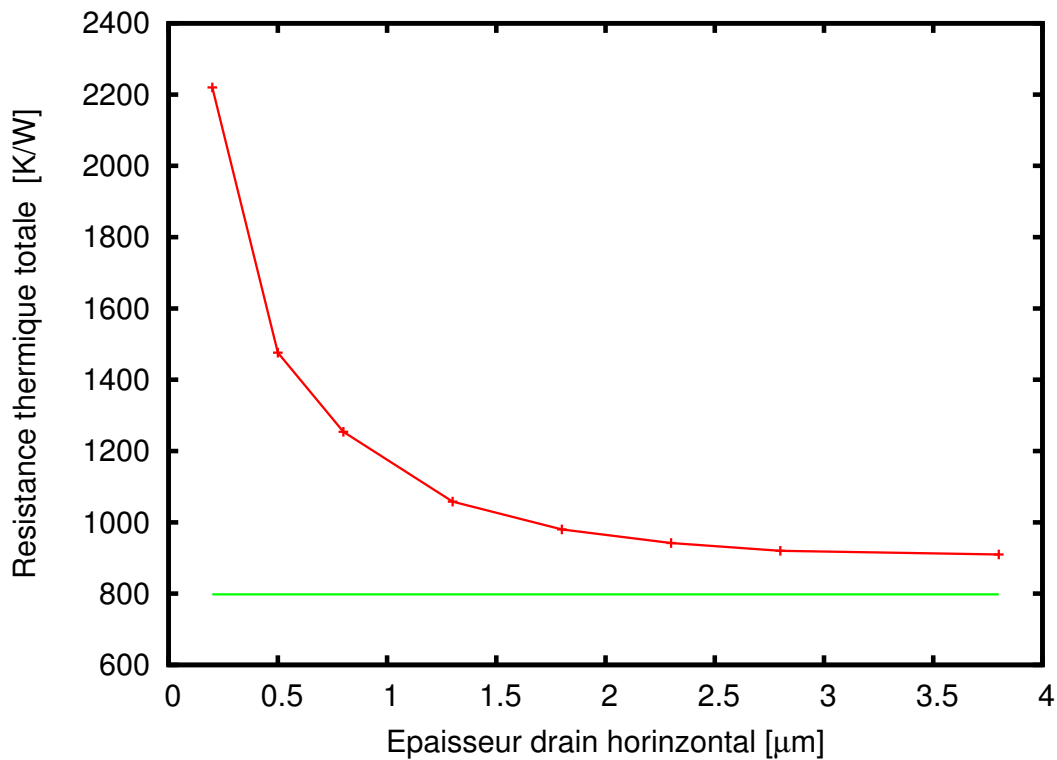


FIG. III.31: Résistance thermique totale calculée entre le collecteur et le thermostat en fonction de l'épaisseur du drain horizontal pour la structure C "optimisée" (tracé rouge) et la structure C "posée" directement sur SiC (tracé vert).

À titre de comparaison, nous avons calculé la résistance thermique qu'aurait un transistor de la structure C s'il était possible de le poser directement sur le substrat de SiC. La résistance

thermique est égale à 1448 K/W si le report place le collecteur en tungstène en contact direct avec le substrat. Elle est égale à 798 K/W (tracé vert sur la figure III.31) si c'est le drain horizontal qui est en contact direct avec le substrat. Remarquons que la présence d'une couche métallique placée sous le collecteur et servant à la prise de contact collecteur est indispensable au fonctionnement du transistor. Le premier cas n'est donné ici qu'à titre de comparaison.

Dans le deuxième cas, le drain thermique horizontal en contact direct avec le substrat joue le même rôle que celui de la structure *B*. En répartissant le flux de chaleur injecté dans le substrat sur une plus grande surface il abaisse de façon notable la résistance thermique totale.

D'autre part on constate que la résistance thermique calculée avec le drain horizontal en contact direct avec le substrat (tracé vert figure III.31) est très proche de celle calculée pour la structure *C* "optimisée" (comportement asymptotique du tracé rouge figure III.31) : l'écart relatif est seulement de 12%. Ceci montre que la technique de report de couches actives sur SiC par collage anodique par l'intermédiaire d'une fine couche de Pyrex, n'introduit pas d'augmentation significative de la résistance thermique par rapport à un report idéal plaçant le drain horizontal en contact direct avec le substrat.

Pour un transistor de la structure *C* "optimisée" la réduction de l'épaisseur du drain horizontal à $1.8 \mu\text{m}$ se traduit par une augmentation de la résistance thermique totale de 70 K/W par rapport à la valeur asymptotique, soit seulement 8% d'augmentation. Ce qui peut être considéré comme un bon compromis efficacité - coût. Le champ de température dans le plan xOz de cette structure est tracé figure III.32.

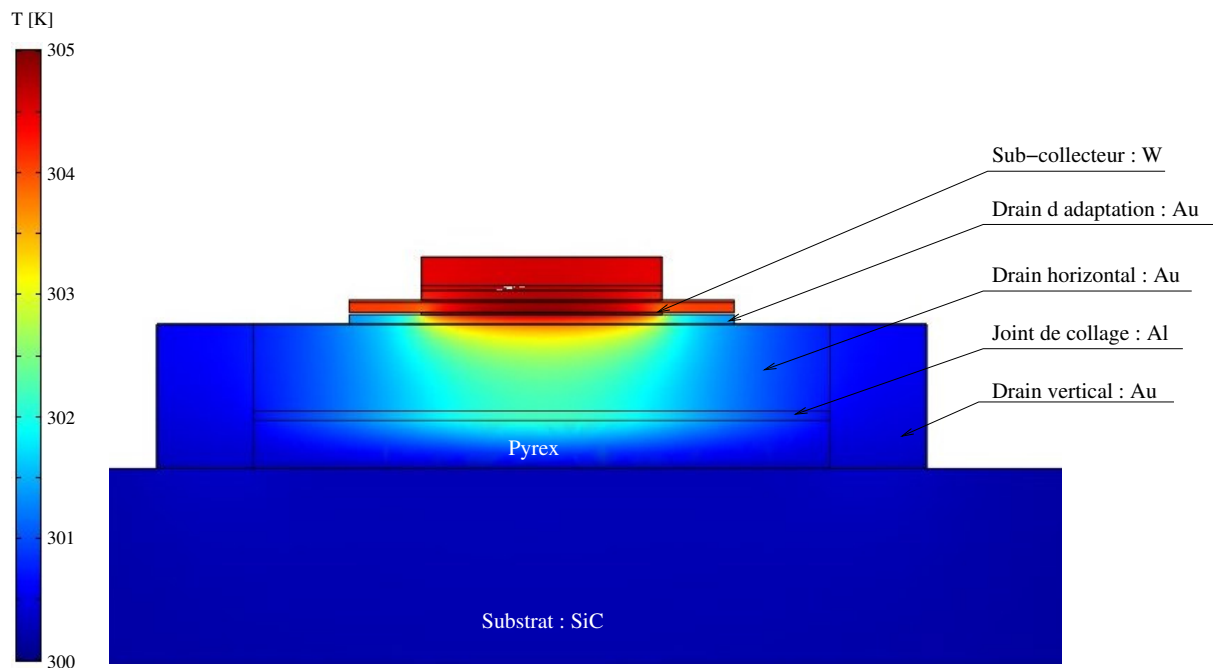


FIG. III.32: *Champ de température dans la structure C "optimisée".*

La répartition des résistances thermiques dans cette structure est donnée dans le tableau III.13.

	Résistance thermique [K/W]	Poids [%]
R_{coll}	56	6
R_{da}	260	27
R_{dh}	494	50
R_{dv}	98	10
R_{sub}	72	7
R_{tot}	980	100

TAB. III.13: Valeur et poids des résistances thermiques des différentes parties de la structure “optimisée”

On constate que la résistance thermique du substrat apporte une faible contribution à la résistance thermique totale (environ 7%). L’étude présentée ici sur SiC peut donc être généralisée à des substrats de plus faible conductivité thermique. À titre d’exemple, le report de la structure C “optimisée” sur substrat de silicium conduit à une résistance thermique de 1094 K/W, soit seulement 11% de plus que sur SiC.

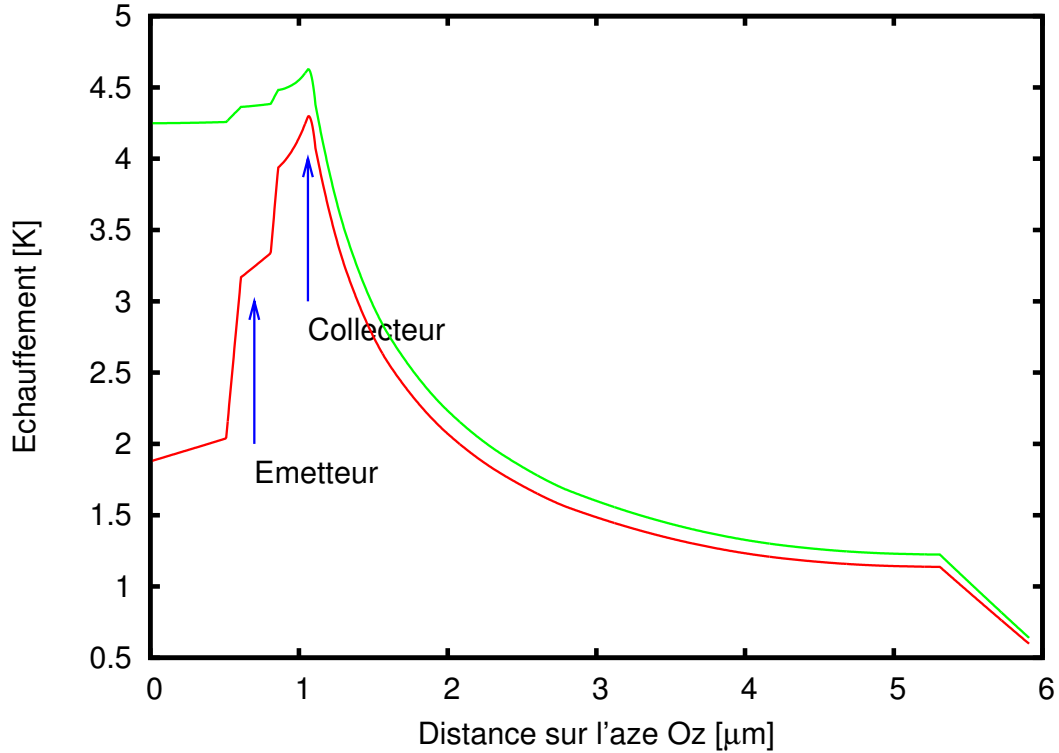


FIG. III.33: Profils de température le long de l'axe Oz dans la structure C "optimisée" sans (tracé vert) et avec (tracé rouge) les ponts métalliques de sortie des courants émetteur et base.

Chaleur évacuée par les ponts de sortie de courant

Pour un transistor électriquement connecté au reste du monde une partie de la chaleur dissipée est évacuée par les ponts de sortie des courants d'émetteur et de base. Dans ce paragraphe nous allons évaluer l'importance de cette contribution et calculer la résistance totale du transistor de la structure C .

Pour estimer la contribution des ponts d'émetteur et de base à la thermalisation du transistor, nous avons tracé sur la figure III.33 la température le long de l'axe Oz dans la structure C . Deux calculs ont été réalisés l'un pour un transistor sans pont d'émetteur ni pont de base (comme dans les calculs précédents sur cette structure) et l'autre pour un transistor complet, c'est à dire avec l'ensemble des ponts qui le relie au substrat. La densité volumique de puissance est $P = 4 \times 10^{16} \text{ W/m}^3$.

Type de structure :	Structure <i>C</i> (reportée sur SiC)
Épaisseur de substrat :	300 μm
Surface substrat :	20 \times 20 mm^2
Densité de puissance :	4 \times 10 ¹⁶ W/ m^3
Surface contact collecteur :	20 \times 30 μm^2
Épaisseur contact collecteur :	1 μm

TAB. III.14: Paramètres de la simulation de la figure III.33.

Nous constatons que, dans le transistor complet, une partie notable de la chaleur est évacuée par le pont métallique d'émetteur (comme dans le cas des structures *A* et *B* le flux de chaleur à travers les ponts de base est négligeable). En effet, si on constate une diminution modeste de la température de collecteur (environ 6%), la température de l'émetteur est réduite de plus de 24%. Cet effet est important puisque la dégradation des performances électriques du transistor par échauffement est essentiellement due à l'augmentation de la température des électrons de l'émetteur. La résistance thermique mesurée entre l'émetteur et le substrat est donc pour la structure *C* égale à 648 K/W.

Conclusion

Dans cette section nous avons étudié les conditions de thermalisation des TBH InP/GaAsSb reportés sur substrat de SiC par collage anodique. Cette technique de collage impose la présence d'une fine (typiquement 1 μm) couche de Pyrex à l'interface métal / substrat.

La faible conductivité thermique du Pyrex introduit dans cette couche une forte contribution à la résistance thermique totale. Par ailleurs les conditions du collage imposent une épaisseur minimale de 1 μm à cette couche. Pour cette épaisseur la résistance thermique est égale à 6760 K/W ce qui est beaucoup trop élevée pour un transistor reporté sur une substrat hôte choisi pour sa forte conductivité thermique.

Ce constat nous a conduit à proposer une structure *C* améliorée qui avec un ensemble de trois drains thermiques mis en série (Cf. figure III.29), permet au flux de chaleur de contourner la couche de Pyrex. Dans ces conditions nous avons montré que pour toute épaisseur réaliste de la couche de Pyrex utilisée, la résistance thermique entre le dispositif et le thermostat peut être maintenue constante en adaptant la géométrie des drains thermiques.

Après optimisation des différentes géométries, cette structure présente une résistance thermique égale à 980 K/W. Notons que le substrat ne représente dans le cas du SiC que 7% de la résistance thermique totale. Le remplacement de ce type de substrat très onéreux par un substrat bon marché en silicium n'augmente la résistance thermique totale de seulement 11%.

III.6 Conclusion

Dans ce chapitre nous avons rappelé les principes de base du transfert thermique, en commençant par la description d'une source de chaleur ponctuelle dans un espace infini. Basée sur cette description, une approche analytique a été développée, en particulier pour les sources de géométrie carrée et rectangulaire déposées sur un substrat.

Deux résultats préliminaires ont été établis. La distance minimale entre dispositifs pour les considérer indépendants thermiquement est égale à l'épaisseur du substrat. La réduction de la résistance thermique par amincissement du substrat n'est effective que si l'épaisseur résiduelle du substrat est comparable à la largeur du dispositif.

Le comportement thermique de trois structures a été étudié. Pour rendre la comparaison plus facile tous ces transistors ont la même géométrie.

La structure *A* est un TBH réalisé sur son substrat natif en InP. Dans cette structure la principale limite à la réduction de la résistance thermique est due à la couche de contact collecteur en InGaAs qui joue le rôle d'une barrière thermique placée entre la source de chaleur située dans le collecteur et le substrat. La réduction de la résistance de contact collecteur impose la présence de cette couche et lui donne une épaisseur minimale estimée à 10 nm. Pour la géométrie imposée aux trois structures, les meilleurs résultats donnent une résistance thermique de 6570 K/W, où environ 18% du flux de chaleur est assurée par les ponts d'émetteur et de base.

La structure *B* est un TBH de même géométrie, réalisé après report des couches actives sur un substrat de Pyrex par collage anodique. Cette structure présente a priori un inconvénient majeur pour la réalisation de transistor de puissance : le Pyrex est un très mauvais conducteur de la chaleur. Nous avons montré que, comme dans le cas de la structure *A*, l'amincissement du substrat n'est pas une solution réaliste pour une réduction significative de la résistance thermique. En revanche, les présences conjuguées d'une couche métallique à l'interface entre le collecteur et le substrat de Pyrex d'une part, et d'une ligne de sortie de courant collecteur d'autre part, permettent de concevoir des drains thermiques "horizontaux" placés entre la source de chaleur et le substrat qui permettent d'abaisser la résistance thermique des TBH reportés sur Pyrex à une valeur nettement inférieure à celle des transistors identiques non reportés. Pour la géométrie imposée aux trois structures, les meilleurs résultats donnent une résistance thermique de 4240 K/W, où environ 20% du flux de chaleur est évacué par les ponts d'émetteur et de base.

La structure *C* est un TBH de même géométrie, réalisé après report des couches actives sur un substrat de Pyrex par collage anodique. Cette technique de collage impose la présence d'une fine couche de Pyrex à l'interface métal - substrat. La faible conductivité du Pyrex introduit dans cette couche une forte contribution à la résistance thermique totale. Ce constat nous a conduit à proposer une structure *C* améliorée qui avec un ensemble de trois drains thermiques mis en série, permet au flux de chaleur de contourner la couche de Pyrex. Nous avons montré que cet ensemble de trois drains rend la résistance thermique indépendante de l'épaisseur de la couche de Pyrex. Pour la géométrie imposée aux trois structures, les meilleurs résultats donnent une résistance thermique de 648 K/W, où environ 19% du flux de chaleur est évacué par les ponts d'émetteur et de base. Notons enfin que le remplacement du substrat de SiC par un substrat de silicium n'augmente la résistance thermique totale que de 11%.

Chapitre IV

Technologie de fabrication des TBH reportés

Dans ce chapitre nous décrivons les procédés de réalisation technologique que nous avons développés pour répondre aux besoins en transistor de puissance dans le domaine hyperfréquence.

Dans une première partie nous justifions nos choix technologiques (TBH InP/GaAsSb entièrement auto-aligné et reporté sur substrat hôte) en nous basant à la fois sur les résultats des thèses précédentes et sur les résultats de nos simulations numériques du transfert de chaleur présentés au chapitre III. La technologie ainsi retenue s'articule autour de trois grandes étapes (1) le report des couches actives sur substrat hôte (2) le retrait du substrat initial et (3) la réalisation de TBH sur les couches reportées.

La technologie retenue pour le report des couches actives sur substrat hôte est le collage anodique pour sa très grande homogénéité. En effet nous montrons au cours de la description des mécanismes mis en jeu au cours de ce collage qu'une pression électrostatique importante place les surface à coller en contact intime (de l'ordre du nanomètre) ce qui permet la création de liaisons chimiques entre ces surfaces, les liant de façon permanente. Mieux, cette mise en contact intime se fait de façon progressive à partir de quelques points de contact initiaux conduisant à un collage sur toute la surface de l'échantillon. Cette uniformité du collage, en particulier l'absence de partie non collée, rend cette technique tout à fait adaptée au report de couches actives destinées à la réalisation de transistors de faibles dimensions.

Une modélisation analytique du courant de collage a été développée. Elle nous permet un contrôle en temps réel du report et assure une grande reproductibilité de ce procédé.

Le procédé technologique du report lui-même puis du retrait du substrat initial par gravure chimique sélective est présenté.

IV.1 Pourquoi réaliser des TBH reportés sur substrat hôte ?

Notre démarche pour réaliser des transistors bipolaires à hétérojonction reportés sur substrat hôte s'inscrit dans un processus engagé depuis de nombreuses années (voir par exemple les thèses de N. Matine ??, S. Demichel ?? et M.Lijadi ??) dans l'équipe pour s'approcher au plus près du transistor idéal d'un point de vue hyperfréquence. Il s'agit, à chaque fois, de proposer

des structures nouvelles pour réduire les effets parasites de ce type de transistor.

L'introduction du report des couches actives sur un substrat hôte permet surtout d'introduire une couche métallique entre ces couches actives et le substrat. Une fois réalisé, le TBH est constitué d'un empilement de couches actives (émetteur, base et collecteur) inséré entre deux contacts métalliques (figure reffig :HBTDessin).

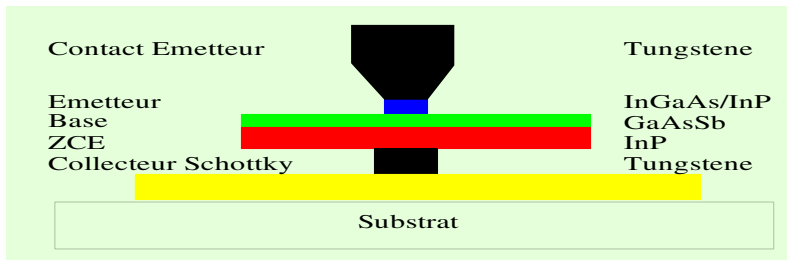


FIG. IV.1: Coupe schématique d'un transistor reporté sur substrat hôte

La couche métallique enterrée est réalisée par évaporation avant le collage proprement dit (Cf. paragraphe IV.3) ce qui laisse une grande latitude dans le choix des métaux utilisés et de leur épaisseur.

La présence d'une couche métallique enterrée a au moins trois conséquences importantes sur le fonctionnement du transistor :

- La même couche métallique réalise (1) le collecteur du transistor grâce au contact Schottky qu'elle forme avec la couche semiconductrice et (2) la couche d'accès entre le contact collecteur et la zone active. La très faible résistivité des métaux employés dans notre procédé (tungstène/or 400/100 nm) conduit à une négligeable de la résistance électrique d'accès au collecteur.
- Cette couche métallique présente également une très forte conductivité thermique (Cf. tableau III.4). Son épaisseur ajustable aux besoins, lui permettra de servir de drain thermique horizontal comme proposé au chapitre III (structures B et C).
- La couche métallique enterrée permet la réalisation de TBH à collecteur Schottky (réduction des temps de transit et de charge dans le collecteur ??) dans une configuration émetteur en haut (E_{up}) compatible avec les bibliothèques de circuits.

En plus des avantages de structure présentés ci-dessus, la couche métallique enterrée allège considérablement le procédé de fabrication des TBH dédiés aux hyperfréquences. En effet pour réduire la capacité de la jonction base - collecteur, notre équipe a proposé ?? de pratiquer une sous - gravure profonde de la couche collectrice de façon à obtenir une aire de jonction proche de celle de la jonction émetteur - base. La base est alors en surplomb au dessus du collecteur sur une profondeur comprise entre 1.5 et $2\mu\text{m}$. Cette approche est réaliste si la couche de base est suffisamment épaisse pour assurer son maintien mécanique, ce qui n'est pas du tout le cas des TBH ayant une base en GaAsSb. En effet l'épaisseur des bases en GaAsSb est typiquement

de 30 nm et le module d'Young du GaAsSb est beaucoup trop faible pour assurer ce maintien (Cf. figure IV.2).

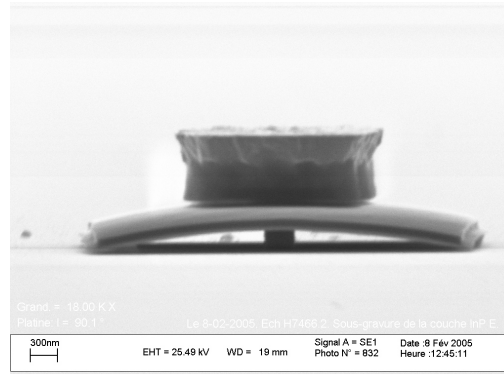


FIG. IV.2: Déformation élastique de la couche de base en GaAsSb en surplomb après la sous-gravure profonde de la couche collecteur

La présence de la couche métallique enterrée permet de réaliser la réduction de la capacité base - collecteur par une sous-gravure de cette couche métallique, laissant pour la constitution du surplomb l'ensemble des couches de base (GaAsSb) et de collecteur (InP). La rigidité et l'épaisseur de la couche d'InP permettent le maintien de cet ensemble.

Le métal choisi pour le collecteur est le tungstène. Nous avons montré qu'il forme un bon contact Schottky ?? (faible courant de fuite en inverse) et on maîtrise très bien sa gravure et sa sous-gravure, tant par la voie sèche (plasma SF_6) qu'humide (solution à base de $\text{K}_3\text{Fe}(\text{CN})_6$).

Par son adaptation aux performances hyperfréquence et à son excellente thermalisation (Cf. chapitre III) les TBH GaAsSb reportés sur substrat hôte présentent un potentiel exceptionnel pour les applications de puissance en hyperfréquence.

IV.2 Collage anodique

Le collage anodique est une technique qui, comme nous le verrons au cours des paragraphes qui suivent, allie la simplicité de mise en oeuvre à une excellente qualité de collage qui s'exprime en termes d'homogénéité et d'adhérence. Ce sont ces qualités intrinsèques qui nous ont fait choisir ce type de collage pour le report des couches actives sur un substrat hôte.

Le collage anodique (Anodic bonding) a été breveté en 1968 [52] et décrit par Wallis et Pomerantz dans une publication de 1969 [69]. Cette technique est aussi appelée collage électrostatique (ou encore "Mallory bonding") car comme nous le verrons plus loin les forces électrostatiques exercées sur les deux faces à coller jouent un rôle fondamental dans la qualité de ce collage. Au début, les recherches industrielles en collage anodique étaient orientées vers les possibilités de collage verre - métal ou verre - semiconducteur. Les recherches académiques pour comprendre le mécanisme de collage n'ont commencé que plus tard.

Bien que le principe de collage anodique soit connu depuis les années 60, la compréhension rigoureuse de son mécanisme n'est pas encore complètement établie. Cette situation s'explique en partie par le fait que les applications industrielles des années 80, utilisant cette technique sur

des objets de grande taille, ne nécessitaient pas une compréhension plus approfondie. C'est pendant la dernière décennie, que des composants de plus en plus complexes et petits, ont imposé le redémarrage d'études fondamentales sur ces mécanismes. Les dernières recherches ont profité de la grande avancée dans les résolutions spatiales obtenues par les nouvelles générations de spectromètres et de microscopes électronique à transmission (voir par exemple [67], [92]).

Dans cette section nous donnons une sommaire des mécanismes mis en jeu au cours de ce collage, issue de notre étude bibliographique. Cette description nous a permis d'écrire un modèle analytique de l'évolution du courant au cours du collage qui sera validée sur le couple aluminium - Pyrex, utilisé dans cette thèse. Cette modélisation sert au contrôle en temps réel du collage, en particulier elle permet de décider de sa durée.

IV.2.1 Mise en oeuvre du collage anodique

La réalisation d'un collage anodique se fait par la mise en contact d'un verre contenant une source d'ions mobiles (p.ex. Pyrex Corning 7740) et un métal ou un semiconducteur (p.ex. Al, Si). Une légère pression pourra alors être exercée pour améliorer le contact initial. La température de cet ensemble est augmentée (typiquement 200°C dans notre cas) et une forte différence de potentiel (typiquement 1600 V) est appliquée de part et d'autre de l'interface à coller. La configuration du montage utilisé au laboratoire est schématisée sur la figure IV.2.1.

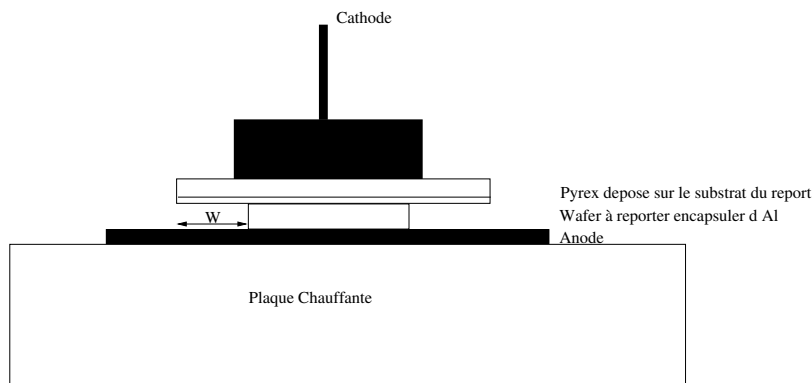


FIG. IV.3: Montage expérimental pour la mise en oeuvre du collage anodique

Un champ électrique de très forte intensité se crée entre les deux surfaces à coller. Sous l'effet des forces électrostatiques ainsi créées, les deux pièces à assembler subissent des déformations élastiques locales, qui placent leur surface dans un contact intime, propre à la création de liaisons chimiques entre ces deux surfaces. Ces liaisons chimiques constituent, après coupure de la tension et refroidissement, un lien définitif. Le collage est alors permanent et irréversible.

IV.2.2 Analyse des mécanismes du collage anodique

Dans les paragraphes qui suivent, nous analysons les différents mécanismes mis en jeu dans cette expérience afin d'une part d'améliorer notre maîtrise de ce collage et d'autre part d'écrire un modèle analytique du courant de collage (seul mesure réalisée pendant le collage).

Mise en contact des surfaces à coller

Quand deux solides sont approchés l'un de l'autre, leurs surfaces sont mises en contact intime (i.e. à l'échelle du nanomètre) que pour quelques points. En effet la rugosité et la non planarité de ces surfaces conduisent à la présence d'interstices (gaps d'air) entre ces surfaces (Figure IV.4).

Dans l'expérience du collage anodique (Cf. paragraphe IV.2.1), l'application d'une tension électrique crée, à travers toute la structure et en particulier dans ces interstices, un champ électrostatique. Il existe donc une force attractive entre les deux surfaces à coller (semblable à celle rencontrée entre les deux armatures d'un condensateur) qui tend à les rapprocher.

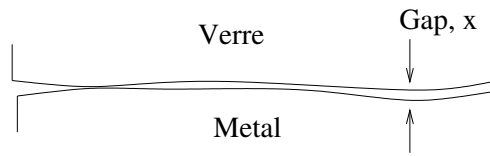


FIG. IV.4: Points de contact entre deux surfaces. La rugosité et la non planarité des surfaces introduisent des interstices.

L'évaluation de la pression exercée sur ces surfaces peut être conduite dans le cadre du modèle proposé par Anthony [86] pour un collage Pyrex - métal. On considère alors le système constitué d'une couche métallique et d'une couche de Pyrex (épaisseur X_G et constante diélectrique ϵ_G), séparés par un gap d'air d'épaisseur uniforme X_0 . Si V_{gap} est la différence de potentiel à travers le gap, la pression électrostatique s'écrit :

$$P = \frac{1}{2} \epsilon_0 \frac{V_{gap}^2}{x^2} = \frac{1}{2} \epsilon_0 E_{gap}^2 \quad (IV.1)$$

où E_{gap} est le champ électrostatique local dans le gap d'air et ϵ_0 la constante diélectrique du vide. En pratique il n'est pas possible de contrôler le potentiel sur la surface à coller du Pyrex mais sur l'autre face. La tension appliquée se répartit donc dans le Pyrex et dans le gap d'air. En supposant qu'il n'y a pas de charge dans le Pyrex et en utilisant la continuité du déplacement électrique à l'interface air - Pyrex le champ électrique dans le gap d'air s'écrit :

$$E_{gap} = \frac{V \epsilon_G}{\epsilon_G X_0 + \epsilon_0 X_G} \approx \frac{\epsilon_G V}{\epsilon_0 X_G} \quad (IV.2)$$

(l'épaisseur du gap d'air est supposé négligeable devant celle du substrat de Pyrex). La pression électrostatique devient :

$$P \approx \frac{1}{2} \epsilon_0 \frac{V^2}{X_0^2} \left(\frac{\epsilon_G X_0}{\epsilon_0 X_G} \right)^2 = \frac{1}{2} \frac{\epsilon_G^2}{\epsilon_0} \frac{V^2}{X_G^2} \quad (IV.3)$$

La constante diélectrique relative du Pyrex est de 4.6 [48]. En considérant une couche de Pyrex d'épaisseur 2 mm et un gap d'air d'épaisseur beaucoup plus petite, la pression due à une tension appliquée de 1000 V est seulement de 23 Pa. Il est clair que cette pression est beaucoup trop faible (inférieure au millièème de pression atmosphérique) pour déformer les surfaces à coller et les mettre sur une grande partie de leur aire en contact intime. Nous allons voir dans le

paragraphe suivant ce qui dans le collage anodique renforce cette pression et permet un collage homogène.

Déplacement des cations alcalins

Certains verres contiennent des molécules susceptibles de se décomposer dans le verre en deux types d'ions (positifs et négatifs) présentant des mobilités très différentes. C'est cette propriété qui permet, comme nous allons le voir, une augmentation considérable du champ électrique au voisinage des surfaces à coller.

Le Pyrex contient, en plus des molécules de silice largement majoritaires, des molécules d'oxyde de sodium Na_2O qui se décomposent en ions sodium (Na^+) et oxygène (O^{2-}). Les cations alcalins Na^+ ainsi formés présentent du fait de leur petite taille des mobilités très grandes devant celles des ions oxygène (O^{2-}).

Ce déplacement ionique [57] se traduit par une conductivité apparente σ du Pyrex, mesurable par exemple au début de l'expérience de collage anodique. La variation de cette conductivité avec la température permet de caractériser l'équilibre $\text{Na}_2\text{O} \rightleftharpoons 2\text{Na}^+ + \text{O}^{2-}$. Il est décrit par une loi d'Arrhenius et la conduction électrique, pour des températures (T) inférieures à la température de transition vitreuse s'écrit [?] :

$$\sigma = \sigma_0 \exp\left(-\frac{E_a}{RT}\right) \quad (\text{IV.4})$$

où σ_0 est un pré-facteur indépendant de la température, E_a l'énergie d'activation pour ioniser le sodium dans le verre et R la constante des gaz parfaits.

Création d'une zone de charge d'espace

Si l'anode n'injecte pas dans le Pyrex d'ions positifs (hypothèse de l'anode bloquante sur laquelle nous reviendrons au paragraphe IV.3.1), le déplacement des cations vers la cathode se traduit dans le Pyrex au voisinage de la surface à coller par une désertion en ions positifs. Les ions négatifs d'oxygène (O^{2-}) qui sont très peu mobiles, forment alors une zone de charge d'espace (figure IV.2.2). Par influence mutuelle de la charge dans la zone de charge d'espace de largeur X_P , une charge surfacique σ_S est créée à la surface du métal. Elle s'écrit :

$$\sigma_S = X_P \rho_P \quad (\text{IV.5})$$

où ρ_P est la densité de charge volumique dans la zone de charge d'espace.

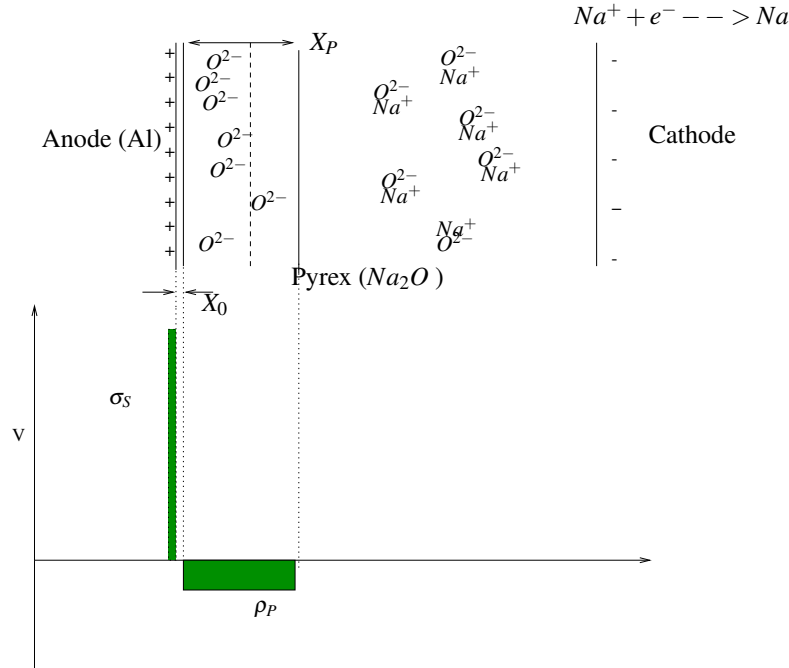


FIG. IV.5: Création de la zone de charge d'espace dans le Pyrex au voisinage de la surface à coller

La chute de potentiel dans cette zone de charge d'espace est déterminée par la résolution de l'équation de Poisson dans la direction perpendiculaire à l'interface de collage (approche 1D) :

$$\frac{d^2\phi(x)}{dx^2} = -\frac{\rho_P}{\epsilon_G} \quad (IV.6)$$

où $\phi(x)$ est le potentiel à l'abscisse x dans la zone de charge d'espace, le zéro étant à l'interface entre le Pyrex et le gap d'air. Après intégration de l'équation IV.6 on obtient :

$$\begin{aligned} \frac{d\phi}{dx} &= -\frac{\rho_P}{\epsilon_G}x + C \\ \phi(x) &= -\frac{\rho_P}{2\epsilon_G}x^2 + Cx + D \end{aligned} \quad (IV.7)$$

Les conditions aux limites :

- le potentiel est nul en bordure de zone de charge d'espace : $\phi(X_P) = 0$
 - le champ électrique est nul en bordure de zone de charge d'espace : $d\phi/dx(X_P) = 0$
- donnent l'expression du potentiel dans la zone de charge d'espace :

$$\phi(x) = -\frac{\rho_P}{2\epsilon_G}(X_P - x)^2 \quad (IV.8)$$

et du champ électrique E à la surface à coller du Pyrex :

$$E(x) = \frac{\rho_P X_P}{\epsilon_G} \quad (IV.9)$$

Il existe donc dans le Pyrex, au voisinage de la surface à coller, une zone de charge d'espace due à la différence de mobilité des ions Na^+ et O^{2-} . Le déplacement des cations s'arrête lorsque le champ électrique est nul. Il existe donc deux zones dans la couche de Pyrex :

- une zone de charge d'espace au voisinage de la surface dont la chute de potentiel est donnée par l'équation ??
- une zone de quasi - neutralité dans laquelle le champ électrique est négligeable

Dans le gap d'air le champ électrique E_{gap} est constant (pas de charge électrique). Il se déduit de l'expression du champ électrique à la surface du Pyrex (équation IV.9) grâce à la continuité du déplacement électrique à cette interface. Il s'écrit :

$$E_{gap} = \frac{\rho_P X_P}{\epsilon_0} \quad (\text{IV.10})$$

En supposant négligeables les chutes de potentiel dans la zone de quasi - neutralité du Pyrex (très faible densité de courant) et dans la zone désertée de l'anode (très forte densité de charge dans le métal), la tension appliquée V_{appl} se répartit entre le gap d'air (épaisseur X_0) et la zone de charge d'espace du Pyrex :

$$V_{appl} = \frac{\rho_P X_P}{\epsilon_0} X_0 + \frac{\rho_P}{2\epsilon_G} (X_P - x)^2 \quad (\text{IV.11})$$

La formation de la zone de charge d'espace dans le Pyrex au voisinage de la surface à coller se traduit donc par une concentration dans cette zone et dans le gap d'air qui la sépare de l'anode de toute la chute de potentiel appliquée au montage. Il en résulte, comme nous allons le voir, une augmentation considérable de la pression électrostatique exercée sur les surfaces à coller.

Aux points de contact entre l'anode et le Pyrex, le gap d'air est d'épaisseur nulle ($X_0 = 0$). La tension appliquée V_{appl} est donc entièrement contenue dans la zone de charge d'espace du Pyrex et celle-ci a une extension X_P maximale. Le champ électrique dans le gap E_{gap} et pression électrostatique (P) sont donc également maximal. La pression électrostatique s'écrit :

$$P = \frac{\epsilon_G}{\epsilon_0} \rho_P V_P \quad (\text{IV.12})$$

En considérant une désertion totale du sodium dans la zone de charge d'espace du Pyrex ($\rho_P = 208 \text{ C.cm}^{-3}$) et une tension appliquée $V_P = 1200 \text{ V}$, la pression électrostatique devient $P = 2.5 \times 10^6 \text{ Pa}$, soit environ 25 fois la pression atmosphérique. Cette pression est alors suffisante pour déformer localement les solides à coller et ainsi créer le contact intime qui permettra aux liaisons chimiques de se former.

Les surfaces à coller situées autour d'un point de contact présente un gap d'air dont l'épaisseur (X_0) augmente avec la distance au point de contact. Cette augmentation réduit la chute de tension aux bornes de la zone de charge d'espace (équation IV.11). Le champ électrique dans le gap ainsi que la pression électrostatique sont donc plus faibles qu'aux points de contact.

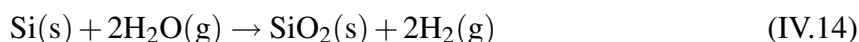
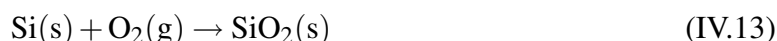
Le collage anodique démarre donc depuis les quelques points de contact entre l'anode et le Pyrex où la pression électrostatique est suffisante pour déformer localement les solides. L'aire des surfaces en contact augmente ce qui d'une part génère la mise en contact intime de ces surfaces et d'autre part réduit l'épaisseur du gap d'air à la périphérie de ce contact. Le collage progresse ainsi à partir de ces points de contact pour gagner toute la surface à coller pourvu que cette dernière présente une rugosité assez faible.

Le collage anodique comporte donc, grâce à la pression électrostatique qu'il crée par déplacement des ions sodium, un mécanisme intrinsèque de mise en contact intime des surfaces à coller. Mieux, cette mise en contact se fait de façon progressive à partir des points de contact ce qui assure une extrême homogénéité du collage si les surfaces à coller sont raisonnablement lisses.

Réactions chimiques à l'interface Pyrex - anode

Une fois le contact intime réalisé, les deux parois à coller sont suffisamment proches l'une de l'autre pour que des liaisons chimiques puissent être établies entre les deux surfaces à coller. Ce sont ces liaisons chimiques qui, une fois la tension appliquée remise à zéro, assurent l'adhésion de ce collage.

Dans la plupart des travaux, on cite la formation d'un oxyde à l'interface, qui permet la formation de liaisons Si - O - Si lors du collage anodique silicium sur Pyrex. Ces liaisons entre le silicium et le Pyrex peuvent à la fois être formées pendant l'oxydation anodique ou grâce à l'oxygène présent à la surface des deux matériaux avant le collage, spécialement sous forme de groupes hydroxyliques. Les deux réactions possibles sont :



Le type de réaction qui domine est déterminé par la présence ou non d'eau à l'interface. Il a été observé que la vitesse et la qualité de collage augmentent quand la surface du silicium est humidifiée. Cela peut être effectué en rendant la surface du silicium hydrophile [?]. La qualité de collage est aussi améliorée sous une atmosphère riche en oxygène.

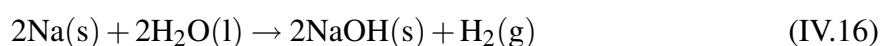
Si l'eau n'est pas présente en quantité suffisante à l'interface, l'oxydation surfacique de l'anode se fait par voie sèche selon l'équation IV.14 (c.à.d grâce à l'oxygène libre qui provient du Pyrex). En fonction de la température, on peut obtenir des couches d'oxyde interfaciales plus ou moins épaisses. On obtient 10 nm d'oxyde pour un collage à (350°C, 1000 V) pendant 900 s, et 17 nm pour un collage à (450 °C, 1000 V) pendant 900 s [92].

Réactions chimiques à l'interface Pyrex/cathode

Après un collage anodique, on détecte un enrichissement de la face arrière du Pyrex par le sodium. Cela confirme, s'il en était besoin, que le sodium est le principal porteur des charges dans le Pyrex pendant le collage anodique. Ce sodium réagit avec l'eau pour former de l'hydroxyde de sodium, et ce dernier réagit avec le verre pour former du silicate de sodium. L'équation de transfert de charge à l'interface Pyrex - cathode est :



Ensuite, ce sodium libre réagit avec l'eau présente sur la surface de Pyrex.



L'hydroxyde de sodium réagit une deuxième fois avec le verre :



Pour empêcher ces réactions, on peut utiliser des métaux (Al...) dans la cathode qui forment un alliage avec le sodium.

IV.2.3 Modélisation du collage anodique

À partir des mécanismes mis en jeu lors du collage anodique et décrits dans les sections précédentes, nous présentons dans ce paragraphe, une modélisation électrique du courant en fonction du temps pendant un collage anodique. Nous allons voir que, grâce à ce modèle, on peut déduire des paramètres essentiels pour cette expérience, comme le temps nécessaire pour effectuer un collage anodique, ou la largeur maximale de la zone de désertion. Ce modèle sera ensuite confronté aux expériences pour tester sa validité.

Modèle analytique simple

Il existe plusieurs modèles dans la littérature pour expliquer l'évolution du courant de collage en fonction du temps. L'approche la plus répandue est de représenter le système par un circuit équivalent [84]. Par souci de simplification nous nous sommes intéressés à la configuration la plus simple (Figure IV.2.3) qui, comme nous le verrons plus loin donne des résultats en bon accord avec l'expérience.

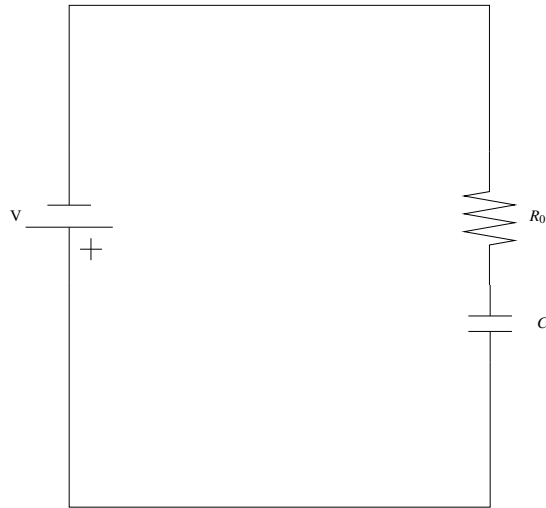


FIG. IV.6: Circuit équivalent simplifié du collage anodique

Dans ce modèle, on considère que la résistivité de l'anode est négligeable devant celle du Pyrex. La zone de désertion est considérée comme une pure capacité C_0 . La zone de quasi neutralité du Pyrex est représentée par la résistance R_0 .

La tension appliquée est supposée constante pendant tout le collage anodique. La zone de désertion, représentée par la capacité C_0 , varie en fonction de la quantité de charges (Na^+ , O^{2-})

déplacées. La résistance R_0 est donnée par la résistance de verre. La charge Q déplacée pour une zone de désertion d'épaisseur l et de surface A s'écrit :

$$Q = ZNlA \quad (\text{IV.18})$$

avec Z la charge d'un ion mobile et N la densité de ces ions par unité de volume dans le Pyrex. La capacité C_0 de cette zone de déplétion est :

$$C_0 = \frac{\epsilon_0 \epsilon A}{l} = \frac{\epsilon_G A^2 \rho_P}{Q} \quad (\text{IV.19})$$

avec ϵ_G la permittivité du verre et $ZN = \rho_P$ la densité de charge dans la zone de charge d'espace. La résistance R_0 du substrat de Pyrex non déserté est :

$$R_0 = \frac{L}{A\sigma} \quad (\text{IV.20})$$

avec σ la conductivité du Pyrex. Sachant que la conductivité du Pyrex varie avec la température, R_0 s'écrit :

$$R_0 = \frac{L}{A\sigma_0} \exp\left(\frac{E_a}{RT}\right) \quad (\text{IV.21})$$

Le flux de charge dans le circuit IV.2.3 à l'instant t satisfait l'équation différentielle suivante :

$$R_0 \frac{dQ}{dt} + \frac{Q^2}{\epsilon_G \rho_P A^2} = V \quad (\text{IV.22})$$

V étant constante et avec la condition au limite $t = 0, Q = 0$, on trouve

$$Q(t) = (\epsilon_G \rho_P A^2 V)^{1/2} \tanh \left[\frac{Vt}{R_0 (\epsilon_G \rho_P A^2 V)^{1/2}} \right] \quad (\text{IV.23})$$

avec

$$\tau = \frac{R_0 (\epsilon_G \rho_P A^2 V)^{1/2}}{V} \quad (\text{IV.24})$$

Le courant dans le circuit $I = dQ/dt$ s'écrit :

$$\frac{I}{I_0} = \text{sech}^2 \left(\frac{t}{\tau} \right) \quad (\text{IV.25})$$

où I_0 est le courant à $t = 0$. Il s'écrit :

$$I_0 = \frac{V}{R_0} = \frac{VA\sigma_0}{L} \exp\left(-\frac{E_a}{RT}\right) \quad (\text{IV.26})$$

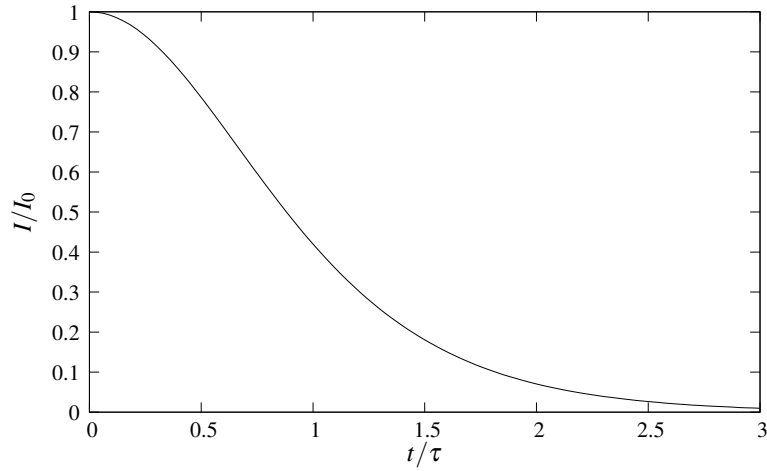


FIG. IV.7: Courant de collage en fonction du temps

La variation de la largeur de la zone de désertion en fonction du temps est déduite de la relation $Q = ZNlA$. Elle s'écrit :

$$l = \left(\frac{\epsilon_G V}{\rho_P} \right)^{1/2} \tanh \left(\frac{t}{\tau} \right) \quad (\text{IV.27})$$

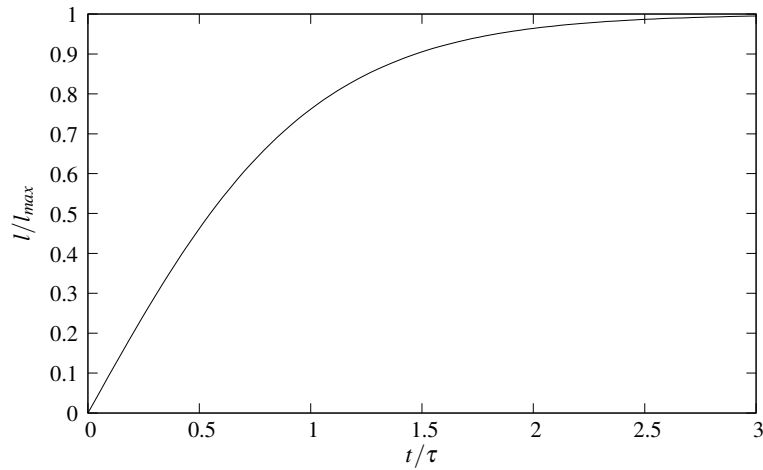


FIG. IV.8: Profondeur de la zone désertée en fonction du temps

On remarque sur les deux courbes précédentes que le courant et la profondeur de la zone désertée on dépassé 95 % de leur variation pour un temps $t = 2\tau$ où τ est donné par l'équation IV.24.

Validation du modèle analytique simple

La validation expérimentale du modèle décrit au paragraphe précédent a été réalisée en confrontant ses résultats à ceux issus des collages anodiques aluminium - Pyrex menés au laboratoire. Les paramètres de collage sont rapportés dans le tableau IV.1).

Paramètre	Valeur
Température	180 C
Tension	1500 V
Pression	0.5 kg.cm ⁻²

TAB. IV.1: Paramètres utilisé pour le collage anodique aluminium - Pyrex

La figure IV.9 montre l'évolution du courant (croix vertes) mesuré pendant un collage aluminium - Pyrex ainsi que l'évolution du courant calculé (trait continu) donné par l'expression :

$$\frac{I}{I_0} = \operatorname{sech}^2\left(\frac{t}{\tau}\right) + I_f(t) \quad (\text{IV.28})$$

où le premier terme est issu du modèle analytique (équation IV.25) et le second correspond à un courant de fuite de la forme $I_f(t) = a \times t + b$.

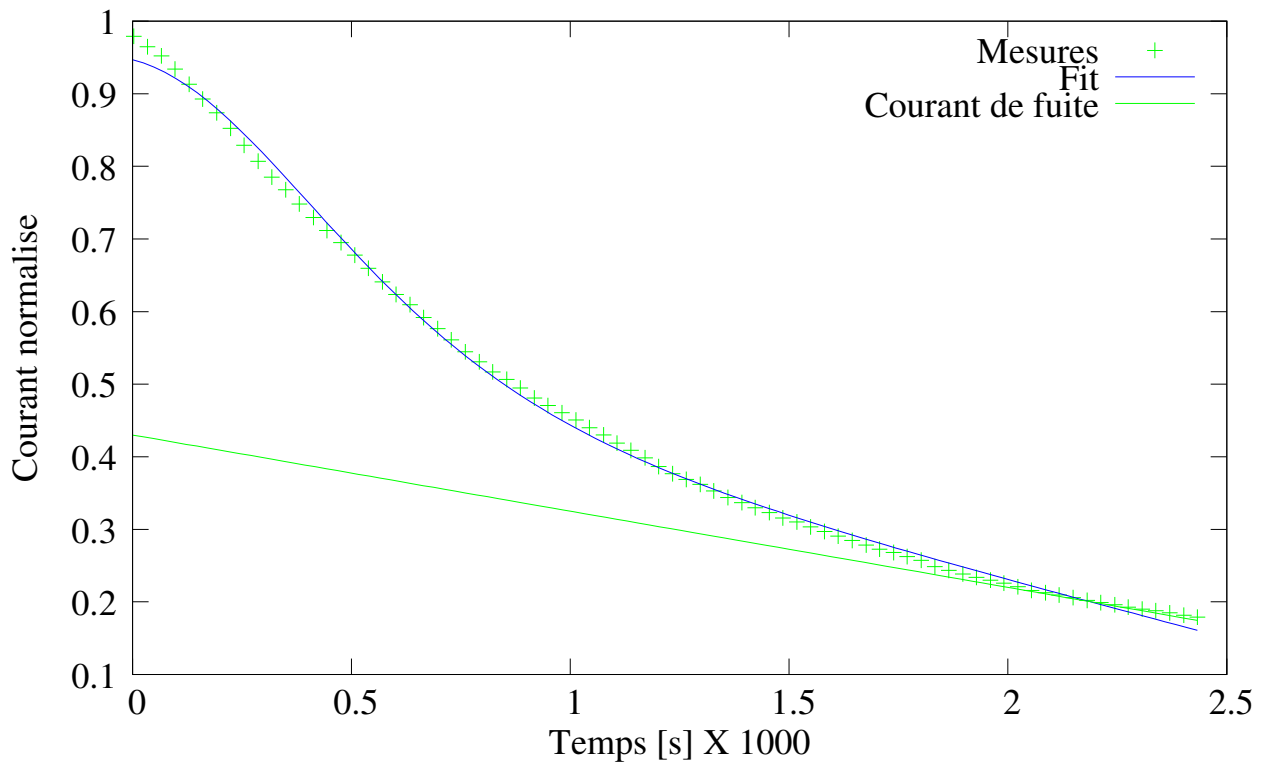


FIG. IV.9: Comparaison entre les mesures et le modèle simplifié

On note que en dessous de 20 % du courant maximal le courant tend vers un courant de fuite qui varie lentement avec le temps. Cette variation du courant de fuite est attribuée au changement de nature du Pyrex pendant le collage. Nous considérons qu'au delà de ce seuil (courant inférieur à 20 % du courant maximal), ce n'est plus le mécanisme du collage qui contrôle le courant et l'expérience est arrêtée (typiquement au bout de 45 min).

IV.3 Report de couches actives par collage anodique

Dans cette section nous présentons le procédé mis au point pour le report de couches actives par collage anodique. Ce procédé est très général et peut être utilisé pour reporter de nombreux types de couches. Dans ce travail de thèse dédié à la fabrication des TBH, c'est le report pour la fabrication de TBH reportés qui est traité.

Les structures utilisées sont des couches épitaxiées par jets moléculaires (collaboration avec Picogiga International) présentant un collecteur en haut de la structure (i.e. épitaxié en dernier). Après l'épitaxie, on effectue un dépôt Tungstène/Or (400/100 nm) sur toute la surface de l'échantillon. Le tungstène sert de collecteur métallique (contact Schottky sur la couche en InP). La couche d'or évite une oxydation importante du tungstène et facilite la prise du contact électrique. Le tableau IV.2 présente une structure typique.

Couche	Matériau	Dopage (cm^{-3})	Épaisseur (nm)
Contact collecteur	Au	-	100
Collecteur métallique	W	-	400
Collecteur	InP :Si	7×10^{16}	200
Base	GaAsSb _{0.46} :C	7×10^{19}	40
Émetteur	InP :Si	3×10^{17}	60
Sub-Émetteur	InP :Si	1×10^{19}	100
Contact émetteur	InGaAs :Si	1×10^{19}	100
Couche d'arrêt	InP :Si	1×10^{19}	50
Couche d'arrêt	InGaAs	nid	300
Buffer	InP	nid	50
Substrat	InP :Fe	-	

TAB. IV.2: Empilement typique de couches épitaxiées à reporter sur substrat hôte

IV.3.1 Choix des matériaux utilisés pour le collage

Le choix des matériaux utilisés pour le collage anodique est le résultat d'une recherche bibliographique. Il apparaît que de très nombreux matériaux (métal, semiconducteur ou alliage métallique) ont été collés avec succès sur du Pyrex (Cf. tableau IV.3.1).

Type	Matériaux	Références
Métaux	Al	[69],[43],[83]
	Fe	[69],[85]
	Mo	[38],[59]
	Ni	[69],[59]
	Ta	[69],[38]
	Ti	[69],[38],[59],[93]
Semiconducteurs	GaAs	[69],[42]
	Ge	[69],[38]
	Si	[69],[38],[67],[92]
	CVD SiC	[56]
Alliage métallique	Fe-Cr	[64]
	Fe-Ni	[38],[93]
	Kovar (Fe-Ni-Co)	[69],[38],[93],[34]
	NiSpan (Fe-Ni-Cr-Ti)	[38]
	Ti-Ni	[81]

TAB. IV.3: Exemple de métaux, semiconducteurs et alliages collés avec succès à un verre contenant du sodium

Il faut cependant prendre avec prudence ces résultats car, dans certains cas, la température de collage est supérieure à 600 °C, qui est la température de transition vitreuse, et/ou le temps de collage dure plusieurs heures. Ces conditions ne sont pas représentatives d'un collage anodique. De plus la plupart de ces références n'indiquent ni la qualité du collage ni les conditions expérimentales utilisées pour le collage.

Nous avons identifié trois critères pour la réussite d'un collage anodique :

Le premier est la capacité du matériau d'anode à empêcher la migration des ions de l'anode vers le Pyrex. Une anode bloquante parfaite est une anode qui ne fournit pas d'ions au système et n'en accepte pas non plus [40][77]. Dans le cas contraire où l'anode peut fournir des ions (p.ex. l'argent), elle se comporte comme une résistance [84] avec pour conséquence la disparition de la zone de charge d'espace (Cf. paragraphe IV.2.2) qui affaiblit considérablement la pression électrostatique et, par conséquent, limite les possibilités de mise en contact intime donc d'un collage permanent homogène sur toute la surface.

Le deuxième critère de choix du matériau d'anode est sa capacité à former un collage fort à l'interface, comme la formation d'une fine couche d'oxyde qui adhère aux deux matériaux à coller. Le molybdène est l'exemple de matériau à problème. En effet il forme pendant le collage anodique un oxyde qui adhère très bien au verre, mais qui présente une adhérence très faible sur le métal. On notera cependant, que concernant le molybdène on peut résoudre ce problème par une oxydation préalable au collage de la surface de molybdène à coller [89],[85].

Le troisième critère est l'accord entre le coefficient de dilatation thermique du verre et celui du matériau de l'anode. En effet, un collage anodique entre un matériau qui a un coefficient de dilatation très éloigné de celui du verre utilisé, va engendrer des contraintes dans le collage qui peuvent soit conduire à un décollement immédiat, soit introduire des dégradations dans les couches reportées lors de la réalisation des composants.

Pour l'ensemble de ces raisons nous avons choisi de réaliser nos reports de couches actives de semiconducteurs III-V pour TBH en utilisant le collage aluminium - Pyrex.

IV.3.2 Encapsulation par dépôt d'aluminium

Les couches actives (Cf. tableau IV.2) doivent être protégées contre les fortes chutes de tension utilisées lors du collage anodique. Pour cela on "encapsule" (i.e. on entoure) l'échantillon à coller sur le Pyrex par une couche d'aluminium.

Pour que l'encapsulation soit effective (i.e. que la chute de tension à travers les couches actives soit nulle), il faut s'assurer que, d'une part le dépôt métallique est continue jusqu'aux bords de l'échantillon et que d'autre part, il y a une connexion électrique (i.e. continuité du métal) entre l'aluminium déposé sur la face arrière et celui déposé sur la face avant (voir figure IV.10). Cette connexion électrique se fait grâce à un dépôt sur chaque face de l'échantillon réalisé avec une inclinaison de typiquement 40 degrés. L'épaisseur du métal est typiquement 400 nm.

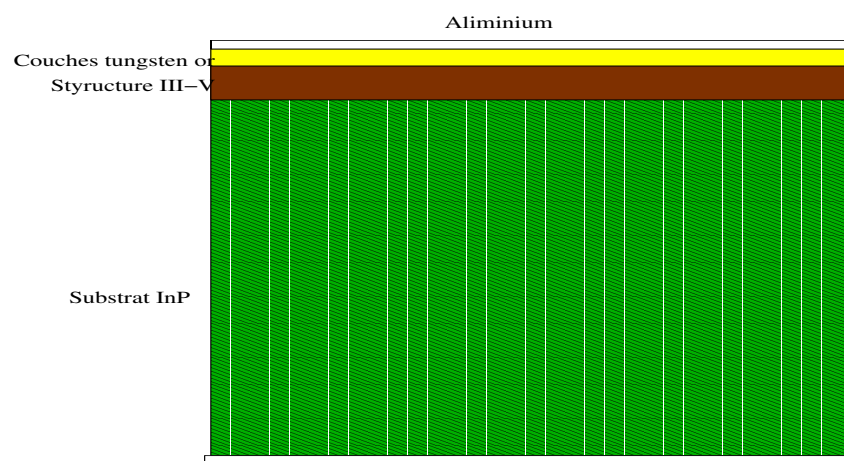


FIG. IV.10: Encapsulation de l'échantillon par une couche continue d'aluminium couvrant les faces avant et arrière.

IV.3.3 Dépôt du Pyrex par pulvérisation cathodique

Le collage anodique aluminium - Pyrex peut être réalisé sur un substrat de Pyrex ou bien sur une couche mince de Pyrex ($> 1\mu\text{m}$) déposée sur un substrat quelconque. Au laboratoire le dépôt de Pyrex est réalisé par pulvérisation cathodique RF.

À l'aide d'un plasma d'argon, on pulvérise la cathode, qui est une cible en Pyrex. Les molécules arrachées à la cible viennent se déposer sur l'échantillon situé face à elle. Les deux paramètres importants lors du dépôt sont le temps de dépôt et la puissance RF d'excitation du plasma. Le temps de dépôt va nous permettre de contrôler, pour une puissance donnée, l'épaisseur de Pyrex déposé. Toutefois, on ne peut pas se permettre des temps de dépôt très longs car on risque d'engendrer des phénomènes de surchauffe dans le bâti de dépôt. Le temps maximal de dépôt en une seule fois est typiquement de 5000 s. Pour pouvoir réaliser des dépôts plus épais, on alterne les périodes de dépôt avec des périodes de refroidissement.

Comme nous l'avons vu dans la description des mécanismes mis en jeu au cours du collage anodique (paragraphe IV.2.2), le profil de sodium est essentiel pour la qualité de ce type de collage. Les analyses SIMS que nous avons réalisées (collaboration avec Francois Jomard au GeMAC) montrent que la concentration de sodium dans le Pyrex déposé diminue lorsque la puissance RF d'excitation du plasma augmente.

En effet, lorsque la puissance RF augmente, la tension d'auto - polarisation augmente. Cette tension d'auto - polarisation est due à la différence d'inertie (i.e. de masse) des charges négatives (essentiellement des électrons) et positives (celles des ions) présentes dans le plasma. Au cours d'une période de l'excitation RF, les charges légères parcourent donc une distance plus grande que les charges lourdes. Il se crée alors en bordure du plasma une zone de charge d'espace, souvent appelée gaine, qui est le siège d'un champ électrique ce qui introduit une tension d'auto - polarisation mesurable sur l'électrode. Sous l'action de ce champ électrique, et si la température est suffisante, on s'attend à ce que les ions sodium présents dans la cible, s'éloignent de sa surface. En effet, l'augmentation de la puissance RF se traduit d'une part, par un échauffement de la cible (donc une augmentation du taux d'ionisation du sodium dans la cible), et d'autre part, par l'augmentation du champ électrique dans la zone de charge d'espace (augmentation des charges stockées). Cela introduit un appauvrissement de la surface de la cible en sodium, et ainsi détériore la qualité du dépôt. Pis, cet appauvrissement est irréversible et s'accumule de dépôt en dépôt, engendrant une très mauvaise reproductibilité des dépôts si une puissance trop élevée est utilisée.

En pratique nous avons montré qu'une puissance de 300 W conduit à un dépôt stable d'échantillon à échantillon avec une concentration de sodium dans la couche déposée d'environ 70 % de la concentration de la cible.

IV.3.4 Collage sur substrat hôte de l'ensemble couches épitaxiées - substrat natif

Le collage anodique proprement dit est effectué sur un bâti "maison" dont le principe est décrit figure IV.2.1.

Le collage s'effectue entre la couche d'aluminium déposé sur les couches actives à reporter et le substrat (ou la couche) de Pyrex. Le collecteur des TBH qui a été épitaxié en dernier (il est en haut de la structure présentée dans le tableau IV.2 se retrouve donc après collage sur le Pyrex en bas de la structure (figure IV.11). Ce qui permettra de réaliser des TBH E_{up} (émetteur en haut) sur ces couches reportées.

IV.3.5 Retrait du substrat natif

Une fois le collage anodique réalisé (figure IV.11) il reste à retirer le substrat natif. Il s'agit ici d'un substrat en InP d'épaisseur $300\mu\text{m}$. Nous utilisons du HCl pur pour enlever la plus grande partie de l'épaisseur du substrat ($\approx 290\mu\text{m}$). La vitesse de gravure est de $3\mu\text{m}/\text{mn}$. La surface gravée présente une rugosité importante.

Le reste du substrat est ensuite gravé à l'aide de la solution chimique $\text{H}_3\text{PO}_4:\text{HCl}$ dans les proportions (3 :1). La vitesse de gravure est égale à $1\mu\text{m}/\text{mn}$. Cette gravure s'arrête au contact de la couche d'InGaAs (couche d'arrêt). En effet la vitesse de gravure de l'InGaAs dans cette solution chimique est si faible que nous n'avons pas réussi à la mesurer. La surface gravée

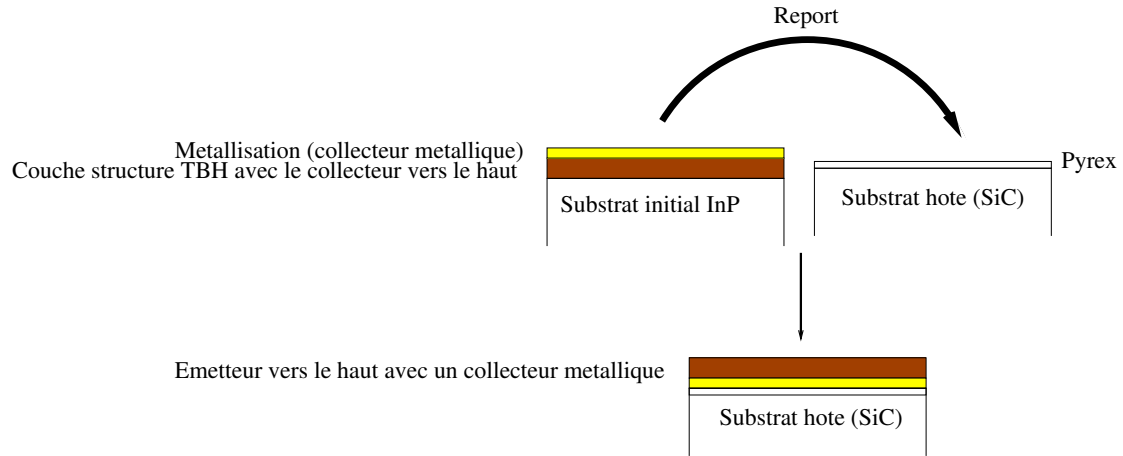


FIG. IV.11: Structures épitaxiées C_{up} pour réalisation de TBH E_{up} reportés sur substrat hôte

devient alors miroir puisque définie par l'interface épitaxiée InGaAs/InP. La difficulté majeure de cette étape est de retirer totalement le substrat sans perdre de surface utile sur les bords de l'échantillon, et sans que l'aluminium de collage ne soit attaqué.

Sur la figure IV.12, nous décrivons la technique développée pour retirer le substrat sans attaquer l'aluminium.

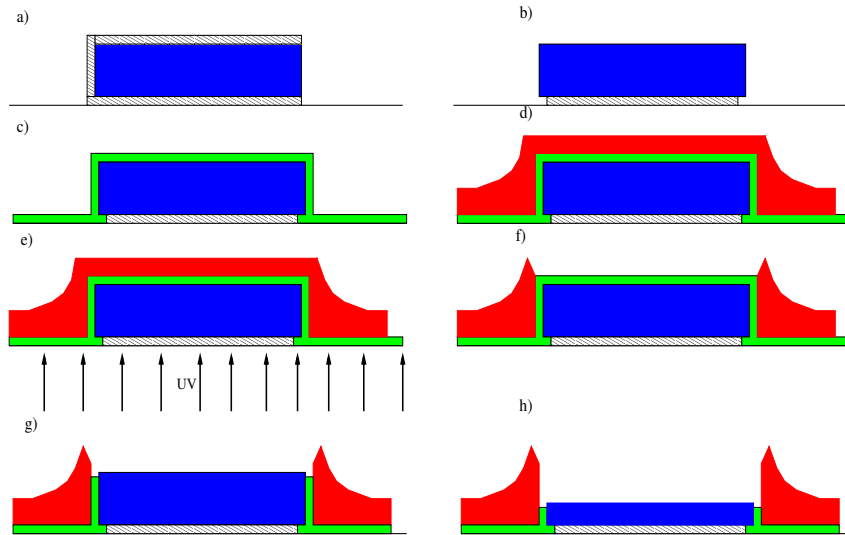


FIG. IV.12: Procédé de retrait de substrat

- Structure après le collage anodique.
- Gravure chimique de l'aluminium sur la face arrière et les bords par NaOH.
- Dépôt isotrope par PECVD de SiO_2 pour protéger les bords ainsi que l'aluminium de collage.
- Enduction de la résine SU-8 (résine négative).
- Insolation de la résine à travers le substrat de Pyrex (transparent aux UV 4).

- f Développement de la résine non insolée qui a été protégée par la structure.
- g Gravure sèche par RIE du SiO_2 sur l'arrière du substrat InP.
- h Gravure du substrat InP sans détériorer l'aluminium de collage.

IV.4 Procédé de fabrication des TBH sur couches reportées

Dans cette section nous présentons, dans une première partie, la technologie auto - alignée développée au LPN avant le début de cette thèse. Un accent particulier sera porté sur les améliorations que nous y avons apportées ainsi que les limites intrinsèques à cette technologie, ces dernières nous ayant conduits à développer une technologie novatrice basée sur le transfert des couches actives sur un substrat hôte. Dans une deuxième partie, nous décrirons le procédé de fabrication que nous avons développé pour la réalisation des TBH submicrométriques sur substrat hôte. Nous verrons que certaines étapes du procédé ont pu utiliser les briques technologiques du procédé précédent alors que pour d'autres, il a fallu développer des briques entièrement nouvelles, les précédentes s'avérant incompatibles.

IV.4.1 Procédé entièrement auto - aligné pour la fabrication de nano - TBH

La réalisation de transistors très largement submicrométriques est indispensable à l'obtention de performances en hyperfréquence. La fabrication de ces transistors par un procédé basé sur plusieurs niveaux de masquage est hors de portée des techniques de lithographie UV par contact. Pour éviter l'emploi de la lithographie électronique (procédé plus long et plus onéreux), nous avons opté pour le développement d'un procédé de fabrication dit "totalement auto - aligné" qui permet la réalisation de l'ensemble du transistor avec un seul niveau de masquage. L'absence d'alignement dans ce procédé nous permet de conserver la lithographie UV par contact, et ainsi réduire considérablement le nombre d'étapes du procédé. Le procédé de fabrication développé dans cette thèse est basé en partie sur ce savoir-faire. Cela nous a permis de nous concentrer sur les développements spécifiques rendus nécessaires par le report des couches actives, mais aussi, nous le verrons plus loin, sur l'optimisation du procédé existant.

Le procédé de fabrication pour la réalisation de TBH "Émetteur-up"(émetteur vers le haut) sur substrat d'InP est le résultat synthétique de plusieurs travaux de thèse de notre équipe (voir par exemple celle de M. Lijadi [7]). Ce procédé est présenté ici dans le cas d'un transistor ayant un émetteur en InGaAlAs et dont l'empilement des couches actives est donné dans le tableau IV.4.

Couche	Matériau	Dopage(cm^{-3})	Épaisseur(nm)
Contact Ohmique	InGaAs :Si	2×10^{19}	100
Sub-émetteur	InP :Si	1×10^{19}	50
Émetteur	InGaAl _{0.2} As :Si	5×10^{17}	60
Base	GaAsSb _{0.46} :C	3.6×10^{19}	40
Collecteur	InP :Si	5×10^{16}	160
Sub-collecteur	InP :Si	1×10^{19}	200
Contact Ohmique	InGaAs :Si	1×10^{19}	30
Contact Ohmique	InP :Si	1×10^{19}	30
Contact Ohmique	InGaAs :Si	1×10^{19}	100
Contact Ohmique	InP :Si	1×10^{19}	250
Buffer	InP	nid	50
Substrat	InP :Fe	-	

TAB. IV.4: Empilement des couches actives d'un TBH InGaAlAs/GaAsSb

Le procédé comporte six étapes principales. Chacune est brièvement décrite ci-après et illustrée dans la figure associée.

Étape 1 : Définition des dimensions de la base

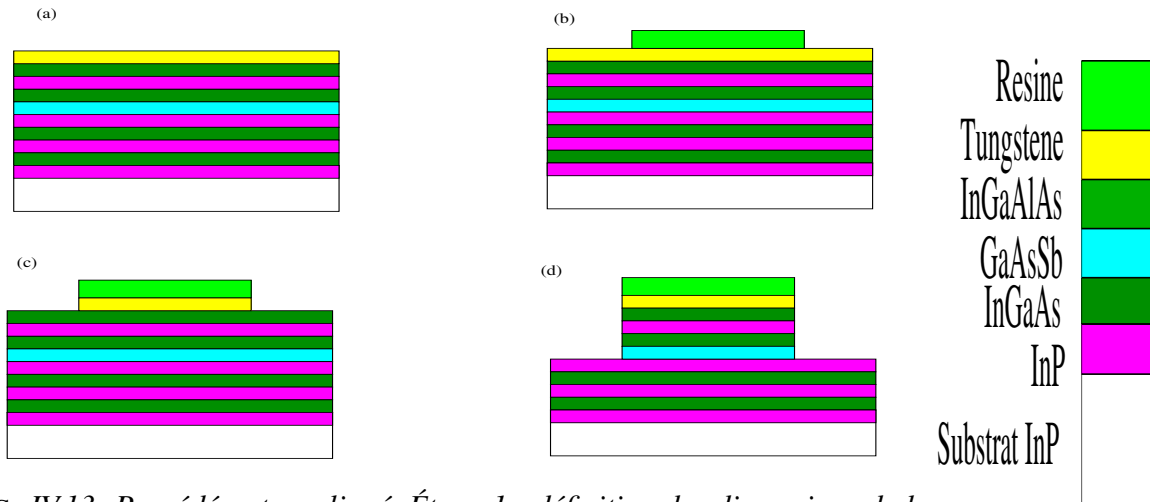


FIG. IV.13: Procédé auto-aligné. Étape 1 : définition des dimensions de la base

Étape 1(a) : Dépôt de tungstène par pulvérisation cathodique sur toute la surface de l'échantillon

Étape 1(b) : Photolithographie UV (masque niveau 1) : définition des plots de résine.

Étape 1(c) : Gravure de la couche de tungstène par RIE (SF_6)

Étape 1(d) : Gravures chimiques sélectives des couches semi-conductrices jusqu'au collecteur en utilisant les solutions $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ (3 : 1 : 40) pour les arséniures et $\text{H}_3\text{PO}_4 : \text{HCl}$ (100 : 1) à 60 C pour l'InP.

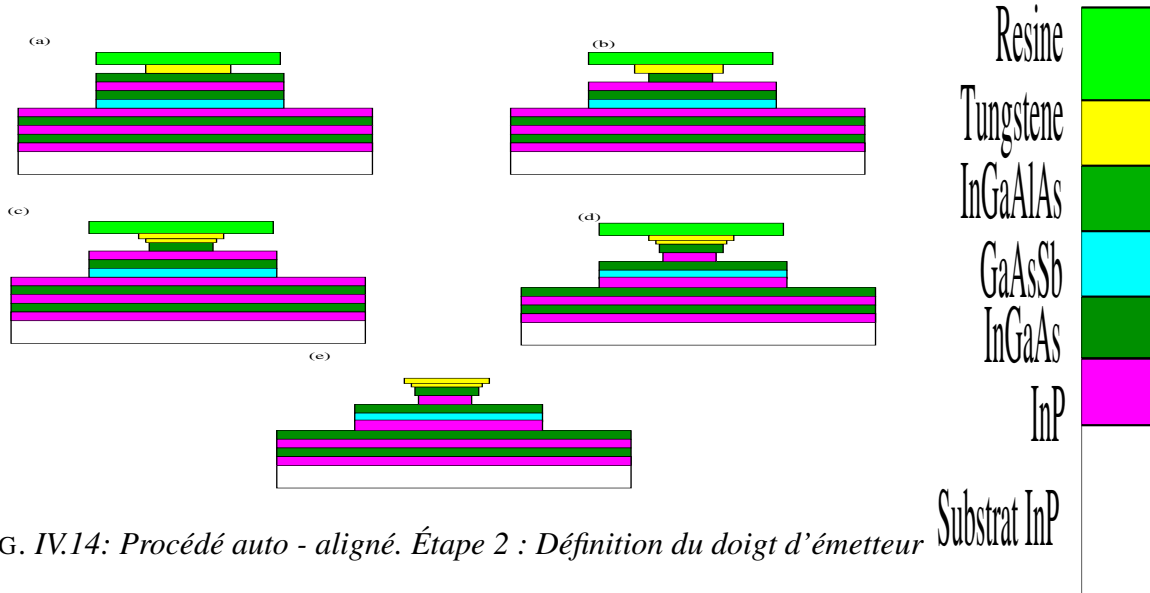
Étape 2 : Définition du doigt d'émetteur

FIG. IV.14: Procédé auto - aligné. Étape 2 : Définition du doigt d'émetteur

Étape 2(a) : Sous-gravure chimique de la couche de tungstène par une solution à base de KOH. On vise une sous-gravure de $1.5\mu\text{m}$.

Étape 2(b) : Gravure et sous-gravure de la couche en InGaAs ($0.5\mu\text{m}$) par une solution d'acide citrique :hydrogène peroxyde (1 :1)

Étape 2(c) : Sous-gravure additionnelle de la couche de tungstène avec la même solution qu'à l'étape 2(a).

Étape 2(d) : Gravure de la couche sub-émetteur en InP

Étape 2(e) : Dissolution du masque de résine

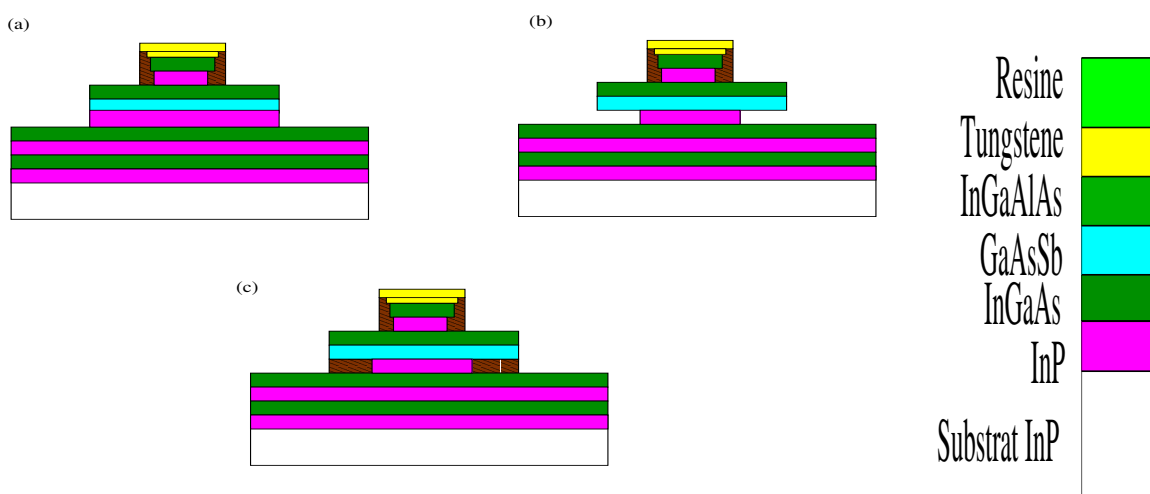
Étape 3 : Définition du doigt de collecteur

FIG. IV.15: Procédé auto - aligné. Étape 3 : Définition du doigt de collecteur

Étape 3(a) : Encapsulation de la couche de contact émetteur en InP par de la résine afin de

la protéger lors de la sous - gravure du collecteur en InP.

Étape 3(b) : Gravure et sous - gravure profonde du collecteur en InP ; on cherche à obtenir une surface base - collecteur aussi proche que possible de celle de la jonction émetteur - base.

Étape 3(c) : Encapsulation du doigt de collecteur avec de la résine.

Étape 3(d) : Polymérisation de la résine d'encapsulation par un recuit à 190 °C pendant 40 minutes.

Étape 4 : Gravure de la couche d'émetteur

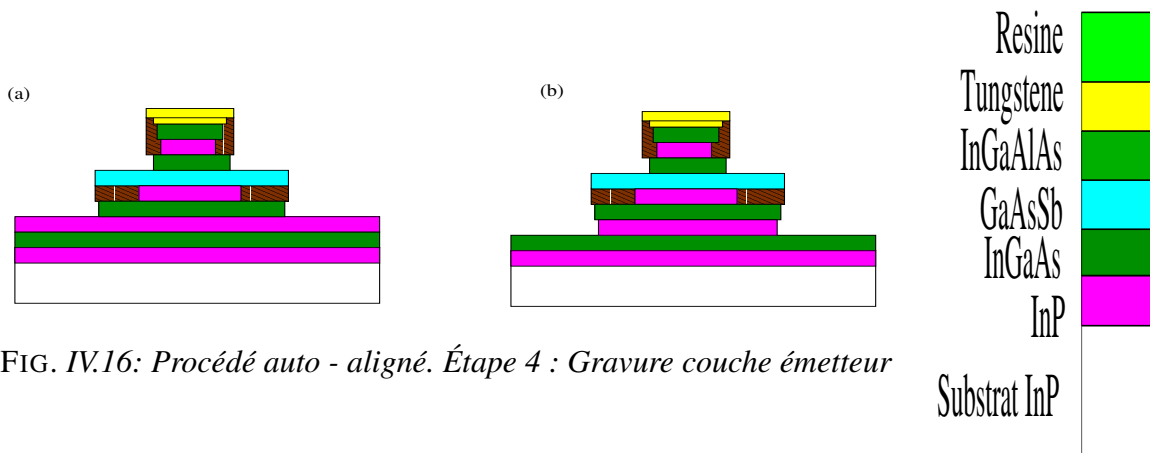


FIG. IV.16: Procédé auto - aligné. Étape 4 : Gravure couche émetteur

Étape 4(a) : Gravure simultanée de la couche d'InGaAlAs de l'émetteur et de la première couche d'arrêt en InGaAs dans une solution d'acide citrique :hydrogène peroxyde (2 :1).

Étape 4(b) : Gravure de la deuxième couche d'arrêt en InP

Étape 5 : Mesa d'isolation et contacts ohmiques

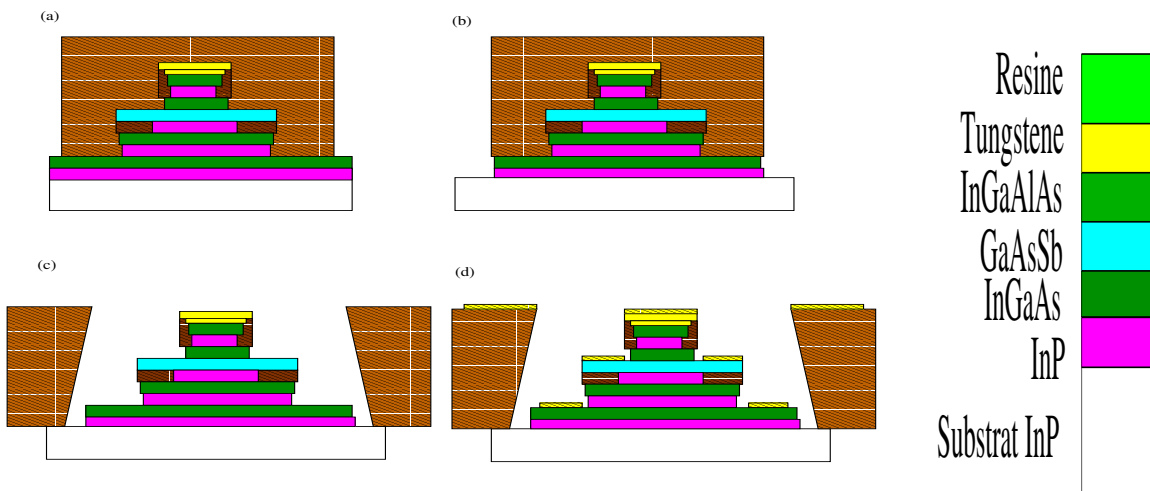


FIG. IV.17: Procédé auto - aligné. Étape 5 : Isolation et contacts ohmiques

Étape 5(a) : Photolithographie UV (masque niveau 2)

Étape 5(b) : Gravure des couches de contact collecteur jusqu'au substrat en InP avec une solution non-sélective $\text{HBr}:\text{H}_2\text{O}_2:\text{HCl}:\text{H}_2\text{O}$ (15 :1 :5 :150).

Étape 5(c) : Photolithographie UV (masque niveau 3)

Étape 5(d) : Dépôts des contacts ohmiques Pt/Ti/Pt/Au (15/20/30/50) nm

L'image IV.4.1 montre un transistor à la fin de l'étape 5. Une résine a été placée sous le surplomb de la base créée par la sous - gravure profonde du collecteur. Cette solution n'est viable que pour les casquettes de base suffisamment épaisses pour contenir les changements de volume de la résine lors des différents recuits. Nous verrons plus loin que ce n'est pas le cas des bases en GaAsSb (trop fines) et comment la technique du report apporte une solution élégante à ce problème.

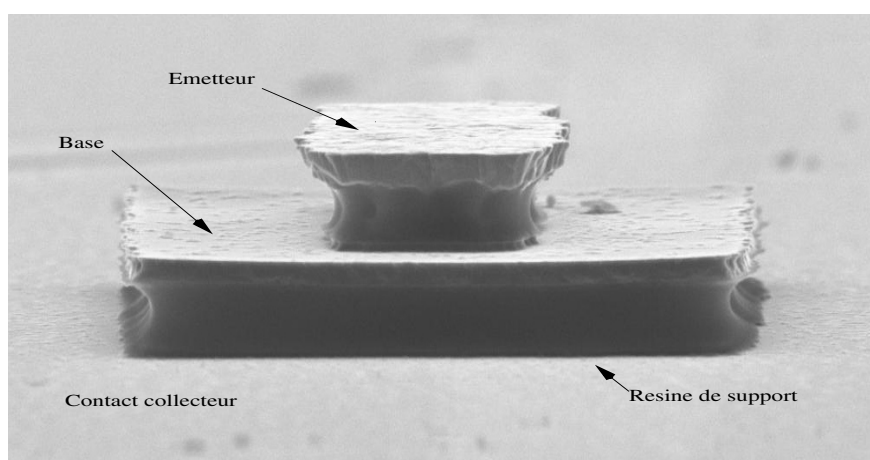


FIG. IV.18: Image MEB d'un transistor après la fin de l'étape 5

Étape 6 : Sortie des contacts par ponts à air

Étape 6(a) : Photolithographie UV (masque niveau 4)

Étape 6(b) : Recuit de la résine à 140 C pendant 8 minutes pour obtenir les profils en arche.

Étape 6(c) : Photolithographie UV (masque niveau 5)

Étape 6(d) : Dépôt métallique des ponts à air : Ti/Au (20/300) nm

Étape 6(d) : Dissolution de la résine

IV.4.2 Amélioration du procédé auto - aligné

La motivation principale à l'emploi d'un procédé auto - aligné est de remplacer les alignements habituellement réalisés par lithographie entre différents niveaux de masquage par un procédé plus simple. Comme nous l'avons vu dans le procédé décrit ci-dessus, il est possible, par gravure sélective de définir, à partir d'un seul niveau de masquage, les dimensions latérales de toutes les couches constituant le transistor. Le procédé peut alors potentiellement générer des motifs dont les dimensions critiques et leur contrôle se situent dans une gamme très nettement inférieure aux limites imposées par la lithographie UV par contact. Cet avantage est décisif si on arrive à :

- maîtriser la reproductibilité des cotes du premier niveau de masquage
- contrôler l'évolution de ces cotes jusqu'à la fin du procédé

L'amélioration apportée sur le premier point a consisté à remplacer le masque de résine utilisé précédemment (Étape 1(b)) par un masque métallique déposé par lift-off. La métallisation choisie est Ti/Au (200/20 nm). La fine couche d'or est un excellent masque de gravure, alors que la couche épaisse de titane permet un retrait aisé du masque par un procédé de lift-off en dissolvant le titane dans une solution d'acide fluorhydrique diluée (HF 20 %). Cette technique nous permet de mieux reproduire les dimensions nominales du masque après la lithographie de niveau 1. La figure IV.19 présente les dimensions des motifs réalisés par lift-off en fonction des dimensions des motifs sur le masque initial. On constate que le rapport des dimensions des motifs réalisés sur les dimensions des motifs initiaux est égale à 0.995 à 0.3% près. Ce rapport est indépendant de la taille des motifs initiaux.

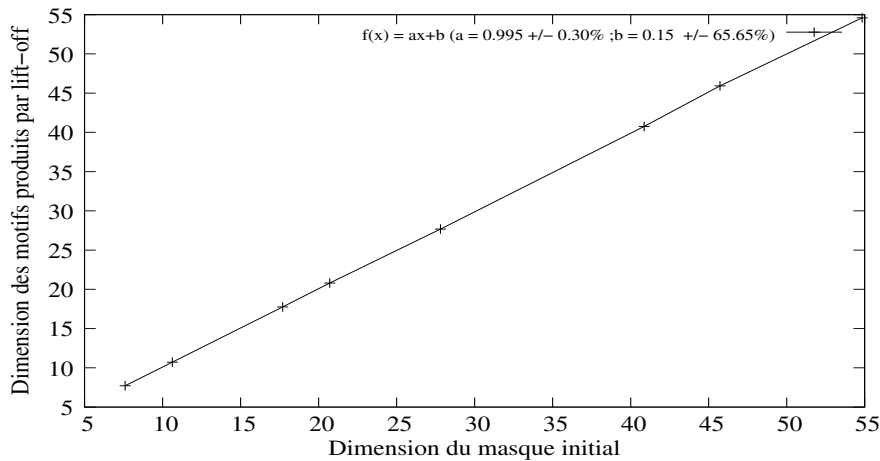


FIG. IV.19: Dimension des motifs réalisés en fonction des dimensions initiales

Cette bonne reproductibilité des dimensions est très importante pour la fabrication des transistors bipolaires à hétérojonction dans un procédé auto-aligné. En effet, elle nous permet de garder les dimensions des transistors compatibles avec celles des autres niveaux, notamment lors de la connexion finale.

Le second point consiste à garder au mieux les dimensions de ces motifs jusqu'à la fin du processus. Pour y parvenir, nous avons remplacé une partie des gravures humides (isotropes) par des gravures sèches. En effet, les gravures sèches, dans certaines conditions, permettent d'obtenir une très bonne anisotropie (i.e. avec des sous-gravures nettement inférieures à 100 nm). Les paramètres de la gravure sèche utilisée (ICP chlorée) sont donnés dans le tableau IV.5.

Le masque en Ti/Au constitue un bon masque pour cette gravure sèche. En effet la gravure latérale après une gravure verticale complète de la structure n'est pas significative. La figure ?? montre une vue latérale d'une structure après une gravure verticale de l'ensemble de la structure. On note l'excellente anisotropie : les sous-gravures (gravures latérales) sont inférieures à 100 nm.

De plus la gravure est contrôlée in situ et en temps réel grâce à un suivi laser. En effet, en mesurant le signal laser réfléchi sur la structure en fonction du temps, on dispose en temps réel d'une indication sur l'identité et la profondeur de la couche gravée. On peut ainsi décider en

Débit de Cl_2	18 sccm
Débit de H_2	10 sccm
Pression	0.5 mT
Puissance ICP	800 W
Tension de polarisation	- 150 V
Température de cathode	150 $^{\circ}C$
Vitesse de gravure InP	800 nm/min

TAB. IV.5: Paramètres de la gravure ICP

temps réel (i.e. s'adapter aux éventuels aléas de manip) du moment de l'arrêt de la gravure. Notons que la couche métallique située sous les couches reportées constitue un excellent miroir qui améliore considérablement la qualité et le contraste du signal laser.

Bien que ces gravures sèches génèrent des re-dépôts de toutes sortes sur les flancs des couches actives, on constate que cela ne gêne pas le bon déroulement de la suite de processus. L'exemple de la figure IV.20 nous permet de vérifier que ces re-dépôts n'ont pas empêché la sous - gravure des deux couches de tungstène (contacts émetteur et collecteur). Ils restent suspendus sous forme de voile entre le masque en Ti/Au et la structure III-V et seront "éliminés" dans la suite du procédé. Si nécessaire, ils peuvent être éliminés par le procédé de nettoyage suivant :

1. Rinçage à l'EDI à 60 $^{\circ}C$ pendant 6 min pour éliminer le composé $InCl_2In$ formé entre le Cl_2 de l'ICP et l'indium de l'InP des couches actives.
2. Gravure sèche avec un plasma d'oxygène destiné à éliminer les composés carbonés.
3. Gravure chimique flash de 20 s avec la solution $H_3PO_4 : H_2O_2 : H_2O$ (3 :1 :160) pour éliminer les composés arséniés.

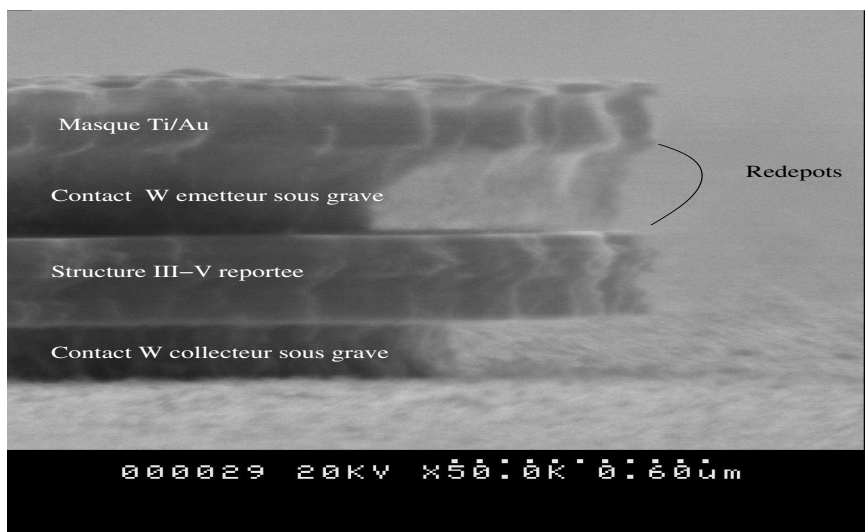


FIG. IV.20: Image MEB d'une vue de côté d'une structure reportée après une gravure ICP et sous gravure du tungstène

IV.4.3 Procédé de fabrication de nano-TBH reportés sur substrat de Pyrex

Dans cette section nous présentons un descriptif détaillé de la technologie de fabrication des TBH InP/GaAsSb sub - microniques sur les couches actives reportées sur un substrat hôte. Cette fabrication se décompose en quatre étapes principales, décrites dans les lignes qui suivent.

Étape 1 : Définition des dimensions de la base

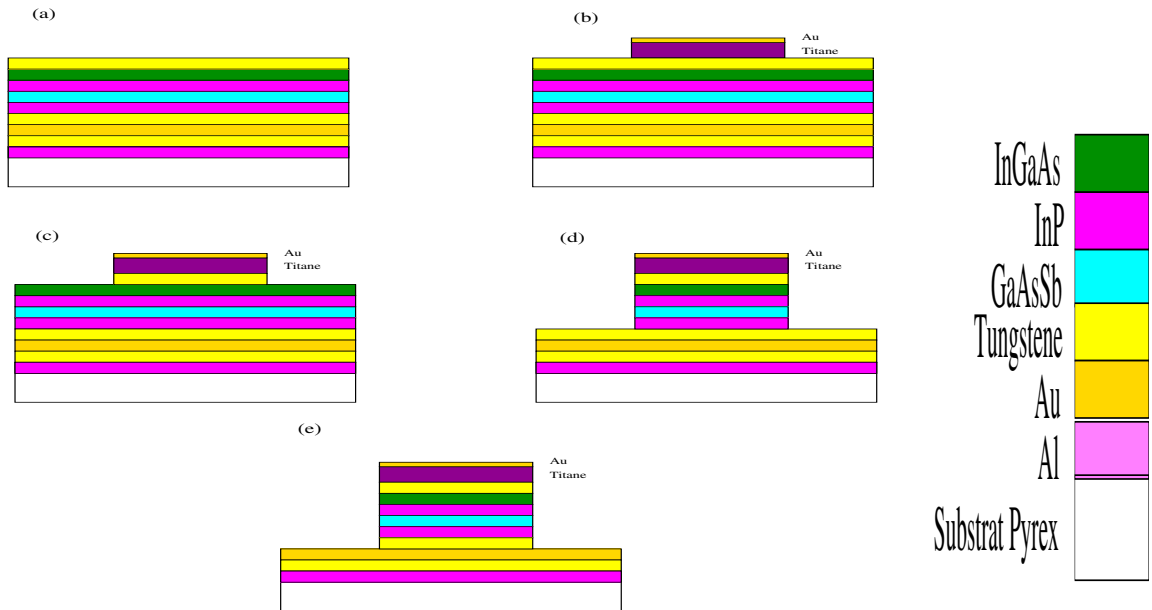


FIG. IV.21: Procédé auto-aligné reporté. Étape 1 : définition des dimensions de la base

Étape 1(a) : Dépôt de tungstène par pulvérisation cathodique sur la toute la surface de l'échantillon.

Étape 1(b) : Photolithographie UV (masque niveau 1). Dépôt métallique de Ti/Au (200 nm/20 nm). Lift-off.

Étape 1(c) : Gravure de la couche de tungstène émetteur par RIE (SF₆).

Étape 1(d) : Gravure sèche (ICP Cl₂) de l'ensemble des couches semi-conductrices jusqu'au collecteur en tungstène.

Étape 1(e) : Gravure de la couche de tungstène collecteur en RIE (SF₆).

L'image IV.22 montre une observation au microscope électronique à balayage de la structure à la fin de l'étape 1(e).

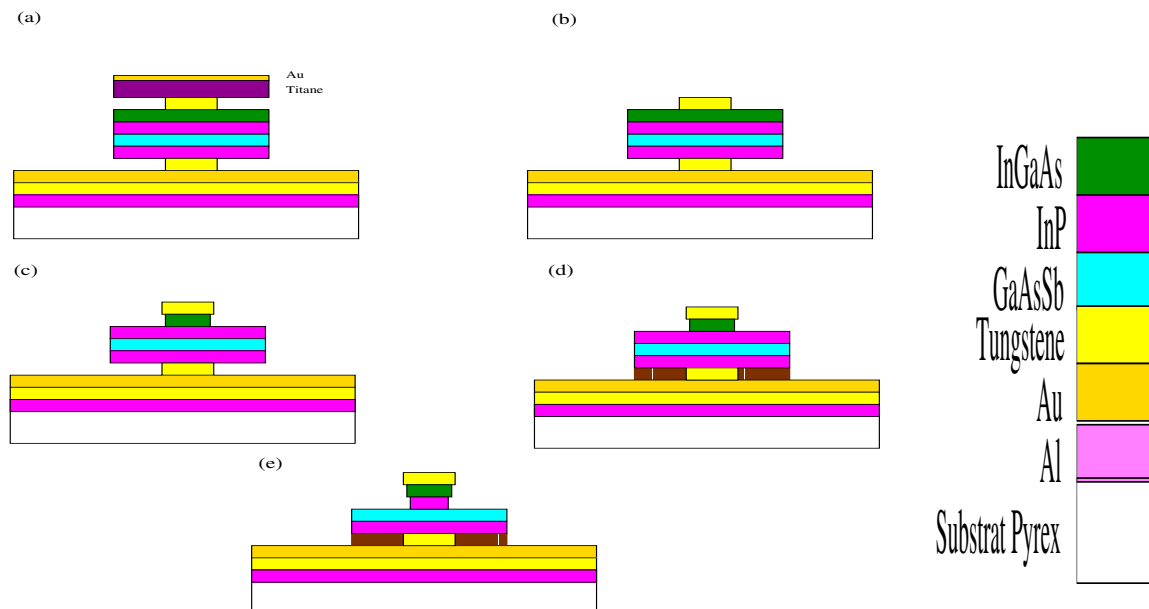
Etape 2 : Définition simultanée du doigt d'émetteur et du doigt de collecteur

FIG. IV.23: Procédé auto - aligné reporté. Étape 2 : définition des doigts d'émetteur et de collecteur

Étape 2(a) : Définition des dimensions des doigts d'émetteur et de collecteur par sous - gravure chimique du tungstène dans la solution (33g KOH ; 13.4g KH_2PO_4 ; 34g $\text{K}_3\text{Fe}(\text{CN})_6$; $11 \text{ cm}^3 \text{H}_2\text{O}$).

Étape 2(b) : Élimination du masque Ti/Au par la solution chimique HF à 20 %.

Étape 2(c) : Gravure et sous - gravure de la couche de contact émetteur en InGaAs ($0.5 \mu\text{m}$) par une solution d'acide citrique :hydrogène peroxyde (1 :1).

Étape 2(d) : Encapsulation de la couche de collecteur en InP par de la résine afin de la protéger lors de la gravure de l'émetteur en InP.

Étape 2(e) : Traitement RIE oxygène, ensuite gravure InP émetteur par H_3PO_4 :HCl (100 :3) et dissolution de la résine de protection du collecteur en InP.



FIG. IV.24: Observation au microscope électronique à balayage de la gravure simultanée des couches de tungstène émetteur et collecteur.

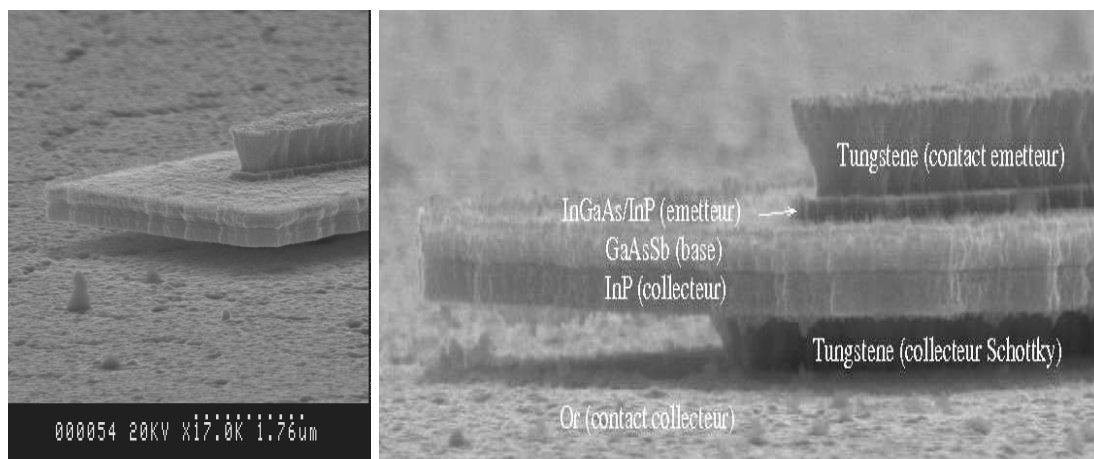


FIG. IV.25: Observation au microscope électronique à balayage d'une structure à la fin de l'étape 2

On note sur la photo IV.24 que les re-dépôts générés par la gravure ICP n'ont pas empêché la sous-gravure du tungstène, en particulier celui de l'émetteur qui a été exposé plus longtemps à ces re-dépôts. Ce tungstène émetteur se grave légèrement plus vite que celui du collecteur car l'accès de la solution au tungstène est plus facile pour l'émetteur que pour le collecteur.

Les différentes gravures et le nettoyage de l'échantillon permettent d'éliminer l'ensemble des re-dépôts, comme illustré par la photo ??

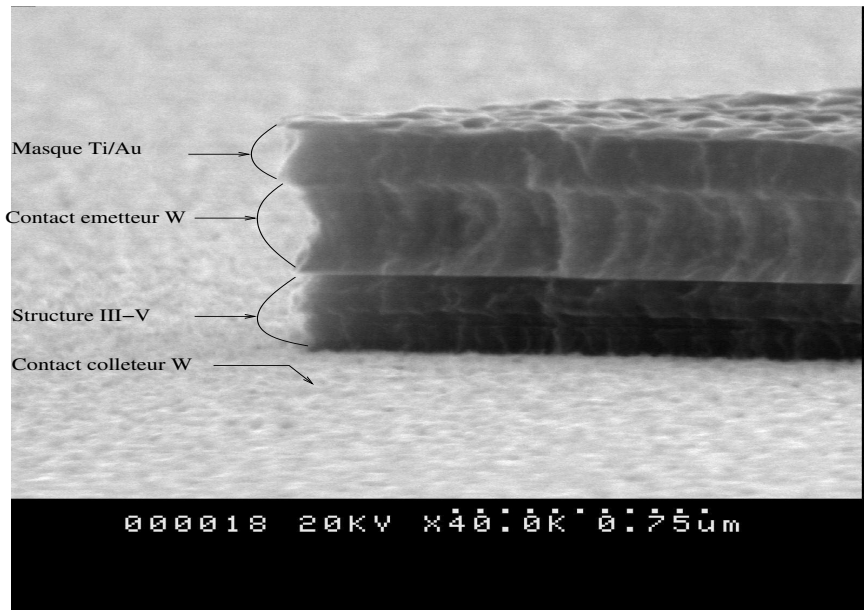


FIG. IV.26: Photo MEB d'une structure à la fin de l'étape 2

Étape 3 : Contacts ohmiques et mesa d'isolation

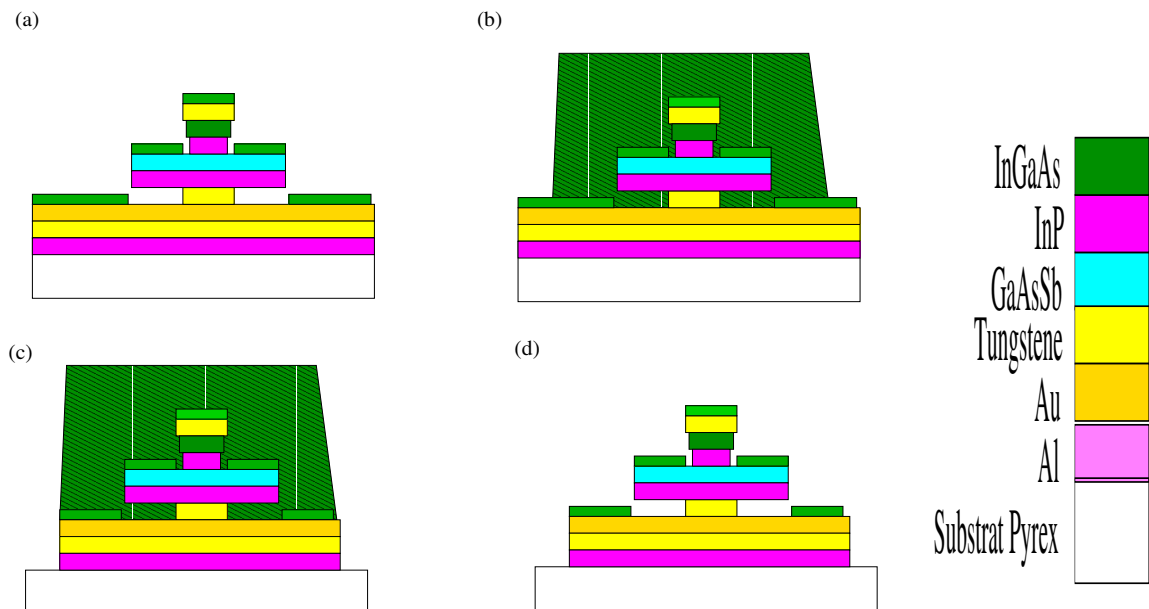


FIG. IV.27: Procédé auto-aligné reporté. Étape 3 : contacts ohmiques et isolation

Étape 3(a) : Dépôts des contacts ohmiques Pt/Ti/Pt/Au (15/20/30/50) nm sur toute la plaque.

Étape 3(b) : Photolithographie UV (masque niveau 2)

Étape 3(c) : Gravure sèche IBE de Au/W/Al jusqu'au substrat de Pyrex.

Étape 3(d) : Dissolution de la résine.

Etape 4 : Sortie des contacts par ponts à air

- 4.a : Photolithographie UV (masque niveau 4)
- 4.b : Recuit de la résine à 140°C pendant 8 minutes pour obtenir les profils ronds.
- 4.c : Photolithographie UV (masque niveau 5)
- 4.d : Dépôt métallique des ponts à air : Ti/Au (20/300) nm.
- 4.d : Dissolution de la résine.

IV.4.4 Verrous technologiques liés au report

Si l'aluminium est un candidat idéal pour le collage anodique (Cf. chapitre IV), il ne l'est pas pour notre procédé de fabrication. En effet, l'aluminium réagit avec la plupart des solutions chimiques utilisées dans le procédé, et par conséquent il fragilise le collage. Pour contourner cette difficulté nous avons introduit des métallisations supplémentaires (tungstène et or) entre la couche de tungstène de collecteur et celle en aluminium. Ces couches métalliques supplémentaires servent de joint d'étanchéité et empêche tout contact de la couche d'aluminium avec les solutions chimiques utilisées pendant la fabrication des transistors.

Cette solution rend le procédé plus long et plus complexe. La solution idéale serait d'utiliser un autre métal pour le collage anodique, choisi pour son absence de réaction aux solutions chimiques utilisées (p.ex. le tungstène). Changer cette couche métallique impose de reconsidérer l'ensemble du procédé de fabrication. C'est un travail prévu pour une prochaine étude. Dans le cadre de cette thèse nous travaillerons avec des collages aluminium - Pyrex et un joint d'étanchéité en tungstène/or.

Le deuxième verrou lié au report est dû à l'influence du métal sur les gravures chimiques d'InP et d'InAlAs. En effet, la surface des structures reportées est majoritairement de nature métallique (dès la fin de l'étape 1), contrairement aux structures non reportées où les surfaces métallisées représentent une aire négligeable devant celles des surfaces semiconductrices. Ainsi, il existe des réactions électrolytiques entre le métal et les solutions chimiques. Celles-ci rendent les solutions de gravure d'InP et d'InAlAs complètement inefficaces. Plusieurs études ont été menées pour résoudre ce problème sans qu'une solution élégante ait été trouvée.

L'utilisation de la gravure sèche à la place des gravures humides ne résout pas complètement le problème. Cette fois, il s'agit de réactions électrostatiques entre le métal et les ions du plasma qui rendent les gravures sèches difficilement contrôlables. À cette difficulté s'ajoute celle du contrôle de la profondeur de gravure des matériaux de l'émetteur afin de déposer le contact de base sur une couche de seulement 30 nm d'épaisseur. Ceci est généralement réalisé à l'aide d'une gravure sélective entre InP et GaAsSb. La difficulté de réaliser une gravure sèche sélective entre ces deux matériaux nous prive de cette possibilité. D'autre part le contrôle in situ de la profondeur gravée n'est pas suffisant pour stopper la gravure avec la précision requise.

Une des voies que nous avons explorées pour faire sauter ce verrou est la passivation du métal par un plasma d'oxygène. Cette passivation nous a permis de réactiver les gravures d'InP et d'InAlAs en présence du métal, toutefois cette gravure reste, après passivation, très difficile à contrôler. La vitesse de gravure n'est pas constante dans le temps et la gravure génère des rugosités inacceptables pour la réalisation de transistors de petites dimensions dédiés aux ap-

plications hyperfréquence. Les observations faites au microscope électronique à balayage IV.28 montrent une forte rugosité générée après la gravure. En conclusion la présence d'une grande surface métallique n'est pas souhaitable lors des gravures chimiques des matériaux constituant l'émetteur.

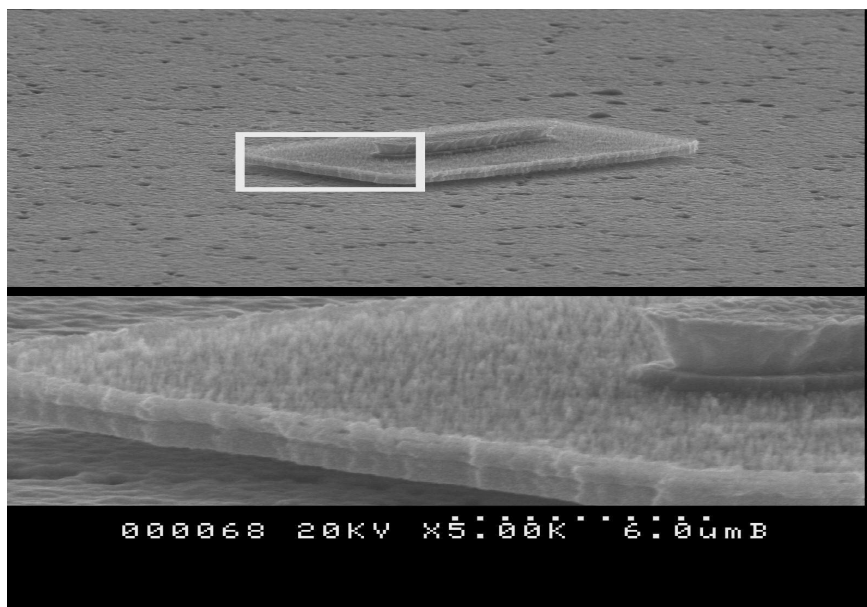


FIG. IV.28: Image MEB de la rugosité générée après une plasma d'oxygène et la gravure chimique

L'enchaînement des différentes gravures devra donc être entièrement revu dans ce procédé. Comme pour le remplacement de la couche d'aluminium par un autre métal (Cf. plus haut), la refonte complète de ce procédé se situe en dehors du cadre de cette thèse.

Cependant, pour pouvoir démontrer les potentialités du report, nous avons décidé de réaliser sur ces couches reportées des transistors dans un procédé double méso où les dimensions des doigts d'émetteur varient de $5 \times 5 \mu\text{m}^2$ jusqu'à $50 \times 50 \mu\text{m}^2$. Dans ce procédé la gravure des matériaux de l'émetteur (InP, InAlAs) se fait avant de découvrir le métal du joint de collage. En effet la nature double méso du transistor conduit à ne découvrir la couche métallique située sous les couches actives que lors de la gravure du méso collecteur. La couche métallique étant enfouie la gravure des matériaux constituant l'émetteur se déroule comme habituellement sur les structures non reportées.

Dans la section qui suit nous allons présenter le procédé de fabrication de TBH double méso sur couches reportées. Nous verrons plus loin, dans le chapitre des caractérisations électriques V que ce procédé nous a permis de démontrer la faisabilité des transistors reportés et d'évaluer quelques unes de leurs potentialités.

IV.4.5 Procédé de fabrication de TBH double méso reportés sur Pyrex

Le procédé de fabrication sur couches actives reportées sur substrat hôte (ici du Pyrex) de TBH double méso se décompose en six étapes. Les solutions chimiques pour graver les différents matériaux sont les mêmes que celles utilisées dans les autres procédés. Dans ce qui

suit nous allons détaillé les différentes étapes de ce procédé.

Report des couches actives

Après le report des couches actives par la technique du collage anodique décrite au chapitre IV, nous recouvrons l'ensemble de la surface de l'échantillon d'une couche de tungstène IV.29. Ce métal sera utilisé comme contact émetteur. Nous verrons plus loin comment les propriétés de la gravure du tungstène sont mises à profit pour éviter les court-circuits entre la base et l'émetteur. Le tableau IV.6 présente les couches à traiter après le report.

Couche	Matériau	Épaisseur(nm)
Contact émetteur	tungstène	400
Contact Ohmique	InGaAs	100
Sub-émetteur	InP	170
Base	GaAsSb _{0.46}	40
Collecteur	InP	200
Collecteur métallique	tungstène	200
Contact collecteur	or	30
Métal du collage anodique	aluminium	30
Substrat	Pyrex	

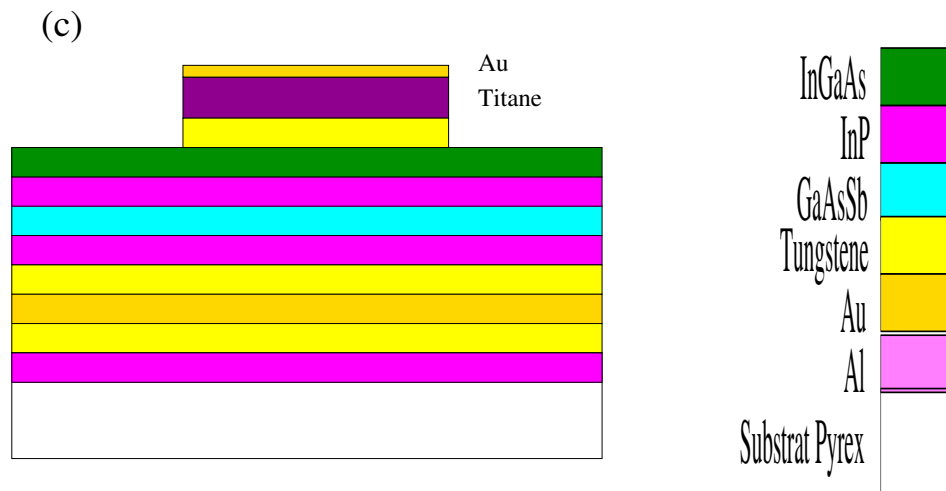
TAB. IV.6: Empilement des couches actives après le report

Étape a : Définition des dimensions du doigt d'émetteur

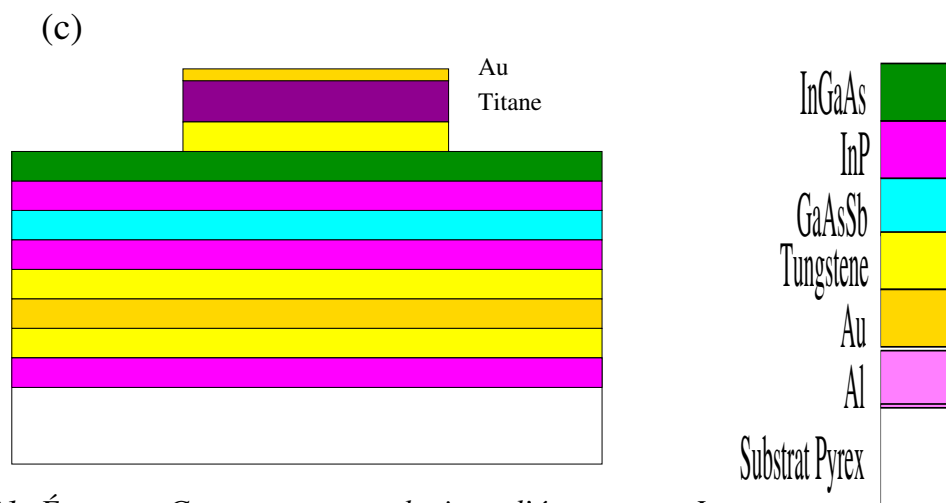


FIG. IV.29: Étape a : Définition des dimensions du doigt d'émetteur

Une métallisation par "Lift-Off" Ti/Au permet de définir les dimensions de l'émetteur. Cette métallisation servira également de masque pendant les prochaines gravures. Ainsi, nous profitons des avantages d'un masque métallique cités dans la section ??.

Étape b : Gravure du contact émetteur en tungstèneFIG. IV.30: *Étape b : Gravure contact émetteur*

La gravure du contact émetteur en tungstène se fait par une gravure sèche (plasma SF_6). Cette gravure est contrôlée par un suivi laser in situ ?? pour déterminer en temps réel la fin de la gravure. Une légère sous - gravure chimique du tungstène permet de créer un surplomb et ainsi éviter la réalisation accidentelle de court-circuits entre la base et l'émetteur lors du dépôt métallique constituant le contact de base, auto - aligné sur le mesa émetteur.

Étape c : Gravure contact ohmique d'émetteur en InGaAsFIG. IV.31: *Étape c : Gravure contact ohmique d'émetteur en In-GaAs*

Pendant cette étape nous gravons par voie humide le contact ohmique d'émetteur en InGaAs en utilisant la solution $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ qui est sélective par rapport à l'InP de l'émetteur.

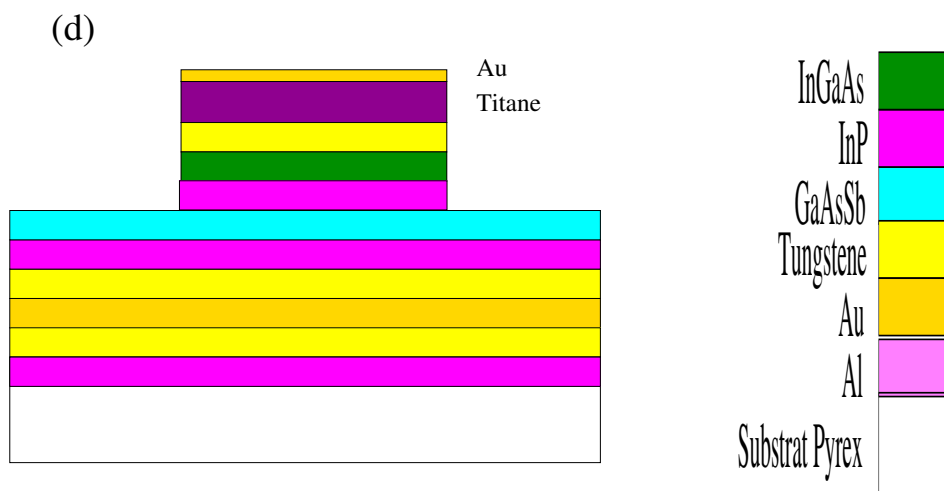
Étape d : Gravure d'émetteur InP

FIG. IV.32: Étape d : Gravure contact ohmique d'émetteur

La gravure d'émetteur en InP se fait par voie humide. La solution utilisée ($H_3PO_4 : HCl$) est sélective par rapport à la base en GaAsSb. Cette sélectivité est très importante car elle permet d'atteindre précisément l'interface émetteur - base avant de déposer le contact de base. Ceci assure une résistance d'accès à la base minimale : l'épaisseur de base est conservée et le contact est déposé sur la couche très dopée de la base.

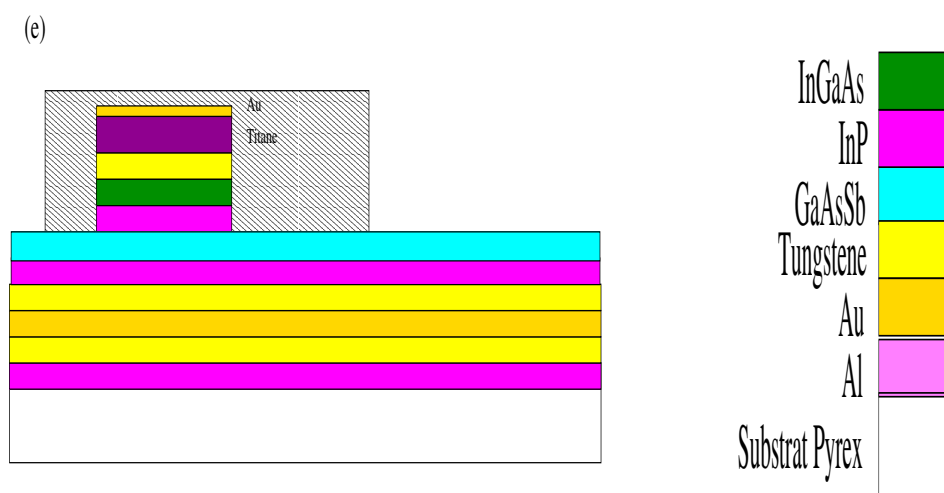
Étape e : Niveau méso de base

FIG. IV.33: Étape e : Méso de base

Nous utilisons une résine positive pour définir les dimensions du mesa de base IV.34. Les dimensions sont de l'ordre de $110 \times 100 \mu m^2$. Ces grands dimensions de la base ne nous permettrons pas d'effectuer des mesures en hyperfréquence car on a la capacité base - collecteur est trop grande. Par contre, ces grandes dimensions de la base rendent le contact de base beaucoup plus facile à réaliser.

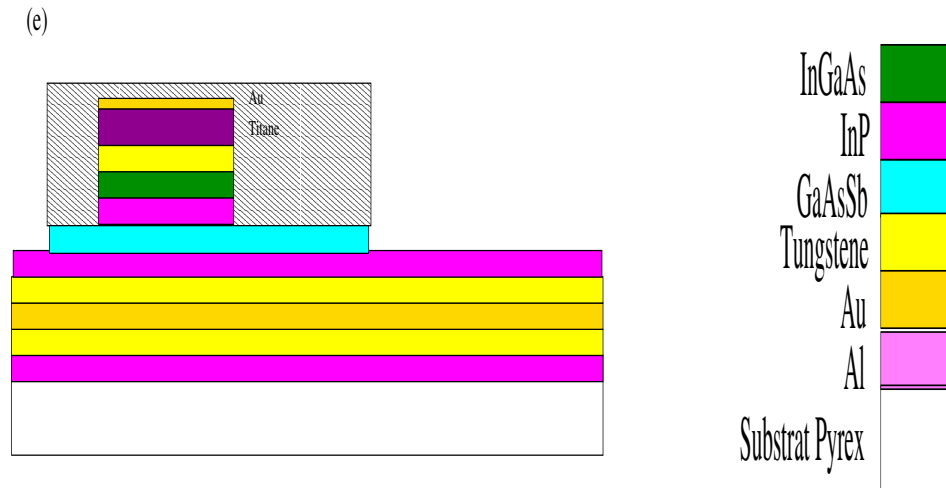
Étape f : Gravure de la base GaAsSb

FIG. IV.34: Étape f : Méso de base

C'est une gravure chimique sélective par rapport au collecteur en InP.

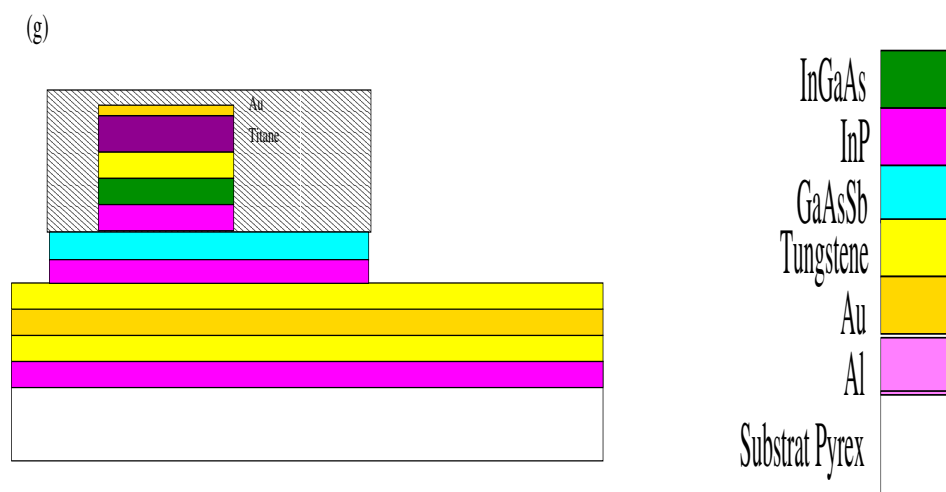
Étape g : Gravure de collecteur en InP

FIG. IV.35: Étape g : Gravure de collecteur en InP

Nous utilisons aussi une solution chimique pour graver le collecteur en InP. La solution chimique ne grave pas le collecteur métallique en tungstène.

Étape h : Gravure de collecteur métallique en tungstène

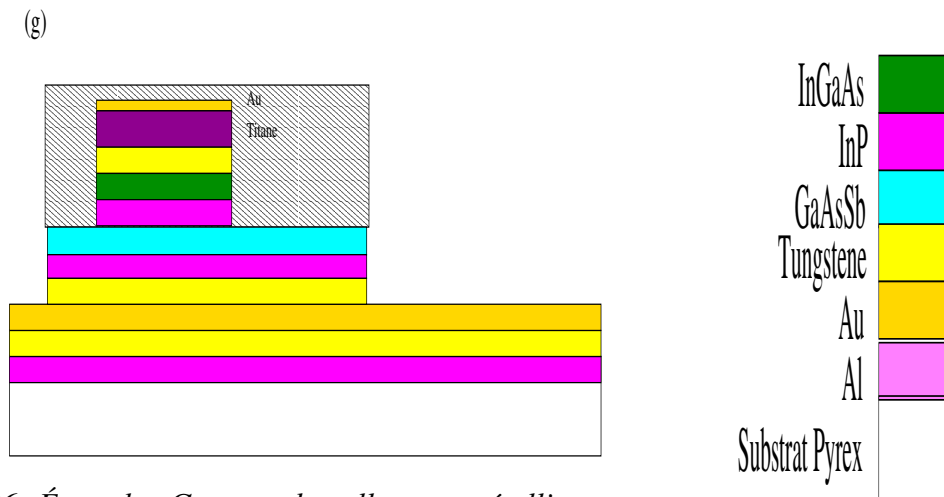


FIG. IV.36: Étape h : Gravure de collecteur métallique en tungstène

Le collecteur métallique est constitué du tungstène déposé sur la couche active avant le collage anodique. La gravure du tungstène se fait par voie sèche pour pouvoir transférer exactement les dimensions de la base dans le collecteur métallique en tungstène. Le suivi de cette gravure se fait par suivi laser. Le suivi laser nous permet de déterminer avec précision le moment où la gravure arrive sur la couche d'or située en dessous de celle de tungstène. En effet le signal réfléchi devient constant dans le temps puisque l'or est très peu gravé par le plasma SF_6 .

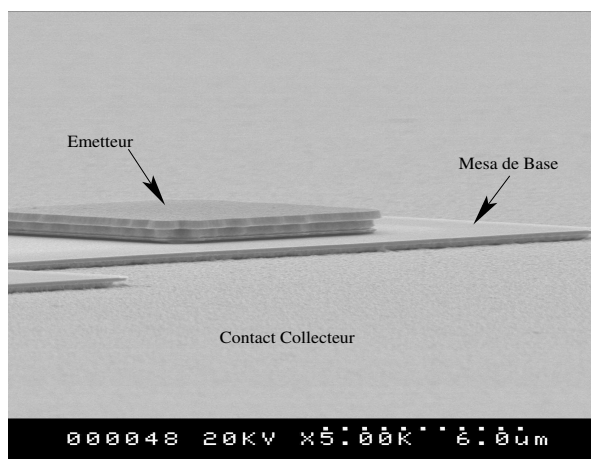


FIG. IV.37: Image MEB d'un transistor à la fin de h

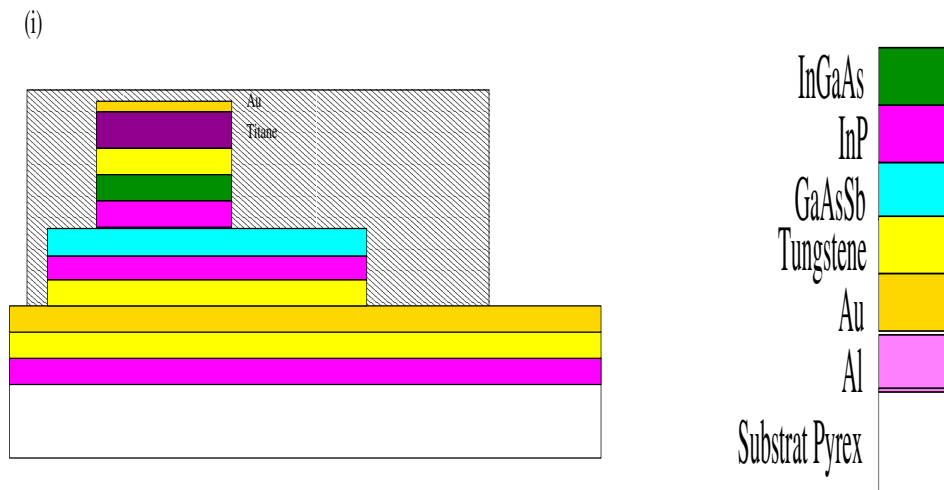
Étape i : Mesa contact collecteur

FIG. IV.38: Étape (i) : Mesa contact collecteur

Une résine positive est utilisée pour définir les dimensions du mesa contact collecteur. Pour améliorer la thermalisation des dispositifs il faut que ces dimensions soient les plus grandes possible ???. Toutefois dans le procédé de fabrication actuel nous ne pouvons pas laisser cette couche sur toute la surface car il faut isoler le contact collecteur des ponts

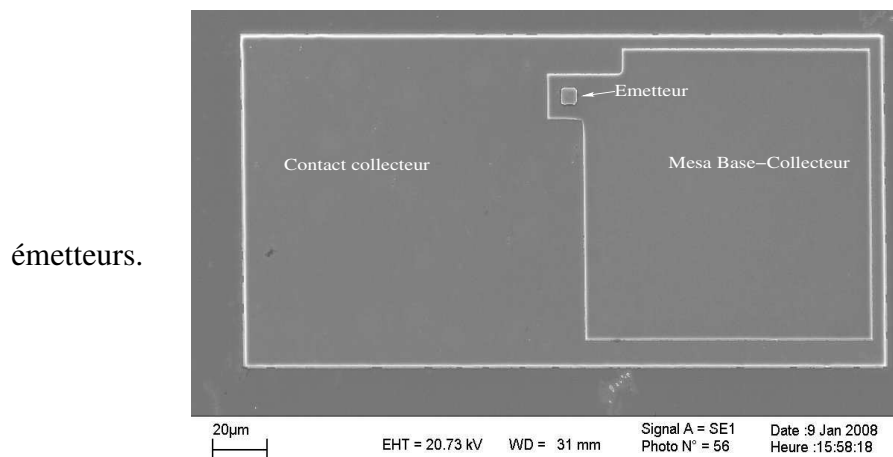


FIG. IV.39: Procédé double méso reporté

Étape j : Métallisations finales et pont émetteur

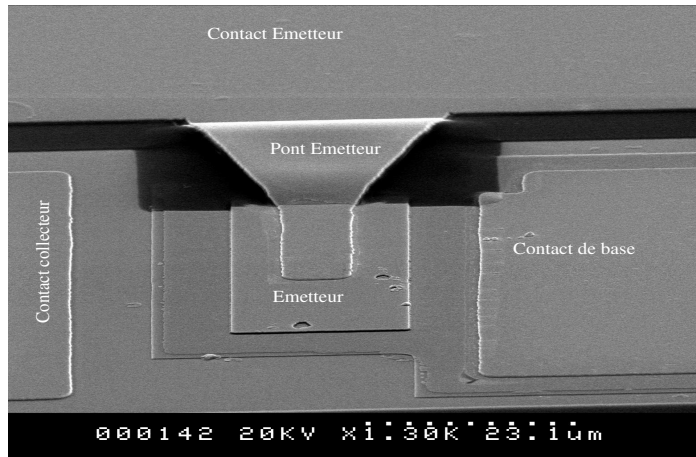


FIG. IV.40: *Procédé double méssa reporté : Métallisation base-collecteur et pont émetteur*

Nous utilisons la technique de pont en arche pour contacter l'émetteur à son pad de contact. En effet les dimensions des plus petits transistors ($5 \times 5 \mu\text{m}^2$) sont trop petites pour servir de pad.

IV.5 Conclusion

Après avoir présenté l'intérêt de la présence d'une couche métallique enterrée sous les couches actives pour les performances tant électrique que thermique du TBH, nous présentons les détails de la technologie de fabrication des TBH reportés sur substrat hôte. Cette technologie comporte trois étapes principales : collage des couches actives, retrait du substrat d'origine et fabrication des transistors.

Le collage anodique est particulièrement bien adapté aux exigences du report de couches actives. En effet, grâce à la création au cours du collage anodique d'une zone de charge d'espace localisée dans le Pyrex au voisinage de la surface à coller, une forte pression électrostatique rapproche les surfaces à coller dans un contact intime permettant la création de liaisons chimiques entre elles. Lorsque la densité de ces liaisons est suffisante le collage devient irréversible et permanent. Nous avons montré que la non planarité des surfaces à coller conduit à un collage progressif couvrant toute la surface de l'échantillon. Cette homogénéité, propriété intrinsèque du collage anodique, en fait une technologie de choix pour le report des couches actives.

À partir des résultats publiés sur le collage anodique, nous avons développé un procédé de report de couches actives sur Pyrex en utilisant le collage aluminium - Pyrex. Une technologie adaptée au retrait du substrat natif en InP a également été développée.

Après un rappel du procédé de fabrication des transistors de petites dimensions développé au cours des thèses précédentes dans le group PHYDIS au LPN, nous avons présenté les différentes optimisations apportées au cours de cette thèse. Nous avons ensuite proposé un procédé de fabrication de transistor petites dimensions pour les structures reportées.

Deux verrous technologiques majeurs ont été identifiés dans ce procédé

Le premier concerne la présence d'une couche d'aluminium à l'interface avec le Pyrex. Cette couche d'aluminium très utile dans le collage anodique devra cependant être remplacée par un métal moins sensible aux différentes solutions chimiques utilisées dans ce procédé. Le second verrou est dû à la présence d'un métal sur une très grande proportion de la surface de l'échantillon (couche métallique enterrée du joint de collage) lors de la gravure des matériaux constituant l'émetteur. La présence de ce métal perturbe très fortement les gravures sèches et humides de ces matériaux.

Pour pouvoir montrer la faisabilité et les potentialités du report dans le cadre de cette thèse, nous avons choisi de réaliser des TBH InP/GaAsSb dans un procédé double méso qui permet de contourner les deux verrous cités plus haut. Nous verrons dans le chapitre suivant que grâce à ce procédé nous avons pu démontrer d'une part la faisabilité de la réalisation de TBH InP/GaAsSb reportés sur substrat hôte et d'autre part évaluer leur potentialité pour la réalisation de transistors de puissance.

Chapitre V

Caractérisation électrique des TBH InP/GaAsSb pour applications de puissance

Dans ce chapitre nous présentons le comportement électrique des transistors bipolaires à hétérojonction InP/GaAsSb dédiés aux applications de puissance. Leur comportement en fonction de la température, déterminant pour ce type d'application, est étudié en détail. Deux types de TBH sont présentés. Les premiers sont réalisés sur leur substrat natif en InP, les seconds sont fabriqués après le report des couches actives sur un substrat hôte et le retrait du substrat d'origine. La comparaison de ces deux types de transistors a été rendue pertinente par l'utilisation de couches actives nominale­ment identiques et la réalisation sur ces épitaxies de transistor de même géométrie.

Après la description de l'empilement des couches épitaxiées et des procédés de fabrication utilisés, le comportement électrique de ces transistors à température ambiante sera décrit dans une première partie. La suite est entièrement dédiée à la caractérisation du comportement thermique de ces transistors dans le but de disposer d'une caractérisation expérimentale complète permettant la conception de TBH InP/GaAsSb de puissance avec, en particulier, la définition de leur domaine de stabilité thermique. Cette étude est basée sur la caractérisation de trois quantités : (i) le coefficient thermoélectrique qui évalue la rétro-action de la température sur le comportement électrique du transistor ; (ii) la résistance thermique qui détermine le maximum de puissance pouvant être dissipée dans le transistor et (iii) la dépendance du gain en courant avec la température qui est une cause bien identifiée de l'instabilité thermique des TBH.

V.1 Transistors étudiés

Les transistors étudiés ont été réalisés à partir d'empilements de couches épitaxiées à Picogiga International (collaboration avec Philippe Bove) dans le cadre du programme ANR-PNANO ATTHENA. Deux structures sont présentées dans cette étude. La première (H7662) a été épitaxiée dans l'ordre collecteur, base puis émetteur pour réaliser des TBH sur le substrat d'origine en InP. La seconde (H7687) a été épitaxiée dans l'ordre émetteur,

base puis collecteur pour réaliser des TBH reportés sur substrat hôte. Ces deux types de transistors montrent une structure intrinsèque émetteur - base - collecteur nominalement voisine ce qui justifie la comparaison de leur comportement électrique.

V.1.1 Structure H7662

La structure H7662 a été épitaxiée dans l'ordre collecteur, base puis émetteur pour réaliser des transistors bipolaires à hétérojonction sur leur substrat d'origine en InP.

Structure épitaxiée

L'empilement des couches épitaxiées de la structure H7662 est donné dans le tableau V.1 ci-dessous :

Couche	Matériau	Dopage [cm ⁻³]	Épaisseur [nm]
Contact émetteur	InGaAs :Si	1×10^{19}	200
Sub-émetteur	InP :Si	1×10^{19}	110
Émetteur	InP :Si	3×10^{17}	60
Base	GaAsSb :C	7.7×10^{19}	36
Collecteur	InP :Si	5×10^{17}	200
Sub-collecteur 1	InP :Si	1×10^{19}	200
Contact collecteur	InGaAs :Si	1×10^{19}	100
Sub-collecteur 2	InP :Si	1×10^{19}	400
Etch stop	InGaAs	nid	60
Buffer	InP	nid	50
Substrat	InP :Fe	semi-isolant	

TAB. V.1: Empilement des couches épitaxiées de l'échantillon H7662

Les caractérisations réalisées par double diffraction de rayons X sur la structure H7662 (figure V.1) montrent une excellente qualité cristalline caractérisée par de nombreux pics latéraux associés à chacune des couches. Le nombre élevé (>10) des pics associés à la couche de base en GaAs_{1-x}Sb_x permet une détermination précise de sa composition en antimoine (x=[Sb]=0.376) et de son épaisseur ($W_b = 36$ nm).

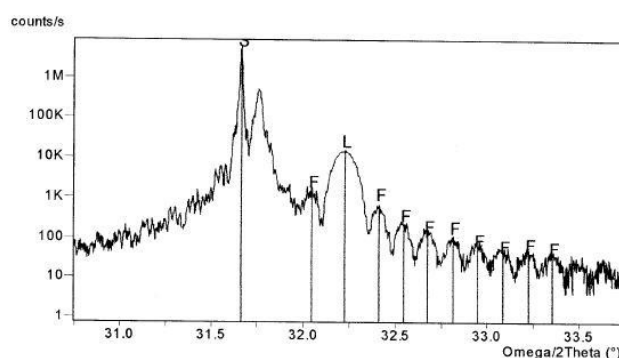


FIG. V.1: Spectre de double diffraction X réalisé sur la plaque H7662

On remarque cependant que la largeur du pic de diffraction de la couche de GaAsSb (la base) est nettement supérieure à celle des couches d'InP (émetteur) et d'InGaAs (contact émetteur) ce qui est attribué à une variation du taux d'antimoine dans l'épaisseur de la couche de base en GaAsSb, elle-même due aux variations des conditions d'épitaxie pendant la croissance de cette couche. Ces variations ont principalement deux origines. D'une part l'effet surfactant de l'antimoine modifie le taux d'antimoine réellement incorporé dans la couche de base au cours de sa croissance. D'autre part la température d'épitaxie varie pendant la croissance de la couche de GaAsSb :C à cause de la modification de l'absorption par cette couche du rayonnement infrarouge issu du four. Ce qui modifie la vitesse de croissance et la composition de la couche. Malgré un important travail d'optimisation empirique des conditions de croissance à Picogiga, le pic associé au GaAsSb reste significativement plus large (FWHM=381s) que celui d'InGaAs (FWHM=90s).

Procédé de fabrication technologique

Les transistors réalisés sur cette structure sont de type double mesa, le contact de base étant auto-aligné sur le mesa émetteur-base (figure V.2). Les dimensions nominales du doigt d'émetteur varient de 5×5 à $50 \times 50 \mu\text{m}^2$. Les valeurs réelles de ces dimensions seront discutées au paragraphe V.2.

La variation de l'aire de la jonction émetteur-base s'étend donc sur deux ordres de grandeur. Cette dynamique est répartie sur dix géométries différentes pour mettre en évidence un éventuel courant de périphérie à la jonction émetteur-base.

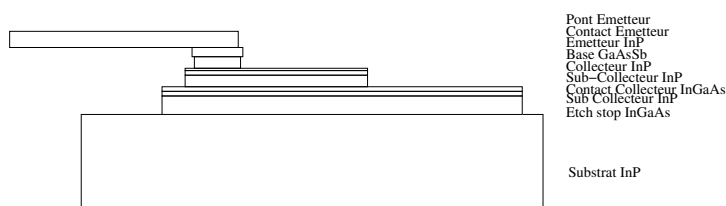


FIG. V.2: Coupe schématique des TBH H7662 réalisés sur leur substrat natif en InP

V.1.2 Structure H7687

La structure H7687 a été épitaxiée dans l'ordre émetteur, base puis collecteur, pour réaliser des TBH sur un substrat hôte. La procédure de report des couches actives inversant l'ordre des couches (Cf. chapitre "Technologie") les couches doivent être épitaxiées dans l'ordre inverse de celles destinées à réaliser des TBH sur leur substrat natif, comme H7662.

Structure épitaxiée

L'empilement des couches épitaxiées dans la structure H7687 est donné dans le tableau V.1.2 ci-dessous. Cet empilement a été conçu pour réaliser, après report des couches actives sur un substrat hôte, des transistors nominalement identiques à ceux de la structure H7662 dont l'empilement est également rapporté dans le tableau V.1.2 ci-dessous. On constate que, hormis le niveau de dopage du collecteur qui joue dans cette étude un rôle mineur, les parties intrinsèques de ces deux structures sont nominalement identiques.

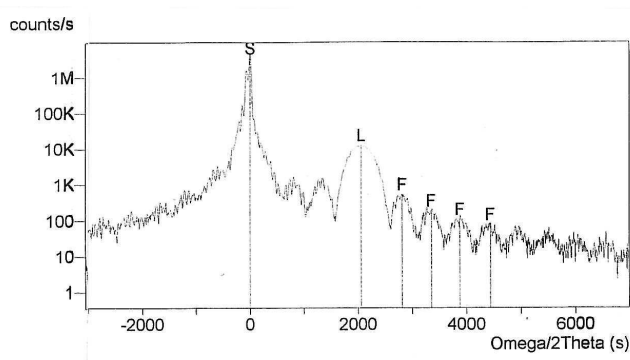


FIG. V.3: Spectre de double diffraction X réalisé sur la plaque H7687

Procédé de fabrication technologique

Les transistors réalisés sur cette structure sont, comme pour ceux réalisés avec la structure H7662, de type double mesa. Le contact de base est auto-aligné sur le mesa émetteur - base (figure V.4). Les dimensions nominales du doigt d'émetteur varient de 5×5 à $50 \times 50 \mu\text{m}^2$. Les valeurs réelles de ces dimensions seront discutées au paragraphe V.2.

La variation de l'aire de la jonction émetteur-base s'étend donc sur deux ordres de grandeur. Cette dynamique est répartie sur dix géométries différentes pour mettre en évidence un éventuel courant de périphérie à la jonction émetteur-base.

Les transistors H7687 sont réalisés après report des couches actives sur un substrat de Pyrex par collage anodique (Cf. chapitre "Technologie") puis retrait du substrat initial en InP par gravure chimique sélective. Les deux couches "etch-stop" permettent pour l'une (en InGaAs) l'arrêt de la gravure du substrat, pour l'autre (en InP) le retrait de la première couche d'arrêt. À la fin de ce procédé les couches actives (contact émetteur, sub-émetteur, émetteur, base et collecteur) décrites dans le tableau V.1.2 sont collées au substrat de Pyrex par l'intermédiaire d'une couche métallique. Cette couche, indispensable au collage anodique, est dans ce procédé composée d'un empilement de quatre couches métalliques : tungstène, or, tungstène et alumi-

nium. L'aluminium, utilisé pour le collage anodique sur le Pyrex permet un collage à une très faible température. Le tungstène est utilisé comme contact Schottky sur la couche collecteur en InP (structures initialement développées dans la thèse de N.Matine ??). Les deux couches d'or/tungstène servent de tampon et de joint d'étanchéité pour l'aluminium lors des procédés de gravure humide.

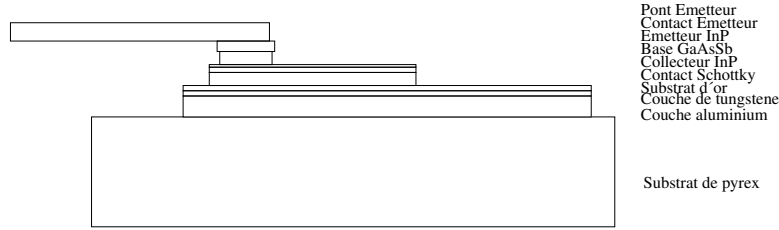


FIG. V.4: Coupe schématique des TBH H7687 réalisés après report des couches actives sur un substrat hôte

Les transistors H7687 sont donc très semblables à ceux de H7662, excepté qu'une couche métallique (W/Au/Al) est placée entre les couches actives et le substrat (figure V.4). Nous verrons dans les différentes parties de ce chapitre comment cette couche métallique influe sur le comportement des TBH reportés.

V.2 Caractéristiques de Gummel à température ambiante

Avant d'entreprendre l'étude détaillée du comportement thermique de ces transistors, nous présentons dans ce paragraphe, leur comportement à température ambiante en examinant pour les deux structures étudiées, leurs caractéristiques de Gummel. Nous nous attacherons ici à déterminer d'une part l'éventuelle existence de courant circulant à la périphérie des jonctions émetteur - base et d'autre part les densités de courant intrinsèques, c'est-à-dire ayant une répartition homogène à l'interface de cette jonction.

V.2.1 Structure H7662

Les caractéristiques de Gummel mesurées sur les transistors H7662 (figure V.5) montrent que le courant collecteur et le courant de base suivent un comportement exponentiel sur près de neuf ordres de grandeur. Les courants de base et de collecteur de l'ensemble des transistors de cet échantillon ont été modélisés par l'expression :

$$I = I_0 \left[\exp\left(\frac{qV_{be}^*}{nk_B T}\right) - 1 \right] \quad (V.1)$$

où I_0 est un préfacteur indépendant de la tension émetteur - base V_{be} , n est le facteur d'idéalité, T la température et V_{be}^* la chute de tension aux bornes de la jonction émetteur-base. Cette dernière s'écrit $V_{be}^* = V_{be} - RI$ où V_{be} est la tension appliquée aux bornes du dispositifs et R la somme des résistances en série avec la jonction émetteur-base.

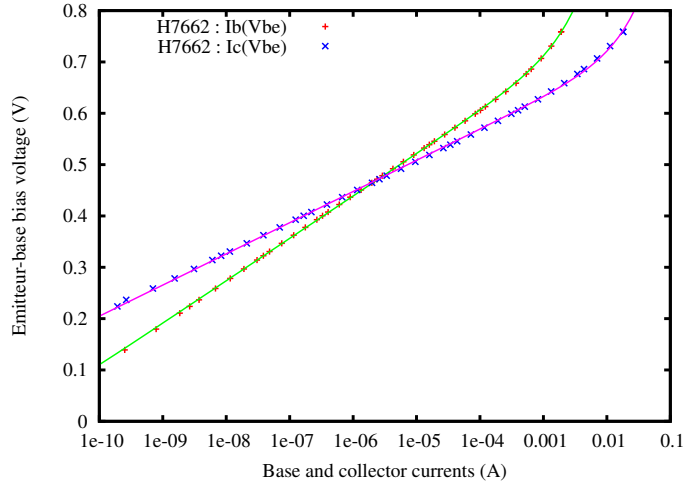


FIG. V.5: *Caractéristique de Gummel d'un transistor typique de l'échantillon H7662. Les marqueurs représentent les points expérimentaux, les lignes continues la meilleure adéquation avec l'expression V.1*

Les facteurs d'idéalité mesurés sur le courant collecteur sont pour tous les transistors extrêmement proches de l'unité. Ce comportement, en accord avec le modèle de Shockley appliqué à l'hétérojonction émetteur-base (type II), est utilisé ici pour déterminer la température T de la jonction émetteur-base. Cette température est ensuite utilisée dans l'adéquation de l'expression V.1 aux courants de collecteur et de base. L'idéalité du courant collecteur est alors fixée égale à l'unité.

Dans ces conditions l'idéalité du courant de base est égale à : $n_b = 1.39$

Les préfacteurs ainsi déterminés montrent un comportement linéaire avec l'aire de jonction émetteur-base (figure V.6). Cet accord a été obtenu en considérant que les dimensions de cette jonction sont les dimensions nominales réduites ou augmentées d'une marge correspondant aux erreurs introduites par la technologie (effets d'ombrage lors des métallisation, développements de la résine, sous-gravure chimique des couches d'émetteur).

La meilleure adéquation avec le comportement linéaire à l'aire de la jonction montrée figure V.6, a été obtenue pour une marge de 480nm (i.e en retrait par rapport aux dimensions nominales) pour le courant collecteur et de 650nm pour le courant de base. La différence entre ces deux valeurs (170 nm) n'est pas significative sur des transistors dont les plus petits doigts d'émetteur mesurent environ $5 \times 5 \mu\text{m}^2$. Les densités de courant ainsi déterminées sont $J_{c0} = 0.18 \text{ fA}/\mu\text{m}^2$ pour le préfacteur du courant collecteur et $J_{b0} = 32 \text{ fA}/\mu\text{m}^2$ pour celui du courant de base.

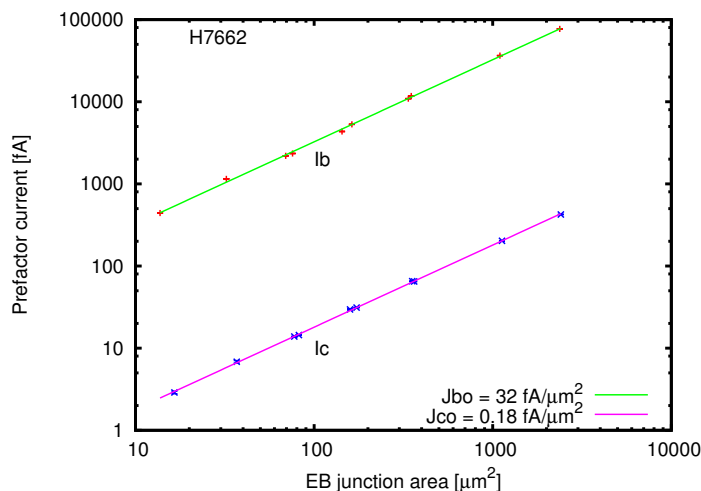


FIG. V.6: Préfacteur des courants de base et de collecteur en fonction de l'aire de la jonction émetteur-base des transistors H7662

En résumé aucun courant circulant à la périphérie de la jonction émetteur - base n'a pu être mis en évidence dans les transistors de la structure H7662, contrairement à ce qui a été rapporté dans la littérature sur certains TBH InP/GaAsSb ??

V.2.2 Structure H7687

Les caractéristiques de Gummel (figure V.7) montrent que le courant collecteur suit, sur plus de dix ordres de grandeur, un comportement exponentiel modélisé par l'expression V.1. Le courant de base montre clairement deux composantes de courant qui peuvent être modélisées par :

$$I = I_{01} \exp \frac{qV_{be}^*}{n_1 k_B T} + I_{02} \exp \frac{qV_{be}^*}{n_2 k_B T} \quad (\text{V.2})$$

Les caractéristiques de Gummel de l'ensemble des transistors de l'échantillon H7687 ont été exploitées à l'aide de l'expression V.1 pour le courant collecteur et de l'expression V.2 pour le courant de base.

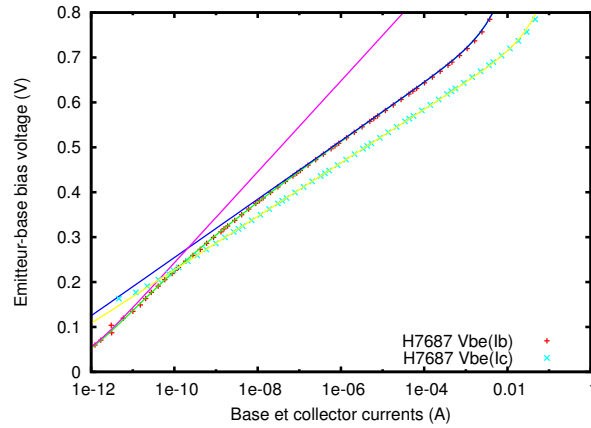


FIG. V.7: *Caractéristique de Gummel d'un transistor typique de l'échantillon H7687. Les marqueurs représentent les points expérimentaux, les lignes continues la meilleure adéquation avec l'expression V.1 pour le courant collecteur et l'expression V.2 pour le courant de base.*

Courant collecteur

Comme dans le cas des transistors H7662, les caractéristiques du courant collecteur montrent une idéalité très proche de l'unité. En fixant cette valeur égale à un, cette caractéristique a été utilisée pour déterminer la température de chaque dispositif, ensuite utilisée dans l'exploitation des courants de base et de collecteur.

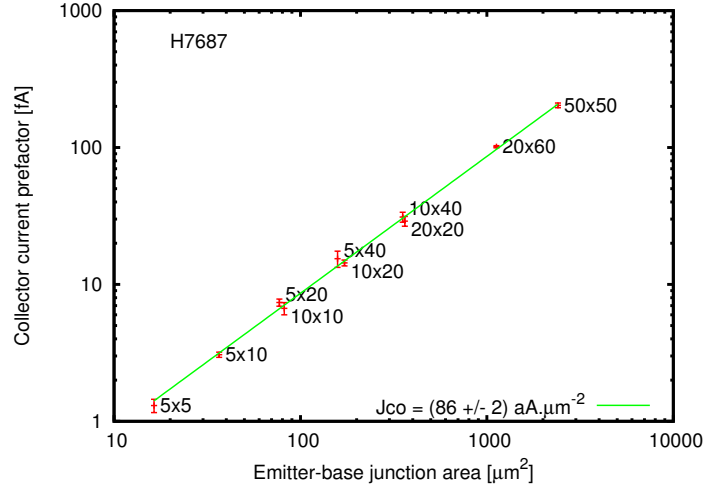


FIG. V.8: Préfacteur du courant collecteur en fonction de l'aire de la jonction émetteur - base. Les marqueurs représentent les points expérimentaux, les barres d'erreur les déviations standard de la distribution des points expérimentaux pour chaque population de transistors et la ligne continue la meilleure adéquation au modèle linéaire.

Le préfacteur I_0 de l'expression V.1 est pour le courant collecteur proportionnel à l'aire de la jonction émetteur - base (figure V.8). Il s'agit du courant porté par les électrons injectés dans la base qui se répartit donc de façon uniforme sur la totalité de l'aire de la jonction émetteur - base. On en déduit la densité de courant collecteur $J_C = J_{C0}[\exp \frac{V_{be}}{k_B T} - 1]$ avec $J_{C0} = (86 \pm 2) \text{ aA} \cdot \mu\text{m}^{-2}$.

Courant de base

La composante du courant de base dominante à fort polarisation présente un coefficient d'idéalité $n_{B1} = 1.09$ sur l'ensemble des transistors mesurés. Le préfacteur correspondant (le terme I_{01} de l'expression V.2) est, comme celui du courant collecteur, proportionnel à l'aire de la jonction émetteur - base (figure V.9). La densité de courant de cette composante du courant de base s'écrit $J_{B1} = J_{B01} \exp \frac{V_{be}}{n_{B1} k_B T}$ avec $n_{B1} = 1.09$ et $J_{B01} = (51 \pm 1) \text{ aA} \cdot \mu\text{m}^{-2}$. Il s'agit d'un courant de recombinaison. Il est "intrinsèque" à la structure H7687 et se répartit de façon homogène sur toute la surface de la jonction émetteur - base.

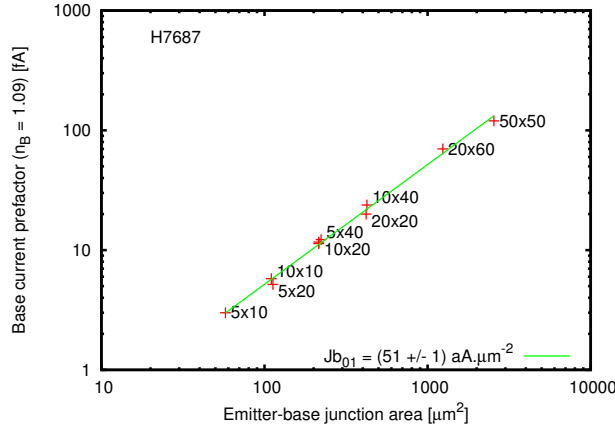


FIG. V.9: Préfacteur de la composante dominante à forte polarisation ($n_{B1} = 1.09$) du courant de base en fonction de l'aire de la jonction émetteur - base. Les marqueurs représentent les points expérimentaux, les barres d'erreur les déviations standard de la distribution des points expérimentaux pour chaque population de transistors et la ligne continue la meilleure adéquation au modèle linéaire.

La valeur du facteur d'idéalité ($n_{B1} = 1.09$) de cette composante du courant de base laisse penser qu'il ne s'agit pas du courant dû à la recombinaison des électrons injectés dans la base. En effet celle-ci affectant une partie des électrons injectés dans la base, le courant qui lui est associé doit présenter le même coefficient d'idéalité que le courant collecteur ($n_c = 1$). Dans notre cas, il s'agirait plutôt de la recombinaison "croisée" entre les électrons de l'émetteur et les trous de la base, mise en évidence expérimentalement dans la thèse de Melania Lijadi [7].

La composante du courant de base dominante à faible polarisation présente d'importantes variations d'un dispositif à l'autre. Comme illustré figure V.10 avec deux dispositifs typiques de l'échantillon H7687, on observe sur des transistors de même géométrie et issus du même échantillon des facteurs d'idéalité variant de $n_{B2} = 1.3$ à $n_{B2} = 2.0$. Cette grande dispersion laisse penser qu'il s'agit d'un effet "extrinsèque" dû à la réalisation technologique.

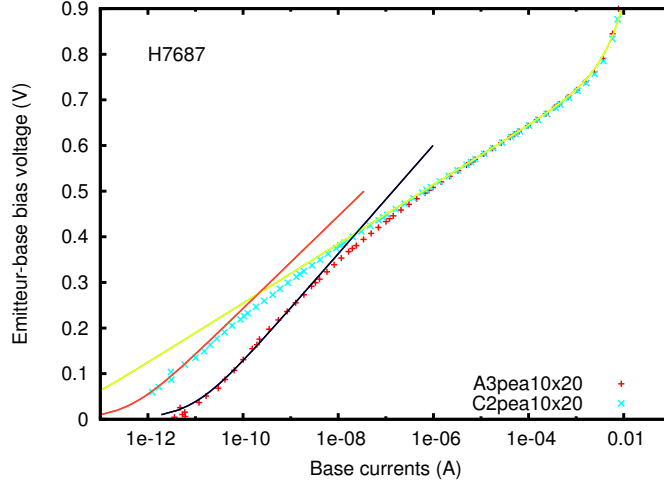


FIG. V.10: Tension émetteur-base en fonction du courant de base de deux transistors de même géométrie (10x20). Les marqueurs représentent les points expérimentaux, les lignes continues les deux composantes du courant de base issues de l'expression V.2 : en jaune $n_{b1} = 1.09$, en bleu $n_{b2} = 2.0$ et en rouge $n_{b2} = 1.7$.

Dans cette dispersion difficile à caractériser, la population majoritaire (39%) présente un coefficient d'idéalité $n_{B2} = 1.3$. Dans cette sous-population le préfacteur (terme I_{B02} de l'expression V.2) est proportionnel au périmètre de la jonction émetteur - base (figure V.11). Ce résultat confirme, sur cette sous-population, la nature "extrinsèque" de cette composante de courant, localisée à la périphérie de la jonction. D'autre part, la forte valeur du coefficient d'idéalité $n_{B2} = 1.3$ suggère qu'il s'agit d'une recombinaison via les niveaux profonds de la bande interdite (modèle Shockley-Read-Hall [96]).

En conclusion cette composante du courant de base peut être attribuée à la présence en surface de l'échantillon de défauts sans doute créés par le procédé de fabrication. Ceux-ci se traduisent par la présence, au voisinage de la surface, de niveaux profonds dans la bande interdite du semiconducteur, générant dans la zone d'espace émetteur - base un courant de recombinaison de type Shockley-Read-Hall.

Notons qu'il s'agit cependant de courants très faibles (dominants dans la gamme 1 pA - 1 nA). Ils ne perturberont donc pas les résultats montrés dans la suite de ce travail qui ont été obtenus à des courants beaucoup plus intenses (gamme $> 1 \mu A$).

Enfin ce résultat montre également que pour les transistors de cette filière utilisés dans les circuits (par exemple ceux du projet ATTHENA), cette composante de courant parasite devra être réduite et maîtrisée, sans doute par un procédé de passivation de la surface au voisinage de la jonction émetteur - base. L'utilisation d'un "ledge" bien qu'altérant quelque peu les conditions d'injection des électrons dans la base devrait donner dans ce système d'excellents résultats.

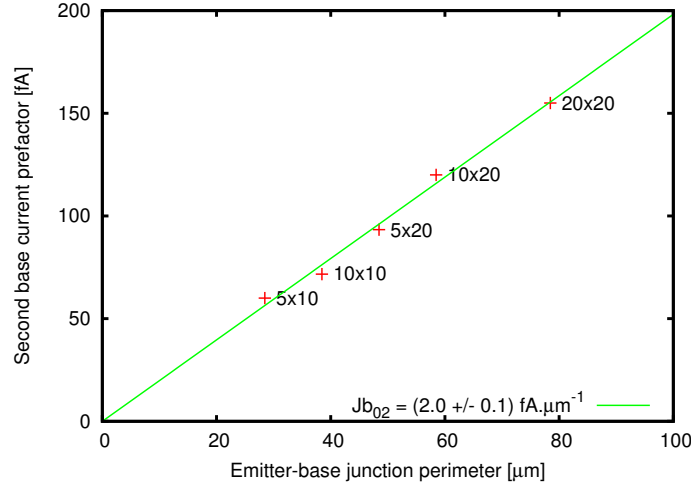


FIG. V.11: Composante $n_{b2} = 1.3$ du courant de base en fonction du périmètre de la jonction émetteur-base.

V.2.3 Comparaison des structures H7662 et H7687

Les TBH de la structure H7662 ont été réalisés sur le substrat natif en InP alors que ceux de la structure H7687 ont été fabriqués après report des couches actives sur un substrat hôte et retrait du substrat initial en InP. Les paramètres des caractéristiques de Gummel issus des mesures décrites plus haut, sont regroupés dans le tableau V.3 :

Echantillon	Jc_0 [aA/μm ²]	nc	Jb_0 [aA/μm ²]	nb
H7662	180 ± 5	1.0	$(32 \pm 1) \times 10^3$	1.39
H7687	86 ± 2	1.0	51 ± 1	1.09

TAB. V.3: Densités de courant et coefficient d'idéalité des courants de collecteur et de base des TBH réalisés sur les structures H7662 et H7687.

Dans le premier cas (H7662) l'émetteur a été épitaxié sur la couche de base en GaAsSb alors que dans le second (H7687) c'est la couche de base qui est épitaxiée sur l'émetteur en InP. Pour interpréter l'impact de cet ordre de croissance sur les caractéristiques électriques de ces transistors, des analyses SIMS ont été réalisées dans ces empilements de couches (collaboration avec François Jomard au GEMaC de Meudon).

Courants de base

La figure V.12 montre le profil d'antimoine dans la structure H7687. On reconnaît la couche de GaAsSb entourée de part et d'autre par une couche d'InP : le collecteur du côté de la surface (faibles profondeurs) et l'émetteur du côté substrat. On constate une très forte asymétrie du profil d'antimoine entre ces deux régions. En effet côté substrat la concentration d'antimoine est trop faible pour être mesurée (sous le seuil de bruit de l'expérience) alors que côté surface elle présente une décroissance exponentielle à partir de la couche de base en GaAsSb avec une longueur caractéristique de 88 nm. Notons que dans cette dernière partie la concentration mesurée est très nettement au dessus du seuil de bruit, entre 10 et 100 fois plus grande.

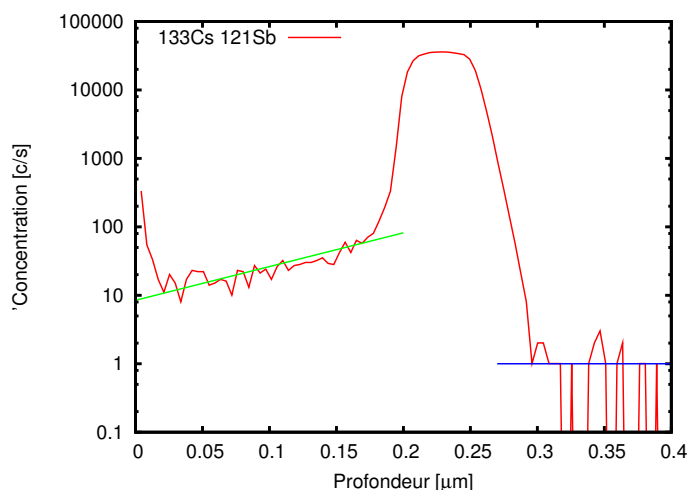


FIG. V.12: Profil SIMS (courbe rouge) de l'antimoine mesuré dans la couche H7687 par détection de l'ion moléculaire $^{133}\text{Cs}+^{121}\text{Sb}$. La ligne continue bleue montre le niveau de bruit dans cette expérience, celle en vert est la modélisation de la décroissance exponentielle du profil d'antimoine dans la couche d'InP avec une longueur caractéristique de la décroissance de 88 nm.

La présence d'antimoine dans la couche d'InP qui a été épitaxiée sur la couche de GaAsSb est due à l'effet surfactant de l'antimoine pendant l'épitaxie. En effet lors de la croissance de la couche de GaAsSb, il se constitue, flottant au dessus du front de croissance une réserve d'antimoine. À l'hétérojonction InP/GaAsSb la cellule d'antimoine est fermée. Le flux d'antimoine étant coupé il n'alimente plus cette réserve qui se résorbe par absorption progressive au cours de la croissance de la couche d'InP. C'est la décroissance exponentielle observée figure V.12. En accord avec cette interprétation, la couche d'InP épitaxiée avant celle de GaAsSb (coté substrat) ne montre pas de concentration mesurable d'antimoine : la cellule d'antimoine n'a pas encore été ouverte au cours de cette épitaxie.

Cet effet surfactant a été pris en compte dans le but d'épitaxier des jonctions InP/GaAsSb avec une transition la plus abrupte possible. En particulier à l'approche de la jonction le flux

d'antimoine est stoppé avant celui d'arsenic de façon à consommer cette réserve d'antimoine surfactant avant de commencer à épitaxier la couche d'InP d'émetteur. Il s'agit d'un réglage pointu de la chronologie des mouvements de caches des cellules. Les structures H7662 et H7687 ont été réalisées après une longue campagne de mise au point de l'épitaxie à la société Picogiga. On peut considérer qu'elles présentent, de ce point de vue, le meilleur compromis.

On peut donc conclure que la présence d'antimoine dans la couche d'émetteur est inévitable lorsque ce dernier est épitaxié sur la couche de GaAsSb. De plus la procédure de réduction de cette présence indésirable étant très pointue, elle introduit des fluctuations d'une épitaxie à l'autre sur la concentration d'antimoine incorporée dans la couche supérieure.

En supposant le rendement SIMS identique dans les couches d'InP et de GaAsSb, on évalue à partir de la concentration d'antimoine dans la couche de GaAsSb ($[Sb]=0.37$ dans H7687), celle dans la couche d'émetteur. Elle varie de 0.1% à l'interface InP/GaAsSb à 0.01% au voisinage de la surface de l'échantillon. Il s'agit donc de faibles concentrations qui sont comparables à celles d'un niveau de dopage (entre 10^{18} et 10^{19} cm^{-3}). La modification des propriétés de la couche d'InP par incorporation d'antimoine dans les sites V du réseau cristallin pour constituer un alliage InPSb est donc à négliger. De plus, la température d'épitaxie utilisée ici pour la couche d'InP ne permet pas l'épitaxie de ce type d'alliage. L'antimoine s'incorpore donc dans cette couche plutôt en position interstitielle, voire sous forme d'agrégats.

Ces défauts cristallins se traduisent par la présence, dans la bande interdite de l'InP, d'une distribution de niveaux localisés. La concentration d'antimoine dans l'InP, évaluée par les mesures SIMS, laisse penser que cette densité d'états localisés est suffisante pour avoir un impact sur les caractéristiques électriques de la jonction émetteur - base. C'est ce que nous allons analyser dans la suite de ce paragraphe.

La recombinaison électron - trou via les états localisés présents dans la bande interdite du semiconducteur est décrite pour le modèle dit de Shockley-Read-Hall [96]. En supposant un seul niveau d'états localisés dont l'énergie est située à mi-gap, ce modèle montre que seuls les états présents dans la zone de charge d'espace émetteur - base au voisinage du point de croisement du niveau intrinsèque et du quasi-niveau de Fermi sont utiles à cet type de recombinaison. Il en résulte un courant de recombinaison proportionnel à $\exp \frac{V_{BE}}{2K_B T}$. L'introduction d'une distribution en énergie plus réaliste des états localisés modifie le facteur d'idéalité de cette composante de courant qui pourra être comprise entre 1 et 2.

Pour conclure, la structure H7662 dont l'émetteur en InP présente une concentration d'antimoine évaluée à 0.1% à l'interface émetteur - base, montre un courant de base ayant un coefficient d'idéalité de $n_{B1} = 1.39$. En revanche la structure H7687 dont l'émetteur ne contient pas d'antimoine montre un courant de base avec une idéalité $n_{B1} = 1.09$. Cette différence nous a permis d'attribuer l'origine du courant de base de la structure H7662 aux recombinaisons de type Shockley-Read-Hall sur les défauts induits par la présence d'antimoine dans la couche d'émetteur. Le courant de base observé dans la structure H7687 a été attribué à la recombinaison "croisée" des électrons de l'émetteur avec les trous de la base au voisinage de l'hétérojonction de type II.

Courants collecteur

La densité de courant collecteur est environ deux fois plus élevée dans la structure H7662 (émetteur en InP épitaxié sur la base en GaAsSb) que dans la structure H7687. En supposant

toute chose égale par ailleurs, ce rapport de courant correspond dans le modèle de Schockley à une différence de hauteur de barrière de 19 meV. Dans ce paragraphe nous allons chercher les causes possibles de cette asymétrie.

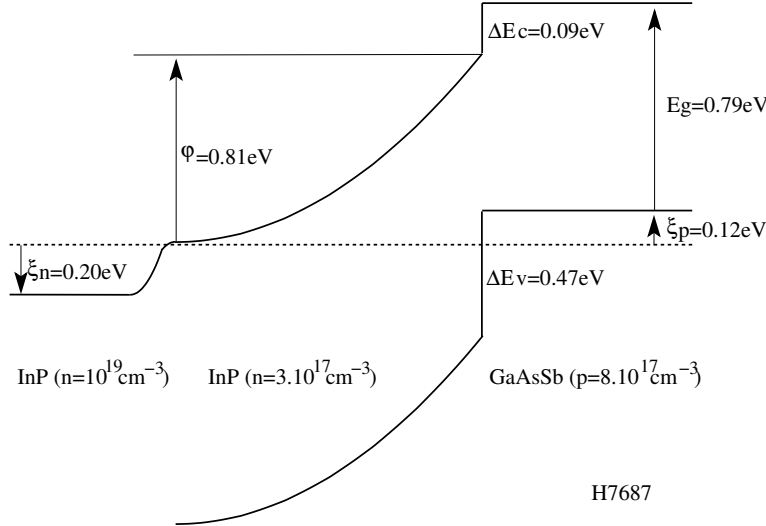


FIG. V.13: Diagramme de bande de la jonction émetteur - base. Les données numériques sont celles de la structure H7687

La hauteur de la barrière de potentiel (figure V.13) vue par les électrons injectés dans la base est égale à la distance en énergie entre le niveau de Fermi dans l'émetteur et le minimum de la bande de conduction dans la base. Elle se décompose en deux parties : la barrière de potentiel électrostatique (ϕ) contenue dans la zone de charge d'espace et la discontinuité de bande de conduction (ΔE_C). Elle s'écrit :

$$\phi + \Delta E_C = E_g + \xi_P \quad (V.3)$$

où E_g est la largeur de bande interdite du matériau de base et ξ_P la distance en énergie entre le niveau de Fermi dans la base et le maximum de la bande de valence. On notera qu'une modification de la discontinuité de bande de conduction ΔE_C ne modifie pas la hauteur de barrière totale (définie par la somme $E_g + \xi_P$ mais uniquement la barrière de potentiel électrostatique ϕ .

L'énergie de dégénérescence $\xi_P = E_V^{Base} - E_F^P$ dépend du niveau de dopage dans la base. Celui-ci a été mesuré par effet Hall. On trouve $N_A = 7.75 \times 10^{19} \text{ cm}^{-3}$, dans la structure H7662 et $N_A = 8.0 \times 10^{19} \text{ cm}^{-3}$ dans H7687. L'énergie ξ_P présente donc une différence d'environ 3 meV entre ces deux structures. La différence des niveaux de dopage entre les deux épitaxies introduit donc une réduction de la hauteur de barrière d'environ 3 meV dans la structure H7662 par rapport à celle de H7687. Cet effet n'est pas négligeable mais il est insuffisant pour expliquer la différence de 19 meV observée. La largeur de bande interdite du GaAsSb est principalement définie par sa composition de l'alliage. Les effets de renormalisation du gap ne peuvent pas expliquer la différence observée puisque, comme on vient de la voir, le niveau de dopage est à peu près le même dans les deux structures. La composition d'antimoine a été mesurée par double diffraction de rayons X dans les deux structures (figures V.1 et V.3). Les compositions d'antimoine mesurées sont très proches l'une de l'autre ([Sb]=37.6% dans H7662 et [Sb]=37.4% dans H7687). Dans les deux cas le pic de diffraction correspondant à la couche de GaAsSb est plutôt

large, il indique une composition moyenne d'antimoine. Pour mettre en évidence une éventuelle gradualité de composition, nous avons réalisé des analyses SIMS de couches de GaAsSb en collaboration avec François Jomard au GEMaC de Meudon. Pour rendre cette gradualité observable au SIMS nous avons étudiées des couches de GaAsSb plus épaisses (environ 100 nm) que celles habituellement utilisées pour la base. La figure V.14 montre le profil du rapport des concentrations $^{121}\text{Sb}/^{75}\text{As}$ mesurées au SIMS dans deux couches (H7711 et H7712) de 100 nm d'épaisseur. On constate que dans les deux cas, ce rapport présente une pente de $0.87 \mu\text{m}^{-1}$. Les couches de GaAsSb épitaxiées dans ces conditions présentent donc un gradient de composition d'alliage conduisant à une largeur de bande interdite plus faible coté substrat que coté surface. L'expression théorique de la largeur de bande interdite en fonction de la composition d'alliage [?] donne au voisinage de la composition moyenne mesurée par DDX une différence de largeur de bande interdite de 28 meV entre les deux extrémités de cette couche. Les mesures de photo - luminescence en fonction de la puissance incidente faites sur ces échantillons à l'INSA de Lyon [97], ont montré que cette différence est au moins égale à 12 meV.

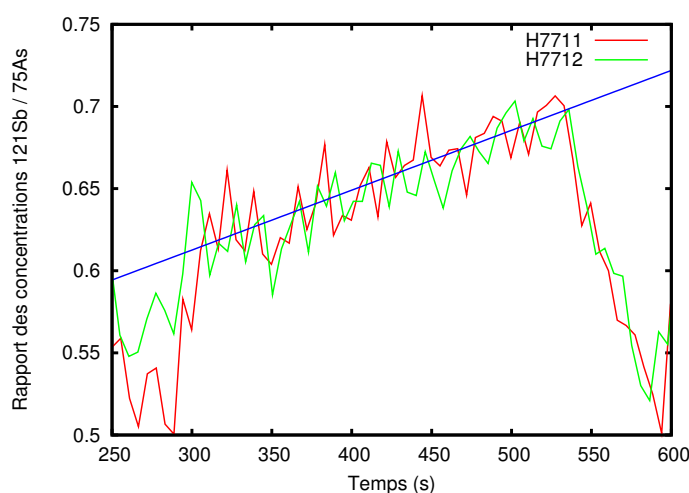


FIG. V.14: Profil SIMS du rapport des concentrations $^{121}\text{Sb}/^{75}\text{As}$ dans deux couches (H7711 et H7712) de GaAsSb de 100 nm d'épaisseur (entre $t=300\text{s}$ et $t=540\text{s}$)

En supposant que le gradient de composition observé dans les couches H7711 et H7712 soit identique dans les couches H7662 et H7687 (les conditions d'épitaxie ont été conservées) on en déduit que la composition d'alliage de la couche de GaAsSb varie autour de sa composition moyenne mesurée par DDX, allant pour H7687 de $[\text{Sb}]=36.8\%$ coté surface à $[\text{Sb}]=38.0\%$ coté substrat. Cette variation introduit une variation de la largeur de bande interdite de 12 meV tant dans la structure H7662 que dans H7687.

L'effet de cette différence de largeur de bande interdite d'un bout à l'autre de la base, ajouté à celui dû à la différence de dopage mesuré d'un échantillon à l'autre, n'est pas suffisant pour expliquer la différence de hauteur de barrière émetteur - base observée (12+3meV au lieu des 19meV observés). Cependant l'introduction d'une variation de la largeur de bande interdite

dans la couche de base modifie également le transport des électrons injectés dans la base.

La base des TBH étant uniformément dopée et les trous à l'équilibre thermodynamique l'énergie E_V du minimum de la bande de valence et le niveau de Fermi des trous E_F^P sont constants dans toute la base. La variation de la largeur de bande interdite se traduit donc par la présence d'un gradient de l'énergie E_C du minimum de la bande de conduction, c'est à dire la présence d'un quasi-champ électrique (environ 1 kV/cm) pour les électrons injectés dans la base par l'émetteur. La bande interdite du GaAsSb étant plus faible du côté substrat, ce quasi-champ électrique crée une composante de dérive qui s'additionne à la composante de diffusion dans la structure H7662 alors qu'elle s'oppose à cette dernière dans la structure H7687.

En conclusion, le rapport (proche de 2) observé entre les courants collecteur des structures H7662 et H7687 s'explique principalement par une variation de la composition d'antimoine dans la couche de base (gradient de $0.87 \mu\text{m}^{-1}$) qui a deux effets sur le transport électronique dans cette couche :

- La hauteur de barrière vue par les électrons injectés dans la base est plus faible (environ 12 meV) dans la structure H7662 (émetteur épitaxié coté surface) que dans H7687 (émetteur épitaxié coté substrat).
- Le gradient de composition dans la couche de GaAsSb impose la présence d'un quasi - champ électrique (environ 1 kV/cm) qui crée une composante de dérive au courant collecteur. Cette dernière s'additionne à la composante de diffusion (i.e. augmente le courant collecteur) dans la structure H7662 alors qu'elle s'y oppose dans la structure H7687 (le courant collecteur est réduit).

V.2.4 Conclusions

Dans cette partie nous avons caractérisé les courants de base et de collecteur des TBH InP/GaAsSb reportés sur substrat hôte en les comparant à leurs homologues réalisés sur leur substrat natif. Nous avons montré que :

- Dans les transistors non-reportés le courant de base est dominé par un courant de recombinaison de type Shockley-Read-Hall ($n_B = 1.39$) lié à la présence d'antimoine dans l'émetteur en InP.
- Dans les transistors reportés sur substrat hôte, le courant de base est dominé par les recombinaisons croisées (type II) à l'hétérojonction émetteur - base et présente un coefficient d'idéalité proche de l'unité $n_B = 1.09$ sur une très large plage de courant de courant collecteur ($> 1\text{nA}$).
- Le courant de collecteur des TBH reportés est réduit par un facteur proche de deux par rapport aux TBH non - reportés. Cette réduction s'explique par un gradient de la composition d'alliage dans la base en GaAsSb, conduisant à une largeur de bande interdite plus forte coté substrat que coté surface. Il en résulte (i) une légère augmentation de la hauteur de barrière de la jonction émetteur - base (évaluée à 12 meV) et (ii) un quasi - champ électrique (1 kV/cm) dans la base qui crée une composante de dérive qui s'oppose dans les transistors reportés à celle de diffusion.

La suppression dans les TBH reportés de la composante à fort coefficient d'idéalité $n_B = 1.39$ se traduit par une très faible dépendance du gain en courant avec le courant collecteur. En supprimant dans les circuits l'utilisation de fortes densités de courant collecteur pour obtenir des gains en courant plus élevés, ces transistors permettront une conception plus aisée des circuits

de puissance, comme il a été mis en évidence au cours du programme ATTHENA de l'ANR.

V.3 Coefficient thermo-électrique

Dans cette section nous étudions la dépendance du courant collecteur des transistors bipolaires à hétérojonction InP/GaAsSb/InP avec la température. Nous allons montrer que cette dépendance, intrinsèque à la nature bipolaire du transistor, est pour ces transistors particulièrement faible, en particulier pour les transistors reportés sur substrat hôte. Cette stabilité thermique, point-clef pour les applications de puissance, renforce le potentiel du TBH InP/GaAsSb pour ce type d'applications.

V.3.1 Définition du coefficient thermo-électrique

Le courant des électrons injectés dans la base est commandé par la barrière de potentiel (expression V.3) contenue dans l'hétéjonction émetteur - base (figure V.13). Sous polarisation directe V_{be} la hauteur de barrière s'écrit :

$$\begin{aligned}\varphi_{tot} &= \varphi + \Delta E_C - V_{be} \\ &= E_g^{Base} + \xi_P - V_{be}\end{aligned}\quad (V.4)$$

En supposant un transport électronique de nature diffusive (les populations électroniques sont en tout point de la jonction à l'équilibre thermodynamique) le contrôle de cette barrière sur le courant porté par les électrons injectés dans la base s'écrit, d'après le modèle de Shockley :

$$J_C = J_0 \exp\left(-\frac{\varphi_{tot}}{k_B T}\right) \quad (V.5)$$

où J_0 est une constante. En introduisant dans cette expression, celle de la hauteur de barrière de potentiel de l'expression V.4, il vient :

$$J_C = J_0 \exp\left(\frac{V_{be} - E_g^{Base} - \xi_P}{k_B T}\right) \quad (V.6)$$

Cette expression contient une dépendance explicite avec la température par le terme $k_B T$. Elle contient également une dépendance implicite via les termes du numérateur, la plus importante venant de la largeur de bande interdite E_g^{Base} . Ces termes étant dans l'argument de l'exponentielle, le courant collecteur présente une très forte dépendance avec la température. Pour stabiliser le comportement du transistor nous préférons étudier à courant constant les variations de la tension émetteur - base. D'après l'expression V.6 elle s'écrit :

$$V_{be} = E_g^{Base} + \xi_P + k_B T \log\left(\frac{J_C}{J_0}\right) \quad (V.7)$$

La dépendance explicite donne ici une dépendance linéaire de V_{be} avec la température et avec le logarithme du courant collecteur. La dépendance implicite avec la température due au terme

E_g^{Base} n'étant pas clairement établie dans la littérature nous définissons un coefficient de rétroaction global de la température sur la caractéristique courant - tension en accord avec les travaux de W. Liu [95] :

$$\phi = \left(\frac{\partial V_{be}}{\partial T} \right)_{I_c} \quad (V.8)$$

Il s'agit d'un coefficient effectif, appelé "coefficient thermo-électrique" regroupant l'ensemble des causes de variation avec la température. Il présente un double avantage. Il est, comme nous le verrons plus loin, directement accessible par des mesures électriques. D'autre part la "faible" dépendance de V_{be} avec la température (par rapport à celle, exponentielle, du courant) assure la stabilité de sa mesure.

V.3.2 Mesure du coefficient thermo-électrique

La détermination du coefficient ϕ de rétroaction thermo-électrique est réalisée à partir d'un ensemble de mesures de caractéristiques de Gummel (mesures des courants de base et de collecteur en fonction de la tension émetteur - base dans un montage base commune) réalisées à différentes températures de substrat. Dans les parties de la caractéristique où les courants base et collecteur sont suffisamment faibles pour rendre négligeables à la fois les chutes de tension dans les résistances série et les effets d'échauffement (Cf. paragraphe V.4) la caractéristique de courant collecteur est modélisée par l'équation V.6.

Le coefficient ϕ est ensuite déterminé en calculant, à courant collecteur donné, la pente de la fonction $V_{be} = f(T)$ (figure V.15). La dépendance linéaire de V_{be} avec T permet la détermination du coefficient ϕ par une régression linéaire sur un domaine de température assez large pour assurer une précision de quelques pourcent.

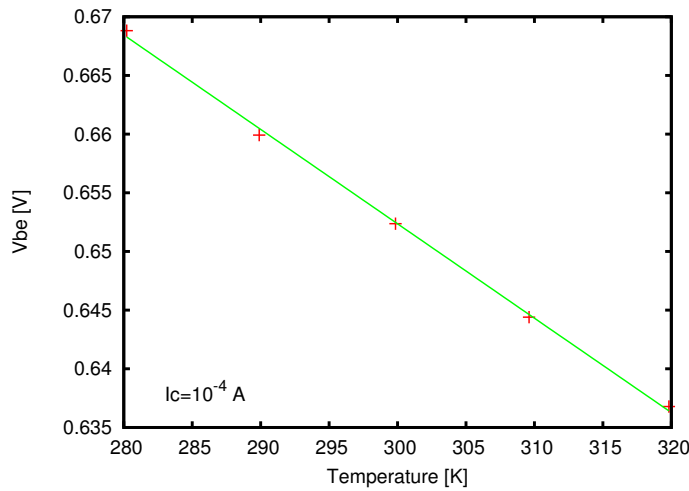


FIG. V.15: Tension émetteur - base en fonction de la température pour un courant collecteur de 100 μ A.

La variation du coefficient thermoélectrique ϕ avec le courant collecteur est tracée figure V.16. Les deux échantillons de TBH InP/GaAsSb/InP de cette étude (H7662 et H7687) ont été mesurés. Les transistors H7662 ont été réalisés sur leur substrat initial en InP. Les transistors H7687 ont été réalisés dans le procédé de report de substrat (voir paragraphe V.1). À titre de comparaison nous avons également tracé sur cette figure les coefficients ϕ mesurés par W. Liu sur des TBH InP/InGaAs et AlGaAs/GaAs [94].

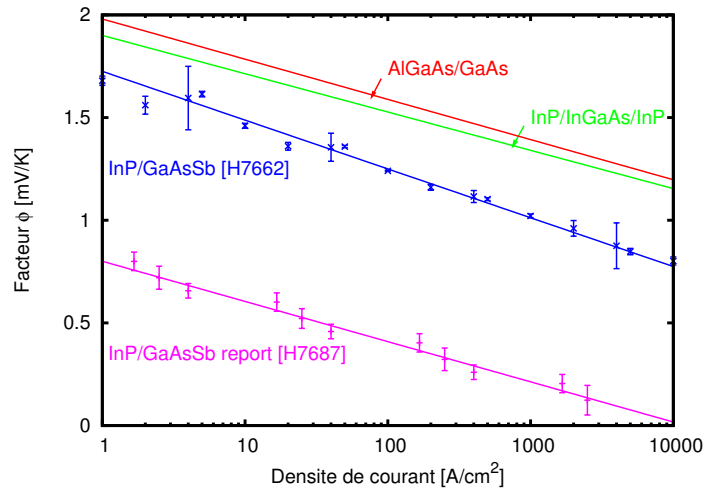


FIG. V.16: Coefficient de rétroaction thermo-électrique en fonction de la densité de courant collecteur. Les doigts d'émetteur des transistors InP/GaAsSb se répartissent dans la gamme $5 \times 20\mu\text{m}^2$ à $50 \times 50\mu\text{m}^2$, les autres mesurent $2 \times 20\mu\text{m}^2$ pour les TBH InP/InGaAs et $2 \times 30\mu\text{m}^2$ pour AlGaAs/GaAs [94].

Dans tous les cas on observe une dépendance linéaire du coefficient ϕ avec le logarithme du courant collecteur dont les paramètres sont regroupés dans le tableau V.4 ci-dessous.

Matériaux	Coefficient ϕ [mV/K]	Référence
AlGaAs / GaAs	$\phi = 1.98 - 0.085 \log(J_C)$	[94]
InP / InGaAs / InP	$\phi = 1.90 - 0.081 \log(J_C)$	[94]
InP / GaAsSb / InP (non reporté)	$\phi = 1.72 - 0.103 \log(J_C)$	Ech. H7662.2
InP / GaAsSb / InP (reporté)	$\phi = 0.80 - 0.085 \log(J_C)$	Ech. H7687.4

TAB. V.4: Coefficients ϕ en fonction de courant collecteur (exprimé en A.cm^{-2}) pour différents types d'hétérostructure.

V.3.3 Discussion

Sur la figure V.16 on remarque que les TBH utilisant les matériaux du système AlGaAs/GaAs et InP/InGaAs présentent à peu près les mêmes valeurs du coefficient ϕ . C'est ce genre de remarque qui a conduit à considérer que les valeurs du coefficient ϕ sont à peu près les mêmes d'un système de matériaux à l'autre [94]. Si ces deux systèmes de matériaux donnent des valeurs voisines le système InP/GaAsSb présente un coefficient ϕ nettement plus faible.

Nous attribuons cette différence de comportement à la nature de l'hétérojonction émetteur - base. En effet, dans le cas des systèmes InP/InGaAs et AlGaAs/GaAs, cette hétérojonction est de type I pour laquelle la relation liant la tension V_{be} à la température T s'écrit :

$$V_{be} = E_g^{Base} + \Delta E_C + \xi_P + k_B T \log\left(\frac{J_C}{J_0}\right) \quad (V.9)$$

Comme pour les hétérojonctions de type II (équation V.7), les hétérojonctions de type I montrent une dépendance de V_{be} linéaire avec la température et le logarithme du courant collecteur (traits continus de la figure V.16). En revanche le terme indépendant du courant est, pour les hétérojonctions de type I, composé des dépendances cumulées de la largeur de bande interdite E_g^{Base} et de la discontinuité de bande de conduction ΔE_C . Il est généralement admis dans la littérature que ces deux quantités varient de façon identique avec la température. La variation de largeur de bande interdite étant dans cette gamme de température à peu près la même d'un matériau à l'autre, on s'attend à un terme constant (valeur de ϕ pour $J_C = 1 \text{ A.cm}^{-2}$) environ deux fois plus faible pour les hétérojonctions de type II que pour les hétérojonctions de type I. Ceci est effectivement observé pour les transistors réalisés sur la structure H7687 après report sur substrat hôte.

Les transistors de structure H7662 montre un coefficient thermo-électrique ϕ nettement plus élevé que celui mesuré sur H7687. Il n'a pas été possible d'identifier l'origine de cet écart. On remarque cependant que les transistors H7662 ont une teneur en antimoine dans l'émetteur (épitaxié sur la base en GaAsSb) de l'ordre de 1% à l'interface émetteur-base (voir le paragraphe V.2.3). La variation de l'état de charge de cette dernière avec la température pourrait introduire une modification de la barrière de potentiel émetteur - base et conduire à une valeur du coefficient ϕ anormalement élevé pour ce système de matériaux.

V.3.4 Conclusion

En conclusion, le coefficient thermo-électrique ϕ qui mesure la sensibilité du transistor à l'élévation de température est significativement plus faible (facteur 2.5) dans les TBH InP/GaAsSb que dans les autres filières (InP/InGaAs et AlGaAs/GaAs). Nous avons pu mettre en évidence cette réduction, intrinsèque aux hétérojonctions de type II, sur les transistors reportés sur substrat hôte pour lesquels l'émetteur en InP ne contient pas d'antimoine. La faible valeur du coefficient thermo-électrique ϕ , est un point important pour les applications de puissance des TBH InP/GaAsSb. En effet, avec une faible rétro-action entre la température et le courant, ces transistors présentent une stabilité thermique accrue [94] par rapport à ceux des autres filières.

V.4 Résistance thermique des TBH

V.4.1 Mesure de la température interne du transistor

La mesure de la résistance thermique (R_{th}) séparant le transistor du thermostat placé sur la face arrière du substrat met à profit la possibilité de commander les deux jonctions du transistor indépendamment l'une de l'autre. En effet en utilisant d'une part la jonction émetteur - base comme sonde de la température (T_E) de l'émetteur et d'autre part la jonction base - collecteur comme source réglable de la puissance (P) dissipée dans le transistor, il est possible de déterminer la résistance thermique (R_{th}) définie par :

$$R_{th} = \frac{T_E - T_0}{P} \quad (V.10)$$

où T_0 est la température du thermostat. Dans un transistor bipolaire le courant collecteur s'écrit en fonction de la tension externe (V_{be}) appliquée à la jonction émetteur - base sous la forme :

$$I_c = I_{c0}^* \exp \left[\frac{V_{be} - (R_e I_e + R_b I_b) - E_g(T)}{nk_B T} \right] \quad (V.11)$$

où I_{c0}^* est le courant de saturation modifié, R_e et R_b les résistances d'accès à l'émetteur et à la base et $E_g(T)$ la largeur de bande interdite du semiconducteur constituant la base, ici en GaAsSb. À courant collecteur donné, il existe donc une relation bijective liant la tension émetteur - base V_{be} à la température T . Cette relation permet donc en théorie la détermination de la température (T) des électrons de l'émetteur par la mesure de la tension émetteur - base (V_{be}) à courant collecteur (I_c) donné. En pratique la complexité de la dépendance de la largeur de bande interdite $E_g(T)$ avec la température, la présence des termes dus aux résistances d'accès R_e et R_b ainsi que la possible différence (voir chapitre III) entre la température de la base (utilisée ici dans le terme $E_g(T)$) et celle de l'émetteur (utilisée au dénominateur), ne permettent pas une détermination directe de la température connaissant la valeur de V_{be} . Une procédure de calibrage est donc nécessaire pour déterminer, pour une valeur du courant collecteur donnée, la relation empirique liant la température (T) des électrons de l'émetteur à la tension émetteur - base (V_{be}).

V.4.2 Puissance dissipée dans le transistor

La puissance dissipée dans le transistor en fonctionnement correspond au bilan des échanges d'énergie entre les porteurs véhiculant les différents courants et le réseau cristallin. Ces échanges se font par émission et absorption de phonons. Examinons en détail ces bilans dans les deux jonctions du transistor lorsque ce dernier est en mode de fonctionnement normal : jonction émetteur - base polarisée en directe, jonction base - collecteur en inverse.

Grâce à la très forte discontinuité de bande de valence, le flux de porteurs dans les TBH InP/GaAsSb/InP est essentiellement un flux d'électrons. Dans la suite de ce paragraphe nous négligerons les courants de trous. Lorsqu'un électron traverse une des jonctions du transistor il subit une variation de potentiel φ égale à la hauteur de barrière de la jonction polarisée :

$$\varphi = \varphi_0 - V_{appl} \quad (V.12)$$

où ϕ_0 est la hauteur de barrière au repos (le potentiel de diffusion de la jonction) et V_{appl} la tension interne appliquée à la jonction. La population électronique étant à l'équilibre thermodynamique avec le cristal dans chacune des zones de quasi-neutralité situées de part et d'autre de la jonction, les électrons qui franchissent la jonction dans le sens p vers n cèdent au réseau cristallin une énergie moyenne par électron égale à ϕ alors que ceux qui traversent la jonction dans l'autre sens prélèvent au réseau cette même quantité d'énergie. La puissance (P) échangée dans cette jonction (la puissance dissipée est ici notée positivement) s'écrit donc :

$$\begin{aligned} P &= \phi I_{p \rightarrow n} - \phi I_{n \rightarrow p} \\ &= I(\phi_0 - V_{appl}) \end{aligned} \quad (V.13)$$

où $I = I_{p \rightarrow n} - I_{n \rightarrow p}$ est le courant total traversant la jonction. La puissance dissipée dans la jonction base - collecteur est donc égale à : $I_c(\phi_0^c - V_{bc})$. Dans la jonction émetteur - base elle s'écrit : $-I_e(\phi_0^e - V_{be})$. En remarquant qu'il s'agit ici d'un transistor symétrique InP/GaAsSb/InP (les potentiels de diffusion ϕ_0^c et ϕ_0^e des deux jonctions sont égaux), la puissance totale dissipée dans le transistor en régime de fonctionnement normal s'écrit :

$$\begin{aligned} P &= I_c(\phi_0 - V_{bc}) - I_e(\phi_0 - V_{be}) \\ &= I_c V_{ce} + I_b(V_{be} - \phi_0) \end{aligned} \quad (V.14)$$

Le deuxième terme est en général négligeable devant le premier. En effet le courant de base I_b est généralement beaucoup plus faible que le courant collecteur I_c (gain en courant supérieur à 10). De plus le terme $V_{be} - \phi_0$ est de l'ordre de quelques centaines de meV alors que V_{ce} peut être de plusieurs volts. Dans la littérature ce deuxième terme est, en effet, souvent négligé devant le premier.

Remarquons que nous avons négligé la puissance ($P_J = R_s I^2$) dissipée par effet Joule dans les résistances d'accès (R_s) au transistor. Les mesures de résistances thermiques devront donc être faites à des courants suffisamment faibles pour que ces termes soient négligeables devant celui de l'expression V.14.

D'autre part nous avons jusqu'ici considéré que le transistor est isotherme. Les simulations ont montré qu'au contraire la répartition des flux de chaleur allant directement au substrat ou à travers les ponts de connexion d'une part et les différents matériaux constituant le transistor d'autre part imposent des gradients de température à l'intérieur même du transistor. Les mesures des résistances thermiques devront donc être faites à faible puissance dissipée de façon à minimiser les différences de température dans le transistor.

V.4.3 Protocole de mesure

La mesure des résistances thermiques reliant les transistors au thermostat est réalisée dans un cryostat ce qui améliore la fiabilité des mesures et supprime la contribution due à la convection. En effet les conditions de vide à l'intérieur du cryostat ($P \approx 1$ Pa) suppriment les échanges de chaleur par convection par manque de gaz vecteur. D'autre part un écran thermique placé autour de l'échantillon est maintenu à la température de l'azote liquide. L'échantillon reçoit

donc un rayonnement négligeable par rapport à celui qu'il émet. Ce dernier point tend à améliorer le refroidissement du transistor donc à sous-estimer la résistance thermique mesurée. Nous avons expérimentalement montré que cet effet est négligeable et nous avons maintenu l'écran thermique froid qui nous assure comme nous le verrons par la suite une grande stabilité de température donc une meilleure reproductibilité de nos mesures. Enfin ces mesures sont réalisées dans des conditions d'obscurité poussée ce qui supprime toute contribution d'éventuels photo - courants.

Le thermostat est constitué par le porte - échantillon du cryostat. Il est équipé d'une régulation thermique et d'une sonde de température. Un excellent contact thermique est réalisé entre ce porte - échantillon et la face arrière de l'échantillon grâce à un montage à la pâte thermique.

La température du thermostat est d'abord stabilisée avec soin. Un PID assure dans un premier temps la convergence vers la température souhaitée. Dans un deuxième temps la température est maintenue constante en figeant les conditions de refroidissement (flux d'azote liquide) et de chauffage (puissance électrique dans la résistance chauffante). Ces conditions permettent une stabilité de la tension mesurée sur la sonde de température (diode Lakeshore DT400) d'environ $2 \text{ à } 3 \times 10^{-5} \text{ V}$, ce qui correspond à des fluctuations de température inférieures à 0.1 K .

Le transistor est câblé dans un montage en base commune. Chaque électrode est contrôlée séparément par un source - mètre (SMU), ces trois appareils partageant la même référence de potentiel (figure V.17). Le SMU de base impose un potentiel nul à l'électrode de base ($V_b = 0$) et mesure le courant de base (I_b). Le SMU d'émetteur impose un courant émetteur (I_e) constant et mesure le potentiel de l'émetteur (V_e). Le SMU de collecteur impose le potentiel de collecteur (V_c) et mesure le courant collecteur (I_c). Les tensions base - collecteur (V_{bc}) et émetteur - base (V_{be}) sont obtenues par différence.

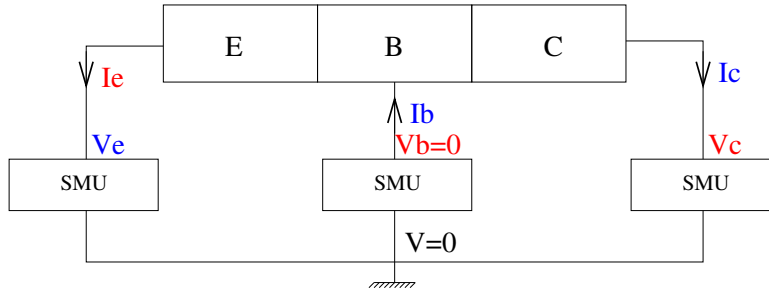


FIG. V.17: Schéma électrique du montage base commune utilisé. Les grandeurs imposées sont notées en rouge, les grandeurs mesurées en bleu.

Les courants I_b et I_c dans les jonctions polarisées entraînent un échauffement contrôlé du transistor (équation V.14). La mesure de la température de l'émetteur est réalisée par celle de la tension V_{be} à courant I_e donné (équation V.11).

En pratique, pour chaque température stabilisée du porte - échantillon, on impose le courant émetteur (I_e) et la tension base - collecteur (V_{bc}). On enregistre pendant plusieurs secondes l'évolution de la tension émetteur - base (V_{be}) et des courants de base (I_b) et de collecteur (I_c). Les valeurs retenues pour les mesures sont issues du comportement asymptotique observé sur chacune de ces grandeurs, ce qui d'une part garantit que l'équilibre thermique a été atteint et d'autre part permet de réduire le bruit sur chaque mesure. L'enregistrement de la température du porte - échantillon permet de plus de vérifier que sa température est restée dans une gamme

acceptable de fluctuations. En effet on observe une élévation de la température du thermostat lorsque la puissance dissipée dans le transistor est trop forte ($>10\text{mW}$ dans notre cas). Ce dernier point impose donc pour ces mesures une borne maximale à la puissance dissipée dans le transistor. En pratique les mesures ont été réalisées pour des puissances comprises entre 3 et 8 mW.

L'exploitation des mesures ainsi réalisées se fait en deux temps.

Calibrage de la mesure de la température

Dans un premier temps la variation de la tension émetteur - base (V_{be}) avec la puissance dissipée ($P = I_c V_{ce}$) est mise en adéquation avec un loi linéaire. L'extrapolation à puissance nulle donne la valeur de la tension V_{be} correspondant à la température des électrons de l'émetteur égale à celle du thermostat pour la valeur imposée du courant émetteur (I_e). Cette détermination est réalisée pour toutes les températures mesurées sur ce dispositif. L'ensemble des couples (T, V_{be}) ainsi déterminés permet de construire la relation de calibrage de la mesure de la température par adéquation d'une loi linéaire aux points expérimentaux (figure V.18).

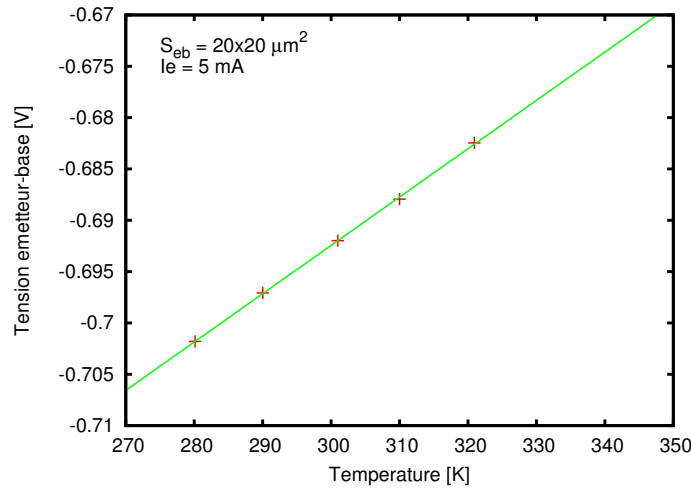


FIG. V.18: Tension émetteur - base à courant émetteur fixé en fonction de la température du thermostat. Les points sont issus de l'extrapolation à puissance nulle des mesures de V_{be} en fonction de la puissance dissipée. La courbe en trait continu est la meilleure adéquation d'une loi linéaire aux valeurs expérimentales.

Détermination de la résistance thermique

La relation de calibrage de la mesure de la température à partir de celle de la tension émetteur - base (V_{be}) permet de tracer la température de l'émetteur du transistor en fonction de la puissance dissipée pour tous les points de fonctionnement mesurés (figure V.19).

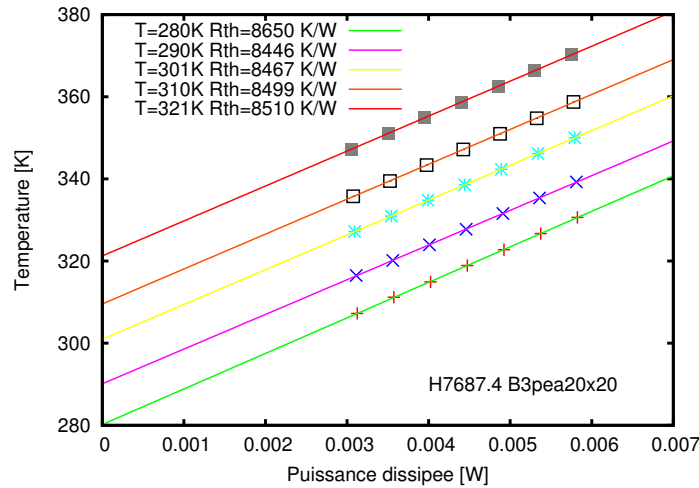


FIG. V.19: Température d'émetteur en fonction de la puissance dissipée dans le transistor. Les marqueurs sont les points expérimentaux. Les courbes en trait continu représentent les meilleures adéquations de lois linéaires à ces points.

On observe un comportement linéaire de l'échauffement du transistor avec la puissance dissipée. L'extrapolation de ce comportement à puissance nulle est en excellent accord avec la température du thermostat. Enfin la pente ainsi déterminée est une mesure de la résistance thermique séparant le transistor du thermostat.

V.4.4 Résistances thermiques des TBH InP/GaAsSb/InP

Dans cette partie nous présentons, la mesure des résistances thermiques séparant le TBH InP/GaAsSb/InP du thermostat placé en bon contact thermique avec la face arrière de leur substrat. Comme pour les autres grandeurs électriques discutées dans ce chapitre, nous montrons ici les résistances thermiques mesurées sur des TBH réalisés sur leur substrat natif (H7662) et sur leur substrat hôte (H7687). Les détails sur la géométrie et la structure de ces transistors sont donnés au paragraphe V.1.

TBH substrat initial en InP

Les résistances thermiques mesurées sur les TBH réalisés sur leur substrat natif en InP sont regroupées dans le tableau V.5 ci-dessous :

Largeur d'émetteur [μm]	Longueur d'émetteur [μm]	Résistance thermique mesurée [K/W]	Résistance thermique simulée [K/W]
5	5	2 313	1 784
5	10	1 693	1 184
5	20	998	792
5	40	592	492
10	20	671	620
10	40	384	422

TAB. V.5: Résistances thermiques mesurées et calculées à $T=300\text{K}$ pour différentes géométries de TBH InP/GaAsSb/InP réalisés sur leur substrat initial en InP (H7662)

La figure V.20 montre la dépendance de la résistance thermique mesurée à $T=300\text{K}$ sur les transistors H7662 (croix rouges) en fonction de la longueur du doigt d'émetteur. Les courbes représentent l'expression théorique (équation III.17) établie pour une source rectangulaire posée sur un substrat. Le bon accord observé entre théorie et expérience, valide notre approche analytique développée au chapitre "Thermalisation".

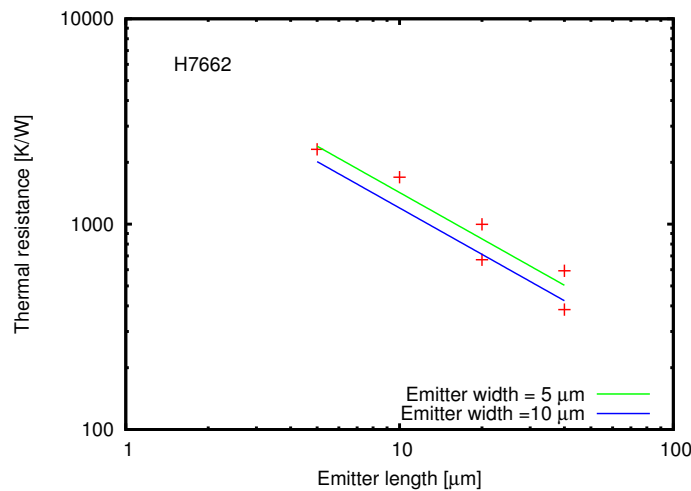


FIG. V.20: Résistance thermique en fonction la longueur du doigt d'émetteur pour deux valeurs de la largeur (5 et 10 μm). Les marqueurs indiquent les points expérimentaux, les courbes en trait continu sont issues de l'expression théorique III.17 établie pour une source rectangulaire posée sur un substrat.

La figure V.21 montre l'augmentation avec la température de la résistance thermique mesurée sur les TBH réalisés sur leur substrat natif en InP (H7662). On constate une pente proche de 2 W^{-1} , compatible avec l'augmentation de la résistivité thermique du substrat semi-isolant

en InP [98]. Cet effet contribue à la dégradation du comportement électrique des transistors lors de leur échauffement. On verra que cet effet n'existe pas pour les transistors reportés sur Pyrex, puisque la résistivité thermique de ce dernier a plutôt tendance, près de la température ambiante, à diminuer lorsque la température augmente.

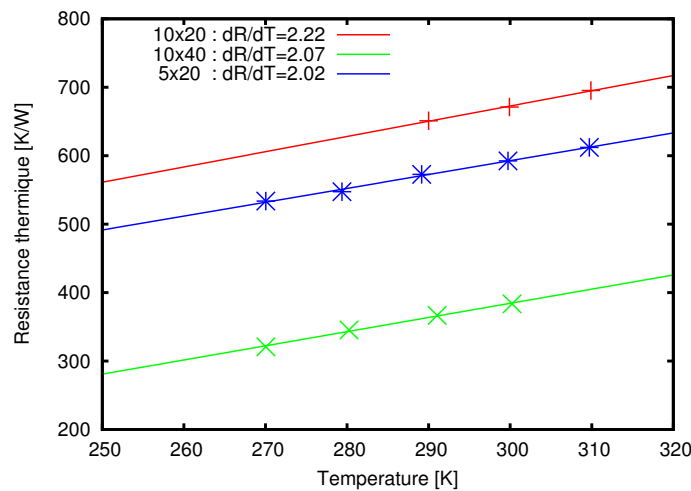


FIG. V.21: Résistance thermique de trois dispositifs typiques sur H7662 en fonction de la température du thermostat

Pour conclure, nous avons caractérisé pour les TBH réalisés sur leur substrat natif, les résistances thermiques les séparant du thermostat placé sur la face arrière de leur substrat. Nous avons constaté un excellent accord entre les valeurs expérimentales et celles issues du modèle analytique développé au chapitre “Thermalisation”. La bonne compréhension des effets d’échauffement dans ces transistors va nous permettre d’utiliser ces résultats comme référence pour la caractérisation des résistances thermiques des TBH reportés sur Pyrex.

TBH reportés sur Pyrex

Les résistances thermiques mesurées sur les TBH réalisés sur les couches actives reportées sur substrat de Pyrex sont regroupées dans le tableau V.6 ci-dessous :

Largeur d'émetteur	Longueur d'émetteur [μm]	Résistance thermique mesurée [K/W]	Résistance thermique simulée μm>μm [K/W]
10	10	13 200	
5	20	10 500	5800
10	20	9 820	5300
20	20	8 460	4700
50	50	4 280	

TAB. V.6: Résistances thermiques mesurées à $T=300K$ sur les TBH InP/GaAsSb/InP reportés sur Pyrex

Les résultats expérimentaux sont en désaccord avec ceux des simulations numériques bien que ces dernières aient été validées par les résultats obtenus avec les TBH H7662. D'autre part les dimensions utilisées dans les simulations numériques, en particulier les épaisseurs des couches métalliques, ont été mesurées avec soin sur les dispositifs en fin de process.

Les simulations numériques présentées au chapitre III, en particulier sur la structure *B*, ont montré que l'utilisation de la couche métallique enterrée permet une réduction significative de la résistance thermique malgré la très mauvaise conductivité thermique du Pyrex. L'effet de drain thermique joué par cette couche métallique étant l'élément le plus déterminant de la résistance thermique, nous allons dans la suite de ce paragraphe interpréter les résultats expérimentaux obtenus en termes de conductivité thermique de la couche métallique enterrée des transistors H7687.

Pour cela nous avons identifié le transistor à une source de chaleur posée sur un substrat de conductivité effective κ . Pour tenir compte de l'effet de drain thermique horizontal dans la couche métallique les dimensions latérales de la source sont celles du doigt d'émetteur augmentées d'une marge dx à définir. À partir des équations des résistances thermiques des sources carrées (équation III.16) et rectangulaires (équation III.17) établies au chapitre III les résistances thermiques associées à ces sources s'écrivent :

$$\begin{aligned}
 R_{Th}^{carr} &= \frac{1}{\pi(1 - \frac{\sqrt{(2)}}{2})\kappa(L + 2dx)} \\
 R_{Th}^{rect} &= R_{Th}^{carr} \left(\frac{L + 2dx}{l + 2dx} \right)^{-\frac{3}{4}}
 \end{aligned} \tag{V.15}$$

La figure V.22 montre la meilleure adéquation des équations V.15 ci-dessus aux valeurs expérimentales en gardant deux variables d'ajustement : (i) la marge dx définissant la surface effective de l'injection du flux de chaleur dans la substrat et (ii) la conductivité thermique effective κ du substrat.

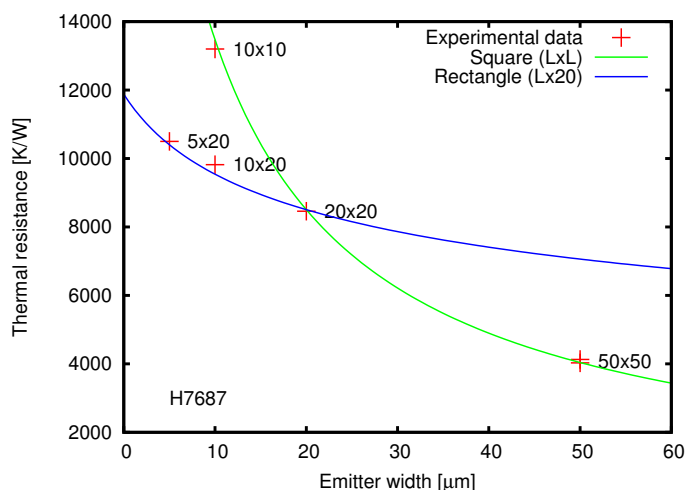


FIG. V.22: Résistances thermiques mesurées sur les transistors H7687 en fonction de la largeur du doigt d'émetteur. Les marqueurs rouges représentent les données expérimentales, les courbes en trait continu les valeurs issues du modèle analytique pour un débordement latéral de $3.5 \mu\text{m}$ et une conductivité effective $\kappa = 4.7 \text{ W.m}^{-1}.\text{K}^{-1}$.

On constate un excellent accord entre les valeurs expérimentales et celles issues du modèle analytique pour une marge de largeur $dx = 3.5 \mu\text{m}$ et une conductivité thermique du substrat $\kappa = 4.7 \text{ W.m}^{-1}.\text{K}^{-1}$. La très faible valeur de la marge laisse penser que l'effet de drain thermique attendu n'est pas présent dans les transistors H7687. D'autre part la conductivité thermique du substrat est trouvée sensiblement plus élevée que celle du Pyrex (4.7 au lieu de 1.38). Ces résultats peuvent être interprétés comme suit.

Le collage anodique perturbe fortement la nature de la couche d'aluminium et celle de la partie supérieure du substrat de Pyrex. En particulier, la migration des atomes d'aluminium dans la Pyrex conduit à la création de nano-cristallites de γ - alumine qui ont été mises en évidence (collaboration avec Abhay Shukla à l'IMPMC) par microscopie en transmission (figure V.23). La présence d'oxydes a également été observée dans la couche d'aluminium, en particulier à l'interface avec le silicium. Cette nano - cristallisation a déjà été rapportée dans la littérature. Elle peut s'étendre sur une profondeur supérieure à $1 \mu\text{m}$ dans le Pyrex [68]. Ces échanges ioniques de part et d'autre de l'interface modifient la conductivité thermique des matériaux en présence sur une épaisseur de l'ordre de 1 à $2 \mu\text{m}$. Notons que ces cristallisations sous forme de dendrites conduisent à une couche très inhomogène de matériaux. Nous attribuons la conductivité anormalement élevée, trouvée par le modèle analytique, à la présence de cette couche composite située dans la partie supérieure du substrat.

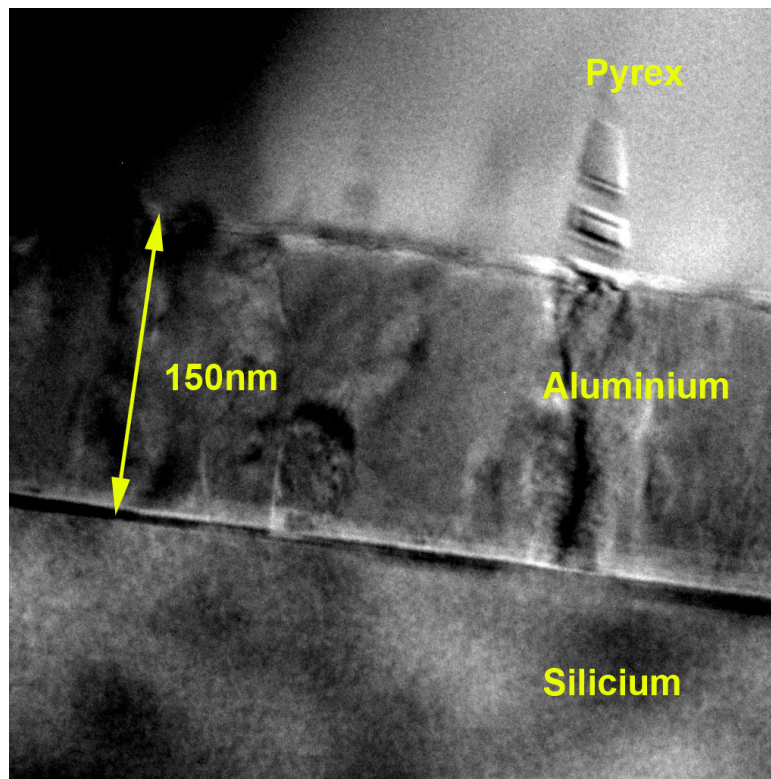


FIG. V.23: *Photo TEM de l'interface de collage aluminium - Pyrex. La couche d'aluminium a été déposée sur un substrat de silicium*

L'absence d'effet de drain thermique horizontal est attribué à la nature colonnaire de la cristallisation du tungstène dont le dépôt par pulvérisation cathodique sur les semiconducteurs III-V est particulièrement délicat. En effet la couche de tungstène peut stocker une contrainte suffisamment élevée pour endommager (voire détruire) les couches semiconductrice. Par ailleurs pour les procédés de fabrication technologique exigent généralement un matériau dense, ce qui favorise le stockage de cette contrainte et rend la valeur de celle-ci très sensible aux paramètres du dépôt. En pratique les conditions de dépôt sont le résultat d'un compromis qui a tendance à réduire la densité du matériau et à favoriser la présence des colonnes. La nature colonnaire des dépôts de tungstène réalisés pour cette étude à Thales RT a en effet été observée en microscopie électronique (figure V.24).

En supposant les colonnes disjointes d'un point de vue thermique, on peut modéliser ce matériau en considérant une conductivité verticale (i.e. le long des colonnes) égale à la conductivité du matériau massif et une conductivité horizontale nulle. En introduisant dans la simulation numérique cette anisotropie pour la conductivité des couches de tungstène on trouve un bon accord avec les résultats expérimentaux et un débordement du flux thermique sur une marge $dx = 3.5\mu\text{m}$ lorsque l'épaisseur de la couche d'or située entre les deux couches de tungstène (Cf. chapitre ??) est de 30 nm, au lieu des 50 nm visés.

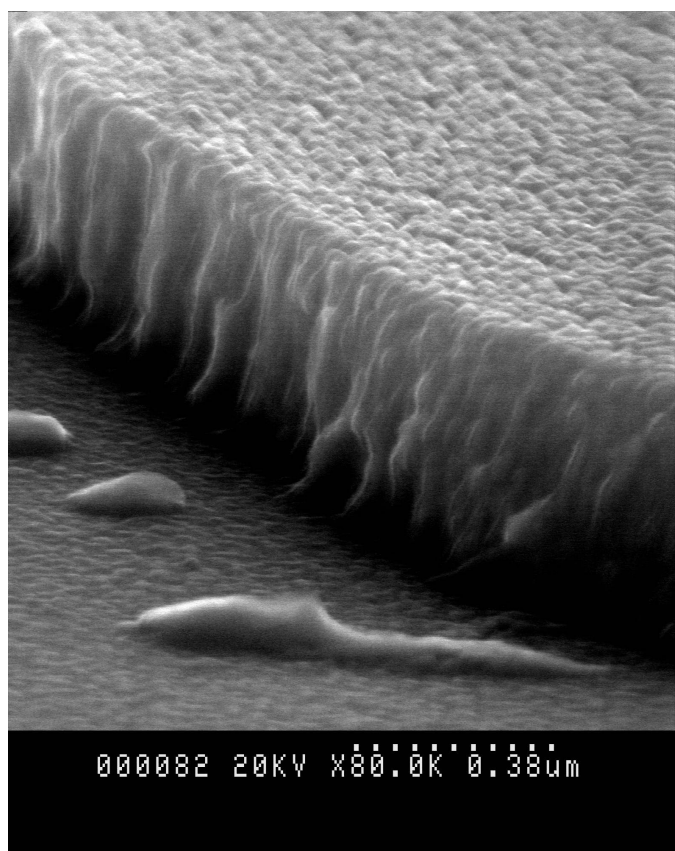


FIG. V.24: Photo MEB d'une couche de tungstène déposée par pulvérisation cathodique. L'aspect granuleux de la face supérieure de la couche est dû à la nature colonnaire du dépôt.

V.4.5 Conclusion

En résumé, la réduction de la résistance thermique des transistors reportés par rapport à ceux réalisés sur leur substrat natif en InP n'a pas pu être vérifiée expérimentalement alors qu'elle a été montrée en simulation numérique. Cette absence d'effet a été attribuée à la nature colonnaire de la cristallisation du tungstène, qui introduit une forte anisotropie dans sa conductivité thermique. Un bon accord avec les résultats expérimentaux a en effet été trouvé pour une conductivité nulle dans le sens de la couche.

L'interprétation des mesures de résistance thermique a par ailleurs permis de montrer que les échanges ioniques de part et d'autre de l'interface aluminium - Pyrex conduisent à la formation au voisinage de l'interface de collage, d'une couche hétérogène dont la conductivité thermique est nettement plus élevée que celle du Pyrex.

V.5 Gain en courant

Dans cette partie nous allons étudier le comportement du gain en courant des TBH GaAsSb avec d'une part le niveau de dopage de la base et d'autre part la température. La première partie correspond à la recherche du meilleur compromis entre gain en courant et résistance d'accès à la base qui est un élément-clé de la conception des transistors de puissance. La seconde s'inscrit, comme les autres parties de ce chapitre, dans le cadre de l'étude du comportement en température des TBH pour applications à la puissance.

La première partie se place dans le cadre d'une controverse de littérature. D'une part des mesures de type pompe-sonde [19] ont montré que la durée de vie des électrons minoritaires dans GaAsSb fortement dopé au carbone est limitée par les recombinaisons Auger. D'autre part l'exploitation du gain en courant mesuré dans des TBH InP/GaAsSb/InP épitaxiés par MOCVD a conduit C.Bolognesi et al. [103] à conclure qu'il n'existe pas de recombinaison Auger dans GaAsSb.

Dans les pages qui suivent nous montrons que non seulement les recombinaisons Auger existent dans les TBH GaAsSb mais qu'en plus elles forment le processus de recombinaison prédominant pour les niveaux de dopage généralement utilisés dans les TBH. Nous montrons également que leur prédominance conduit à une remarquable stabilité du gain en courant de ces transistors avec leur température de fonctionnement, ce qui représente un avantage déterminant pour la stabilité de ces TBH dans leur application de puissance.

V.5.1 Structures étudiées

La durée de vie des électrons minoritaires a été étudiée pour les électrons en transit dans la base en GaAsSb de TBH InP/GaAsSb. Toutes les structures ont été épitaxiées dans le même bâti par Picogiga International et les conditions de croissance de la base en GaAsSb ont été maintenues d'une épitaxie à l'autre.

Les transistors étudiés ont tous l'empilement de couches rapporté dans le tableau V.7, seuls le niveau de dopage (N_b) et l'épaisseur (W_b) et le taux d'antimoine (X_{Sb}) dans la base changent d'une épitaxie à l'autre. Ces derniers sont rapportés dans le tableau V.8.

Les niveaux de dopage au carbone (N_b) des bases en GaAsSb ont été mesurés par effet Hall. Les épaisseurs (W_b) et taux d'antimoine (X_{Sb}) ont été déterminés en exploitant les spectres de double diffraction X. Toutes les bases utilisées dans cette étude ont une épaisseur au moins égale à 40 nm qui est nettement supérieure à l'épaisseur de relaxation de la contrainte dans GaAsSb. On a donc supposé pour la détermination de leur taux d'antimoine que les couches de base de toutes ces épitaxies étaient toutes parfaitement relaxées.

À la lecture de la table V.8, on constate que les épaisseurs de base forme deux populations, l'une autour de 40 nm et l'autre autour de 90 nm. Les taux d'antimoine sont assez voisins les uns des autres, tous compris dans une fourchette allant de 0.274 à 0.369. On ne s'attend donc pas, a priori, à observer un effet lié à la variation de cette composition.

Les TBH ont été réalisés dans un procédé double mesa. Les émetteurs présentent des géométries carrées allant de $(50 \times 50) \mu\text{m}^2$ à $(110 \times 110) \mu\text{m}^2$. Tous les contacts ont été réalisés en Ti/Au d'épaisseurs respectives 20 et 200 nm.

Couche	Matériau	Dopage [cm ⁻³]	Épaisseur [nm]
Contact émetteur	InGaAs :Si	1×10^{19}	200
Sub-émetteur	InP :Si	1×10^{19}	110
Émetteur	InP :Si	3×10^{17}	60
Base	GaAsSb :C	N_A	W_b
Collecteur	InP :Si	5×10^{16}	200
Sub-collecteur	InP :Si	1×10^{19}	200
Contact collecteur	InGaAs :Si	3×10^{19}	100
Sub-collecteur 2	InP :Si	3×10^{19}	400
Subtrat	InP :Fe		

TAB. V.7: Empilement des couches épitaxiées par Picogiga International pour l'étude de la durée de vie dans la base en GaAsSb

Épitaxie	Dopage N_b [cm ⁻³]	Épaisseur W_b [nm]	Taux d'antimoine X_{Sb}
H7619	9.0×10^{19}	43 ± 1	0.369
H7625	5.6×10^{19}	87 ± 4	0.347
H7646	2.1×10^{19}	90 ± 5	0.299
H7660	2.9×10^{19}	41 ± 1	0.337
H7661	3.3×10^{19}	39 ± 1	0.296
H7662	7.2×10^{19}	36 ± 9	0.274

TAB. V.8: Paramètres des bases en GaAsSb des empilements pour TBH décrits dans le tableau V.7

V.5.2 Mesure du gain en courant

Le gain statique en courant $\beta = I_c/I_b$ des transistors est extrait des caractéristiques de Gummel mesurées à $V_{bc} = 0$, c'est à dire des mesures dans un montage en base commune des courants collecteur I_c et base I_b en fonction de la tension émetteur-base pour une tension base-collecteur constante, ici $V_{bc} = 0$. La courbe du gain en courant en fonction de la densité de courant collecteur (figure V.25) montre deux domaines de variation.

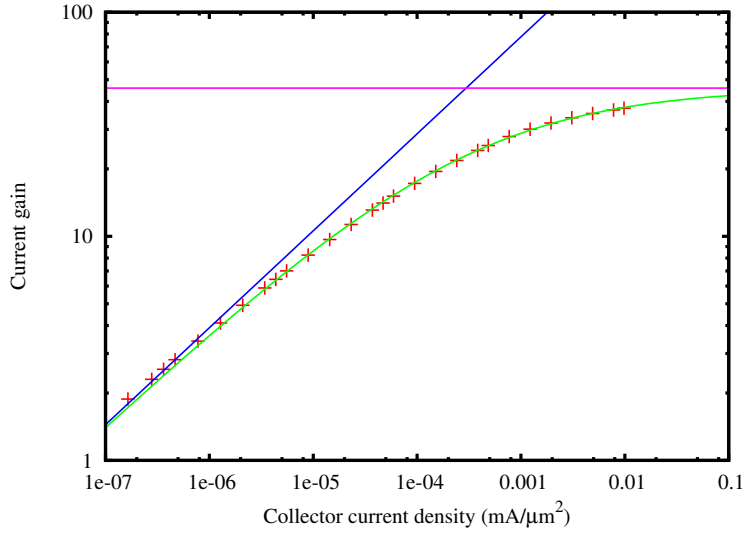


FIG. V.25: *Current gain versus collector current density*

- **À faible densité de courant collecteur**, le gain est limité par les recombinaisons sur les pièges situés dans la ZCE de la jonction émetteur-base (modèle Shockley-Read-Hall [96]). Le courant de base présentant alors un coefficient d'idéalité proche de 2 ($I_b \propto \exp(V/2k_B T)$), le gain en courant $\beta = I_c/I_b$ varie selon une loi de puissance du courant collecteur avec un exposant proche de 0.5.
- **À forte densité de courant collecteur**, le gain en courant est limité par les recombinaisons dans le volume de la base. Le gain ne dépend plus du courant collecteur, la courbe du gain sature.

Pour toutes valeurs de la densité de courant J_c , le courant de base I_b s'écrit comme la somme de deux composantes, l'une I_b^{SRH} correspond aux recombinaisons dans la ZCE émetteur-base et l'autre I_b^{Vol} est issue des recombinaisons avec les trous situés dans le volume de la base. Dans ces conditions le gain en courant s'écrit :

$$\begin{aligned}
 \beta &= \frac{I_c}{I_b} \\
 &= \frac{I_c}{I_b^{SRH} + I_b^{Vol}} \\
 &= \left(\frac{1}{\beta_{SRH}} + \frac{1}{\beta_{max}} \right)^{-1}
 \end{aligned} \tag{V.16}$$

où $\beta_{max} = I_c/I_b^{Vol}$ est la composante de gain en courant limitée par les recombinaisons dans le volume de la base et $\beta_{SRH} = I_c/I_b^{SRH}$ est celle limitée par les recombinaisons dans la ZCE émetteur-base.

L'adéquation de l'expression V.16 aux valeurs expérimentales (figure V.25) permet de déterminer pour chaque transistor ces deux composantes. Cette extraction a été pratiquée sur

l'ensemble des transistors de chaque échantillon. Les valeurs moyennes et écarts-types de la composante β_{max} sont regroupés dans le tableau V.9 pour l'ensemble des échantillons étudiés. On constate que pour un échantillon donné les valeurs de β_{max} sont très peu dispersées ce qui montre la stabilité de la méthode d'extraction utilisée. D'autre part, ces mesures ayant été faites sur des transistors dont les dimensions varient de $(50 \times 50)\mu\text{m}^2$ à $(100 \times 100)\mu\text{m}^2$, les faibles écarts-types observés montrent l'absence d'effets parasites à la périphérie des transistors et confirme ainsi l'origine intrinsèque (i.e. liée aux propriétés de volume) de la composante β_{max} .

Échantillon	β_{max}	$\Delta\beta_{max}$
H7619.1	11.6	0.3
H7625.2	8.5	0.1
H7646.12	47.1	0.3
H7660.1	155.	9.0
H7661.2	115.	3.0
H7662.11	20.4	0.4

TAB. V.9: Gain maximum β_{max} et incertitude correspondante $\Delta\beta_{max}$ pour les différents échantillons étudiés

V.5.3 Extraction de la durée de vie

La composante β_{max} du gain en courant liée aux recombinaisons dans le volume de la base s'écrit :

$$\beta = \frac{\tau_n}{t_b} \quad (\text{V.17})$$

où τ_n est la durée de vie des électrons dans la base et t_b leur temps de transit dans la base. En supposant la couche de base uniforme en dopage et en composition (i.e. le champ électrique est nul), le temps de transit des électrons s'écrit [5] :

$$t_b = \frac{W_b^2}{2D_n} + \frac{W_b}{v_{th}} \quad (\text{V.18})$$

où W_b est l'épaisseur de la couche de base, D_n le coefficient de diffusion des électrons dans la base et v_{th} la vitesse thermique de ces électrons. Une valeur effective du coefficient de diffusion été expérimentalement déterminée par Liu et al. [101] pour une base en GaAsSb dopée à $8 \times 10^{19} \text{ cm}^{-3}$. Nous utiliserons cette valeur ($D_n = 43 \text{ cm}^2/\text{s}$) pour tous les niveaux de dopage de cette étude en remarquant que les variations attendues du coefficient de diffusion dans cette gamme de dopage sont faibles [102].

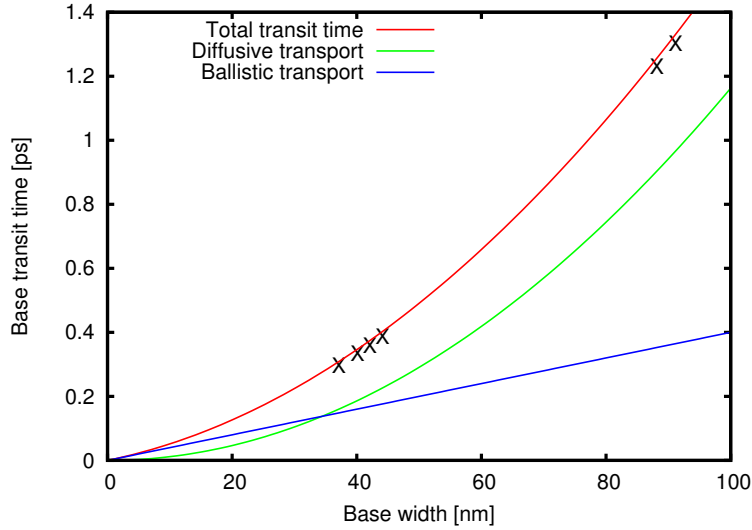


FIG. V.26: *Base transit time versus base width from equation V.18*

La vitesse thermique v_{th} des électrons dans la bande de conduction a été calculée avec une masse effective dans cette bande, égale à $m^* = 0.05m_0$ [?]. On trouve $v_{th} = 2.4 \times 10^5$ m/s.

Le transport dans la base des transistors de cette étude est majoritairement de type diffusif (figure V.26 où les marqueurs représentent les différents transistors étudiés). On constate que contrairement à l'étude de Bolognesi [103] ces points couvrent une gamme étendue, faisant varier le rapport du temps de transit diffusif sur le temps de transit balistique de 1 à 2.6.

V.5.4 Durée de vie en fonction du dopage

Les durées de vie des électrons minoritaires déterminées plus haut sont tracées (figure V.27 barres d'erreur rouges) en fonction de la concentration p de trous dans la base. Cette dernière a été mesurée par effet Hall et par des mesures de résistivité sur des motifs TLM et Van der Pauw.

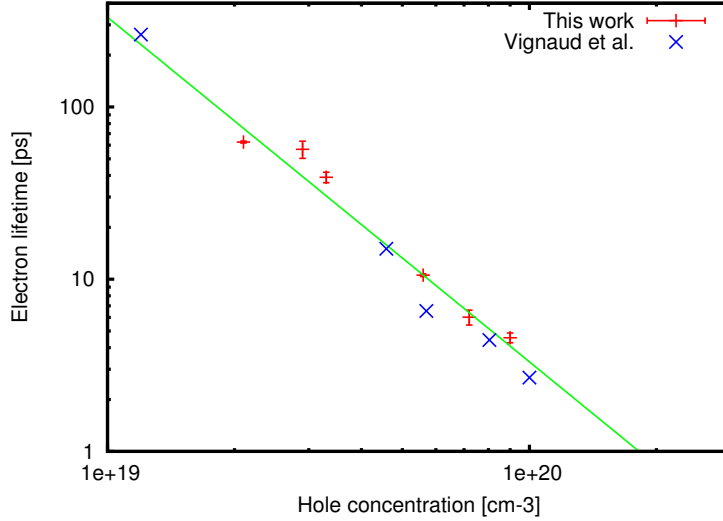


FIG. V.27: *Electron life time versus hole density. Red error bars are from this work, blue crosses from Vignaud et al. [19]*

Les durées de vie mesurées suivent une loi en $\tau_n^{-1} = Cp^2$ qui est une signature d'un comportement dominé par les recombinaisons Auger. La meilleure adéquation de cette loi aux valeurs expérimentales donne : $C = (3.0 \pm 0.3) \times 10^{-29} \text{ cm}^6 \cdot \text{s}^{-1}$. Les valeurs mesurées par la technique de pompe-sonde [19] sont également tracées sur le même graphe (croix bleues), pour faciliter la comparaison. On constate que ces deux jeux de valeurs sont en excellent accord (On trouve $C = 4 \times 10^{-29} \text{ cm}^6 \cdot \text{s}^{-1}$ pour la technique de pompe-sonde [19]) ce qui montre que les recombinaisons Auger ainsi mises en évidence sont dominantes dans les TBH ayant une base en GaAsSb fortement dopée contrairement aux résultats publiés par C. Bolognesi et al.. [103].

Le désaccord avec les mesures de Bolognesi et al. [103] peut avoir plusieurs origines. D'une part il peut être lié à la méthode de détermination de β_{max} . En effet il n'est pas précisé dans cette publication si le gain de leur transistor est ou non dominé par les recombinaisons dans le volume de la base. D'autre part on peut remarquer que les durées de vie rapportées dans cette publication sont plus courtes que celles mesurées dans nos transistors (figure V.28). Leur technique d'épitaxie (MOCVD) pourrait, par exemple par des effets d'ordre dans GaAsSb, introduire des mécanismes de recombinaison masquant ceux liés aux recombinaisons Auger.

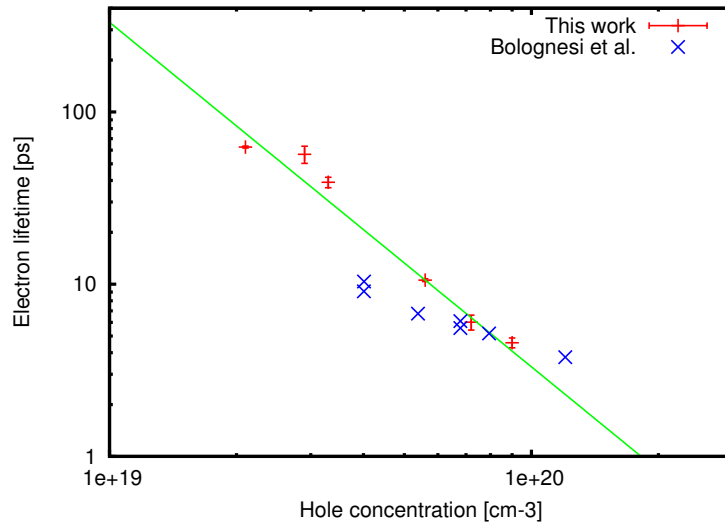


FIG. V.28: *Electron life time versus hole density. Red error bars are from this work, blue crosses from Bolognesi et al. [103]*

V.5.5 Gain en fonction de la température

Les caractéristiques de Gummel ont également été mesurées pour différentes températures dans une gamme allant de 90 K à 320 K. Les composantes β_{Auger} et β_{SRH} du gain en courant, extraites de ces caractéristiques sont tracées en fonction de la température figure V.29. Le comportement en température de chacune de ces composantes a été modélisé (tracés continus figure V.29). Pour les températures inférieures à 140 K la précision de la détermination de la composante Auger du gain devient trop imprécise. Dans la gamme de température allant de 140 K à 320 K on trouve :

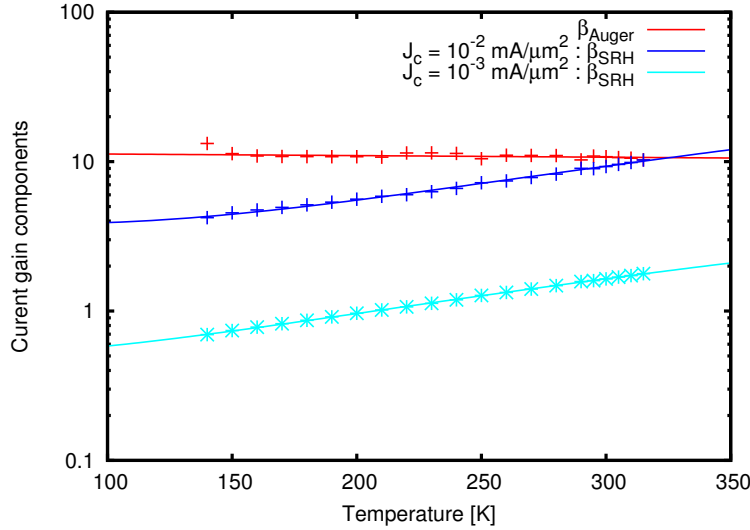


FIG. V.29: The two components of the current gain as a function of temperature. Markers are from experimental data and solid lines from fits. β_{Auger} is plotted in red, β_{SRH} in blue at $J_c = 0.01 \text{ mA}/\mu\text{m}^2$ and in cyan at $J_c = 0.001 \text{ mA}/\mu\text{m}^2$

$$\beta_{Auger} = 11.51 - 2.68 \times 10^{-3}T \quad (\text{V.19})$$

$$\beta_{SRH} = 0.51 - 7.29 \times 10^{-4}T + 1.51 \times 10^{-5}T^2 \quad @J_c = 10^{-3} \text{ mA}/\mu\text{m}^2 \quad (\text{V.20})$$

$$\beta_{SRH} = 4.45 - 1.63 \times 10^{-2}T + 1.08 \times 10^{-4}T^2 \quad @J_c = 10^{-2} \text{ mA}/\mu\text{m}^2 \quad (\text{V.21})$$

La composante β_{SRH} mesurée à une densité de courant collecteur fixée (ici $J_c = 10^{-2}$ et $10^{-3} \text{ mA}/\mu\text{m}^2$) montre un comportement croissant avec la température alors que la composante β_{Auger} a un comportement très légèrement décroissant. Ce dernier point confère au TBH GaAsSb une remarquable stabilité en température lorsque son gain est limité par les recombinaisons avec les trous du volume de la base, c'est-à-dire à température ambiante à des densités de courant collecteur supérieures à $0.1 \text{ mA}/\mu\text{m}^2$.

V.5.6 Recombinaisons Auger

Dans un processus Auger, la recombinaison d'un électron minoritaire implique deux transitions. L'électron minoritaire se recombine (première transition) avec un trou de la bande de valence. Il libère ainsi une énergie au moins égale à celle de la largeur de bande interdite. Elle est cédée à un autre porteur de charge qui transfère (deuxième transition) vers un état d'énergie supérieure.

Contrairement au processus de recombinaison radiative où l'énergie excédentaire issue de la première transition est émise sous forme de rayonnement électromagnétique, la recombinaison Auger est non-radiative : la totalité de l'énergie est conservée par les porteurs de charges.

Au voisinage du point Γ de la zone de Brillouin les semiconducteurs à gap direct présentent quatre vallées : la vallée Γ de la bande de conduction (C), les vallées des trous lourds (H), légers (L) et spin-orbite (S) de la bande de valence. Il existe donc de nombreux processus Auger possibles notés : $CHCC$, $CHHH$, $CHLH$, $CHSH$... Le processus $CHSH$ (figure V.30) est le plus probable dans les semiconducteurs de type p [104]. Nous allons dans les paragraphes qui suivent d'une part expliquer pourquoi et d'autre part montrer qu'il présente un maximum de probabilité marqué pour $\Delta = E_g$.

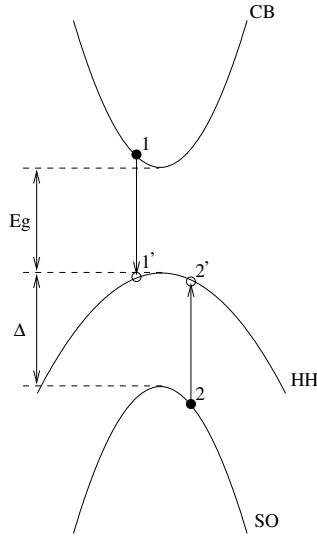


FIG. V.30: Auger recombination via the $CHSH$ process

Processus $CHSH$ dans les semiconducteurs de type p

Dans l'approximation de la règle d'or de Fermi, la probabilité de recombinaison Auger par le processus $CHSH$ réunissant les transitions $1 \rightarrow 1'$ et $2 \rightarrow 2'$ s'écrit [107] :

$$W = \frac{2\pi}{\hbar} \left(\frac{\Omega}{8\pi^3} \right)^3 \int |M|^2 P \delta(k_1' + k_2' - k_1 - k_2) \times \delta(E_1' + E_2' - E_1 - E_2) dk_1 dk_2 dk_3 dk_4 \quad (V.22)$$

avec :

$$\begin{aligned} |M|^2 &= g(\epsilon) \left(\frac{4\pi e^2}{\Omega} \right)^2 F \\ g(\epsilon) &= \frac{4\beta}{\epsilon^2} \\ F &= \left| \frac{F_{1'1} F_{2'2}}{(k_1' - k_1)^2 + \lambda^2} \right|^2 \\ |F_{1'1}|^2 &= \frac{\hbar^2}{2m_0} \frac{(k_1' - k_1)^2}{|E_1' - E_1|} f_{1'1} \end{aligned} \quad (V.23)$$

où M est l'élément de matrice de l'interaction, P un terme tenant compte de l'occupation des états de départ et d'arrivée, Ω le volume du cristal et ε et λ les facteurs d'écrantage. La variation exponentielle avec l'énergie de l'occupation des états considérés confère au terme P une variation beaucoup plus rapide que celles observées pour les autres termes de l'équation V.22. On peut donc, en première approximation, déterminer parmi l'ensemble des processus Auger celui qui est le plus probable en recherchant le maximum de la fonction d'occupation P . Elle s'écrit pour un processus réunissant la transition $1 \rightarrow 1'$ d'un électron la bande de conduction vers un état libre de la bande de valence et la transition $2 \rightarrow 2'$ d'un électron de la bande de valence vers un état libre de plus haute énergie dans la même bande (figure V.30) :

$$P(1, 1', 2, 2') = f_{FD}(1)f_{FD}^c(1')f_{FD}(2)f_{FD}^c(2') \quad (\text{V.24})$$

où $f_{FD}(i)$ est la fonction d'occupation issue de la statistique de Fermi-Dirac et $f_{FD}^c(i)$ la fonction complémentaire $f_{FD}^c(i) = 1 - f_{FD}(i)$. En supposant le semiconducteur non-dégénéré ces fonctions d'occupation s'écrivent :

$$\begin{aligned} f_{FD}(i) &= \frac{1}{1 + \exp(\frac{E_i - E_F}{k_B T})} \approx \exp(\frac{E_F - E_i}{k_B T}) \\ f_{FD}^c(i) &= \frac{1}{1 + \exp(\frac{E_F - E_i}{k_B T})} \approx \exp(\frac{E_i - E_F}{k_B T}) \end{aligned} \quad (\text{V.25})$$

En utilisant les équations V.25 dans l'expression V.24 et en supposant que $f(2) \approx 1$ (le semiconducteur est non-dégénéré et $\Delta \gg k_B T$) il vient :

$$\begin{aligned} P(1, 1', 2, 2') &= \exp(\frac{E_F - E_1}{k_B T}) \exp(\frac{E_{1'} - E_F}{k_B T}) \exp(\frac{E_{2'} - E_F}{k_B T}) \\ &= \exp(\frac{E_{1'} + E_{2'} - E_1 - E_F}{k_B T}) \end{aligned} \quad (\text{V.26})$$

D'autre part les relations de dispersion dans les vallées Γ, H, L et S s'écrivent :

$$\begin{aligned} E_1 - E_c &= \frac{\hbar^2 k_1^2}{2m_c} \\ E_v - \Delta - E_2 &= \frac{\hbar^2 k_2^2}{2m_s} \\ E_v - E_{1'} &= \frac{\hbar^2 k_{1'}^2}{2m_h} \\ E_v - E_{2'} &= \frac{\hbar^2 k_{2'}^2}{2m_h} \end{aligned} \quad (\text{V.27})$$

où m_c est la masse effective relative des électrons dans la vallée Γ de la bande de conduction, m_h , m_l et m_s celles des trous dans les vallées des trous lourds, légers et "spin-orbit" de la bande de valence. En utilisant les expressions V.27 dans l'équation V.26 la fonction d'occupation P devient :

$$\begin{aligned}
 P(1,1',2,2') &= \exp \left(\frac{E_v}{k_B T} - \frac{\hbar^2 k_1^2}{2m_h k_B T} + \frac{E_v}{k_B T} - \frac{\hbar^2 k_2^2}{2m_h k_B T} - \frac{E_c}{k_B T} - \frac{\hbar^2 k_1^2}{2m_c k_B T} - \frac{E_F}{k_B T} \right) \\
 &= \exp \left[-\frac{\hbar^2}{2m_c k_B T} (k_1^2 + \mu_h k_1^2 + \mu_h k_2^2) + \frac{E_v - E_g - E_F}{k_B T} \right] \quad (V.28)
 \end{aligned}$$

avec $\mu_h = \frac{m_c}{m_h}$. D'autre part les conservations de l'énergie et du moment imposent :

$$\begin{cases} E_1 - E_{1'} = E_2 - E_{2'} \\ k_1 + k_2 = k_{1'} + k_{2'} \end{cases}$$

En introduisant les relations de dispersion V.27 il vient :

$$\begin{cases} \frac{\hbar^2}{2m_c} (k_1^2 + \mu_h k_1^2 + \mu_h k_2^2) = \Delta - E_g + \frac{\hbar^2}{2m_c} \mu_s k_2^2 \\ k_1 + k_2 = k_{1'} + k_{2'} \end{cases}$$

On constate que pour $\Delta - E_g = 0$ l'ensemble $k_1 = k_2 = k_{1'} = k_{2'} = 0$ est solution de ce système. Cette solution particulière constituée de deux transitions “verticales” au point Γ de la zone de Brillouin, correspond à la valeur maximale de la fonction d'occupation donnée par l'équation V.28. Elle prend alors la valeur $P = \exp[(E_v - E_g - E_F)/k_B T]$. En effet en utilisant uniquement des états aux extrema des bandes on assure pour chacun d'eux un taux d'occupation maximal. La fonction d'occupation P , est donc elle aussi maximale.

Pour $E_g > \Delta$ l'ensemble des états précédents n'est plus solution de ce système. La recherche parmi l'ensemble des solutions du système V.5.6 de l'optimum de la fonction d'occupation P conduit à la détermination du processus le plus probable. La figure V.31 illustre cette situation dans le cas d'un semiconducteur dont les paramètres sont proches de ceux de GaSb. Pour plus de clarté on a imposé $E_g = 0.3$ eV et $\Delta = 0.27$ eV. De plus la présentation a été simplifiée en choisissant arbitrairement $k_1 = 0$. La conservation de l'énergie impose de choisir l'état 2 au delà d'un seuil fixé tel que $E_2 + \Delta > E_g$ (ligne rouge sur la figure V.31). Les états 1' et 2' sont ensuite choisis pour satisfaire la conservation du moment (les flèches sont alignées sur la figure V.31). Le vecteur d'onde de ces états est donc proche de $k_2/2$. L'occupation de ces états est donc plus faible que celle du maximum de la bande de valence ce qui conduit à une réduction de la fonction d'occupation P par rapport au cas $\Delta - E_g = 0$.

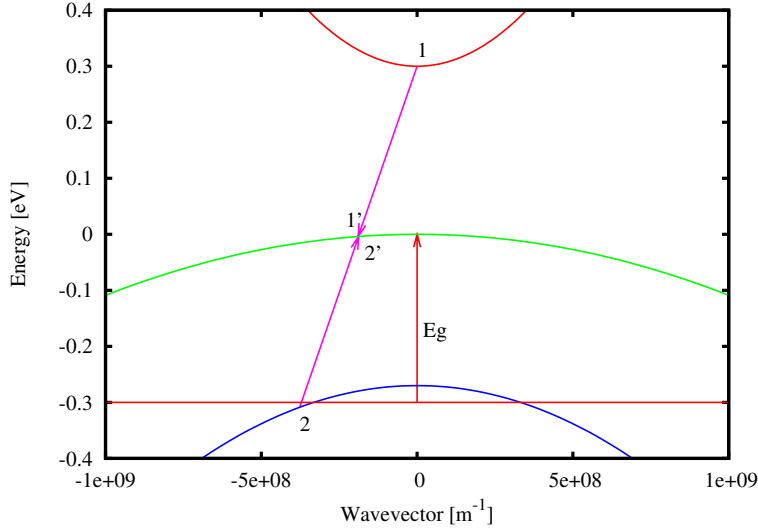


FIG. V.31: Auger recombination via the CHSH process with $E_g > \Delta$

Le processus Auger le plus probable dans le cas $E_g < \Delta$ est illustré figure V.32 avec comme précédemment des paramètres proches de ceux du GaSb avec cette fois-ci $E_g = 0.3$ eV et $\Delta = 0.33$ eV. À partir d'un état 2 situé en centre de zone de Brillouin, la conservation de l'énergie impose de choisir les états 1' et 2' avec une énergie inférieure à $\Delta - E_g$. La conservation du moment se traduit ici par une position symétrique pour 1' et 2'. On remarque que dans ce cas la conservation du moment se réduit à la relation $k_{1'} = -k_{2'}$ qui donne pour ces vecteurs des normes plus grandes que celles du cas précédent où la relation de conservation s'écrit $k_{1'} = k_{2'} = k_2/2$. Si les masses effectives des trous lourds et spin-orbite étaient identiques, les vecteurs d'onde $k_{1'}$ et $k_{2'}$ seraient deux fois plus grands que dans le cas précédent.

Rappelons que la possibilité de placer l'état 2 en Γ ($k_2 = 0$) n'a pas d'incidence notable sur la probabilité du processus car la distance en énergie entre cet état et le niveau de Fermi ($E_F - E_2$) étant très grande devant $k_B T$, sa fonction d'occupation reste dans tous les cas très proche de

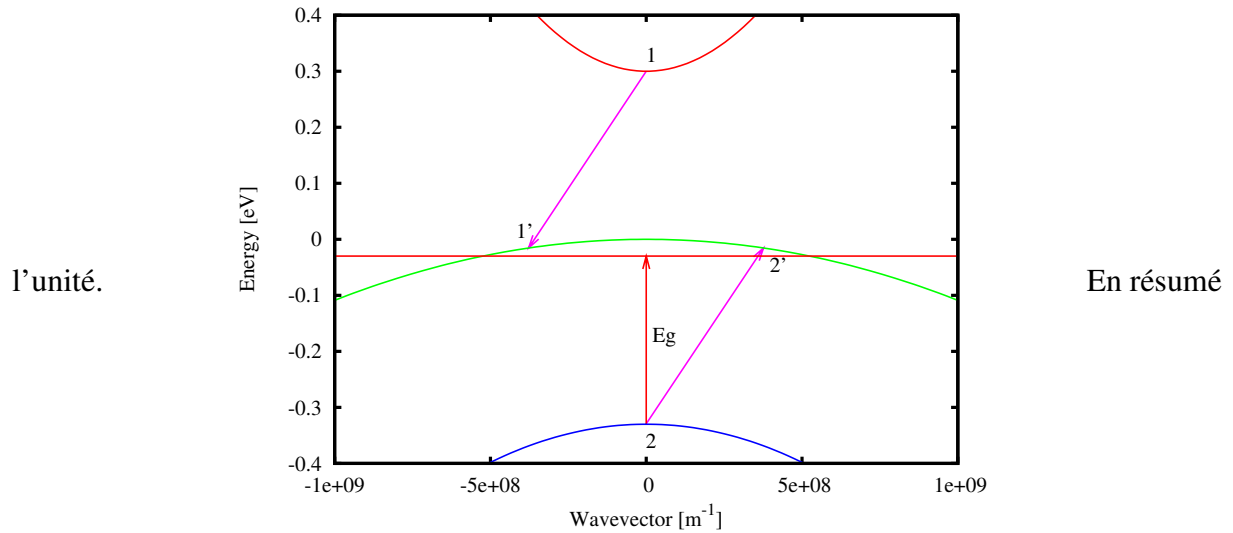


FIG. V.32: *Auger recombination via the CHSH process with $E_g < \Delta$*
on s'attend à ce que la probabilité du processus Auger dont le comportement est dominé par celui de la fonction d'occupation P , présente un maximum pour $E_g = \Delta$. La décroissance de part et d'autre de ce maximum sera plus marquée du côté $E_g < \Delta$. Cette situation est illustrée par la figure V.33.

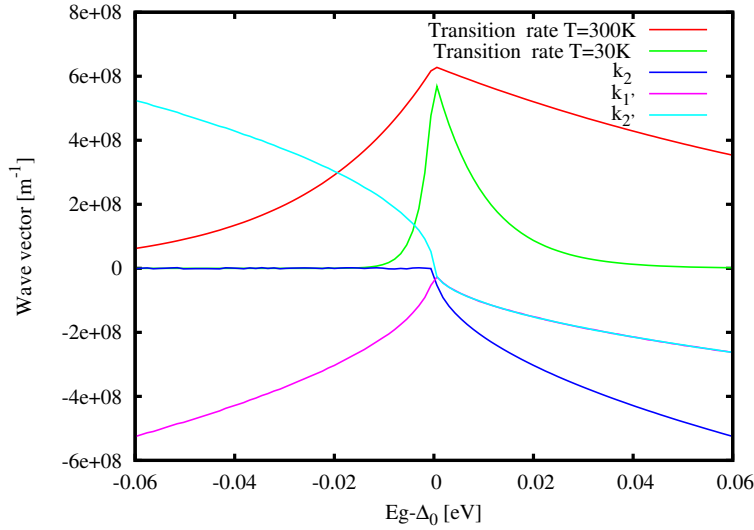


FIG. V.33: Auger transition rates (arbitrary units) at $T=300K$ (red line) and $T=30K$ (green line) versus the difference $E_g - \Delta$. The transition rate at $T=30K$ is multiplied by a factor 10^{37} . Wave vector of states $1'$ (purple line), 2 (bleue line), and $2'$ (cyan line)

La température n'a pas d'incidence sur les règles de sélection des états $1'$, 2 et $2'$ mis en jeu au cours d'une recombinaison Auger. Les états les plus probables représentés sur la figure V.33 sont donc indépendants de la température. En revanche le taux d'occupation de ces états dépend fortement de la température. Cette dépendance a deux conséquences :

- La probabilité d'un processus Auger (1 , $1'$, 2 , $2'$) donné décroît rapidement avec la température.
- La décroissance de la probabilité de la recombinaison Auger observée lorsque la distance en énergie $E_g - \Delta$ augmente, sera donc d'autant plus marquée que la température est basse (figure V.33).

Autres processus Auger dans les semiconducteurs de type p

Les autres autres processus Auger dans les semiconducteurs de type p mettent en jeu les différentes vallées de trous de la bande de valence. Dans les calculs précédents remplacer la vallée spin-orbite par la vallée des trous lourds revient, en particulier, à imposer $\Delta = 0$. On est alors loin de la résonance $\Delta = E_g$, le processus a donc une probabilité négligeable devant celle du processus $CHSH$. Le calcul complet des différentes probabilités confirme cette première approximation [105].

Probabilité des recombinaisons Auger dans les semiconducteurs de type p

En définissant la durée de vie associée aux recombinaisons Auger (processus $CHSH$) par :

$$\tau_n^{-1} = \frac{W}{\Omega(p - p_0)} = Cp_0^2 \quad (V.29)$$

l'intégration de l'expression V.22 permet le calcul du coefficient Auger C [107]. Il s'écrit :

$$\begin{aligned} \text{Si } E_g \geq \Delta : \quad C &= ABx^2 e^x \frac{2}{\pi^{0.5}} \left(\Gamma\left(\frac{3}{2}, \mu x\right) - \frac{2\Gamma\left(\frac{5}{2}, \mu x\right)}{\mu x} + \frac{\Gamma\left(\frac{7}{2}, \mu x\right)}{\mu^2 x^2} \right) \\ \text{Si } E_g \leq \Delta : \quad C &= ABx^2 e^x \left(1 - \frac{3}{\mu x} + \frac{15}{4\mu^2 x^2} \right) \\ \text{Si } E_g = \Delta : \quad C &= AB\left(\frac{15}{4\mu^2}\right) \\ \text{avec : } x &= \frac{E_g - \Delta}{k_B T} \\ \mu &= \frac{2m_{hh} + m_e}{2m_{hh} + m_e - m_{so}} \\ \Gamma(a, x_0) &= \int_{x_0}^{\infty} e^{-t} t^{a-1} dt \\ A &= \frac{e\epsilon\pi^3 \hbar^3 e^4}{2m_0^2} \left(\frac{m_{hh}}{m_{VBDs}} \right)^3 \left(\frac{m_{so}}{2m_{hh} + m_e} \right)^{\frac{3}{2}} \\ B &= \frac{f_{11'} f_{22'}}{E_g \Delta k_B T} \end{aligned} \quad (V.30)$$

où $\Gamma(a, x_0)$ est la fonction Γ incomplète, m_e la masse effective des électrons dans la bande de conduction, m_{hh}, m_{so} celles des trous dans les vallées des trous lourds et spin-orbit et m_{VBDs} la masse de densité d'état dans la bande de valence.

Les paramètres de structure de bande (E_g et Δ) et de masse effective (m_e, m_{hh}, m_{so}) sont donnés sous forme analytique par Vurgaftman et al. [?]. Enfin en supposant le produit des forces d'oscillateur $f_{11'} f_{22'}$ égal à l'unité (ce qui est une approximation raisonnable [107]) on trace le coefficient Auger C en fonction de la température (figure V.34, tracé rouge) pour GaSb.

Comme prévu le coefficient montre un maximum marqué quand la largeur de bande interdite E_g est proche de la distance en énergie (Δ) entre la vallée des trous lourds et celle liée au couplage spin-orbite.

Pour mettre en évidence l'importance de la résonance $\Delta = E_g$, nous avons fait le même calcul en gardant les deux gaps Δ et E_g constant avec la température (tracé vert figure V.34). La condition $E_g = \Delta$ n'étant plus satisfaite la résonance a disparu. Il est clair que la forte variation non-monotone observée dans ce matériau est au premier ordre due à la variation de la différence $E_g - \Delta$.

La position exacte du maximum sur la courbe rouge (E_g et Δ dépendent de la température) est observé pour une température $T = 95$ K proche de celle à laquelle $\Delta = E_g$. Ce léger décalage est dû à la variation générale avec la température (tracé vert figure V.34) correspondant à la

diminution de l'occupation des états du système dont l'effet est du second ordre par rapport à celui lié à la résonance $E_g = \Delta$.

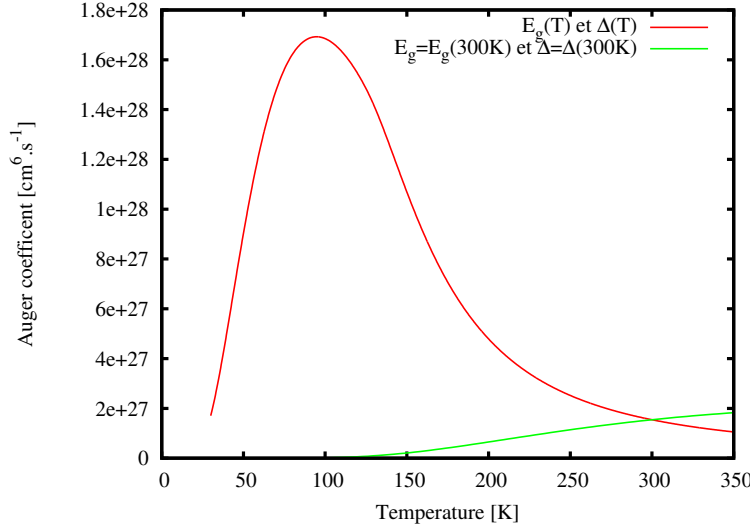


FIG. V.34: Auger coefficient versus temperature for GaSb. Red lines : energy gaps E_g and Δ are from [3]. Green line : energy gaps E_g and Δ are constant

Recombinaisons Auger dans GaAsSb

Dans une approche très complète basée sur la fonction de Green, Takeshima [106] a montré que pour des températures proches de la température ambiante, le coefficient Auger varie de façon décroissante avec la température dans GaSb (en accord avec les résultats que nous avons montrés plus haut) alors qu'il est croissant dans GaAs. On peut donc penser qu'il existe pour l'alliage GaAsSb une composition d'antimoine pour laquelle le coefficient Auger montrera à température ambiante un comportement très peu dépendant de la température. Nous allons, dans les paragraphes qui suivent, montrer que ce comportement existe.

Le calcul du coefficient Auger présenté ci-dessus dans le cas d'un semiconducteur binaire a été généralisé au cas de l'alliage GaAsSb qui nous intéresse dans ce travail. La présence d'un alliage introduit, par rapport à un semiconducteur binaire, un type supplémentaire d'interaction entre les porteurs de charge et le réseau cristallin. Il existe donc, dans les alliages, des chemins supplémentaires pour les processus Auger ce qui augmente la probabilité totale des recombinaisons Auger. Dans ce calcul nous avons négligé cet effet car d'une part il conduit à une augmentation limitée de la probabilité (estimée à un facteur 2.5 dans le cas extrême de l'alliage InGaAs en accord de maille avec InP [108]) et d'autre part il ne modifie pas la dépendance avec la température de la probabilité de recombinaison Auger, l'effet que nous souhaitons étudier ici.

Dans ces conditions le coefficient Auger est tracé figure V.35 en fonction de la température pour l'alliage GaAsSb avec des compositions d'antimoine variant de 0.2 à 1. Comme précédemment les variations avec la température de la structure de bande et des masses effectives sont données par Vurgaftman et al. [?]. On constate que sur chaque courbe existe un maxi-

mum qui, comme dans le cas d'un alliage binaire est attribué à la résonance $\Delta = E_g$. Lorsque le taux d'antimoine diminue la position de cette résonance se décale vers les fortes températures. Selon Vurgaftman et al. elle est égale à 300 K pour une composition d'antimoine proche de 75%. D'autre part les pentes observées de part et d'autre de ce maximum diminuent lorsque le taux d'antimoine diminue. Cet effet est dû à l'augmentation de la température de la résonance comme indiquée plus haut (figure V.33).

En conclusion, il existe une composition d'antimoine (75% d'après Vurgaftman et al.) à laquelle la recombinaison Auger varie très peu autour de la température ambiante. Grâce à la faible variation du coefficient Auger autour de la résonance $\Delta = E_g$ à haute température, le domaine de température montrant une variation négligeable du coefficient Auger est assez large : variation inférieure à 5% sur plus de 90K. Notons que dans les matériaux très fortement dopés pour lesquels il faut utiliser la statistique de Fermi-Dirac cet étalement du maximum sera encore renforcé.

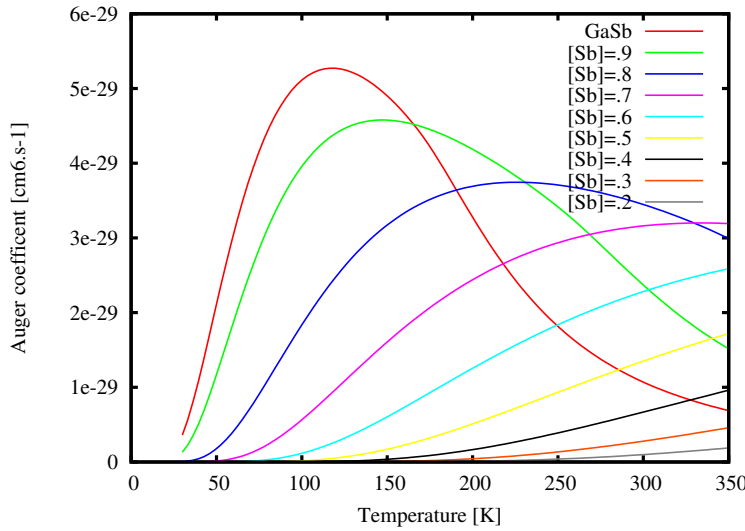


FIG. V.35: Auger coefficient versus temperature in GaAsSb for various alloy compositions

Gain en courant limité par les recombinaisons Auger dans les TBH GaAsSb

En introduisant l'équation V.30 dans l'expression V.29 on obtient la variation avec la température du gain en courant limité par les recombinaisons Auger (processus *CHSH*). Le résultat du calcul est comparé à celui mesuré sur les TBH GaAsSb figure V.36. Le résultat du calcul a été multiplié par un facteur arbitraire constant pour faciliter une comparaison qualitative alors que les paramètres de GaAsSb ne sont pas bien connus.

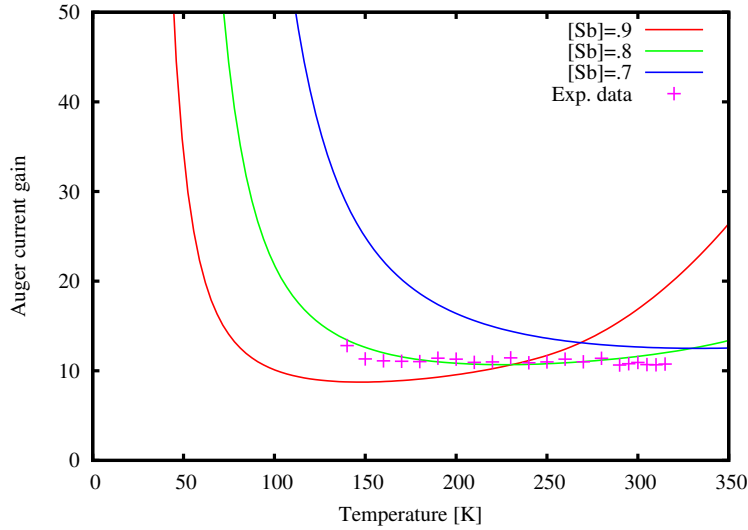


FIG. V.36: Auger limited current gain versus temperature.

Les résultats du calcul et de la mesure sont en excellent accord qualitatif, montrant tous les deux un comportement constant du coefficient Auger avec la température entre 150 K et 320 K. Cet accord apporte une preuve supplémentaire à la démonstration que le gain mesuré sur ces transistors à forte densité de courant est limité par les recombinaisons Auger.

On note cependant que l'accord est obtenu pour une composition d'antimoine de 80% qui ne correspond pas à la composition (37%) mesurée dans ces échantillons par double diffraction X. Comme nous l'avons vu plus haut (figure V.34) la variation du coefficient Auger avec la température est essentiellement due à la variation de la différence $E_g - \Delta$. Le désaccord constaté entre les deux compositions d'antimoine est donc vraisemblablement dû à la description utilisée pour la variation avec la température de la différence $E_g - \Delta$. Dans leur article très complet Vurgaftman et al. [?] proposent une description analytique de ces paramètres. Les gaps (E_g et Δ) sont décrits par l'intermédiaire de la loi empirique de Varshni [109]. Il existe malheureusement très peu de mesures publiées sur la mesure de ces paramètres ce qui rend la validation expérimentale de l'approche théorique très difficile.

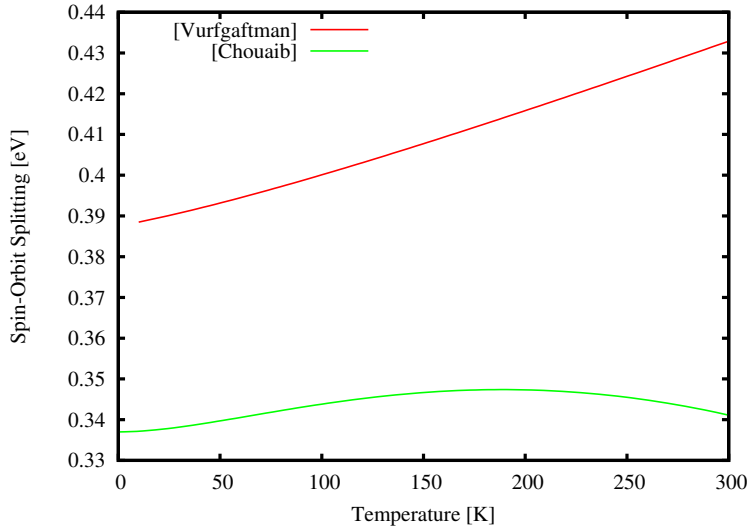


FIG. V.37: Spin-orbit splitting (Δ) versus temperature in $\text{GaAs}_{0.5}\text{Sb}_{0.5}$ from Vurgaftman et al. [?] and Houssam Chouaib [110]

Houssam Chouaib a pendant sa thèse [110] mesuré les gaps E_g et Δ par photo- et électro-réflectance. Il a observé une évolution du gap spin-orbite Δ qui ne peut pas être décrite par la loi empirique de Varshni (figure V.37) et qui est désaccord qualitatif et quantitatif avec la description analytique de Vurgaftman et al. On remarque que l'écart à la loi de Varshni du comportement du gap spin-orbite Δ a déjà été constaté dans des matériaux bien connus comme GaAs [111].

On observe par ailleurs que le comportement décroissant de Δ mesuré par Chouaib à température élevée ($T > 180\text{K}$) tend à rendre dans cette gamme de température la différence $E_g - \Delta$ constante. Les déterminations des gap E_g et Δ faites par Chouaib en électro-réflectance utilisent deux régimes : champ électrique fort conduisant à l'observation d'oscillations Franz-Keldysh et champ faible en absence de ces oscillations. Dans chaque cas, l'exploitation des mesures laisse un paramètre indéterminé. C'est le rapprochement des deux régimes qui lui a permis de lever cette indétermination. Malheureusement ce rapprochement n'ayant pas pu être fait sur la même épitaxie, la détermination de Δ est entachée d'une assez forte incertitude. Une série de nouveaux échantillons mieux adaptés à cette mesure est actuellement en préparation au LPN et devrait permettre, par mesures d'électro-réflectance faites à l'INL, une détermination plus précise des variations avec la température des gap E_g et Δ .

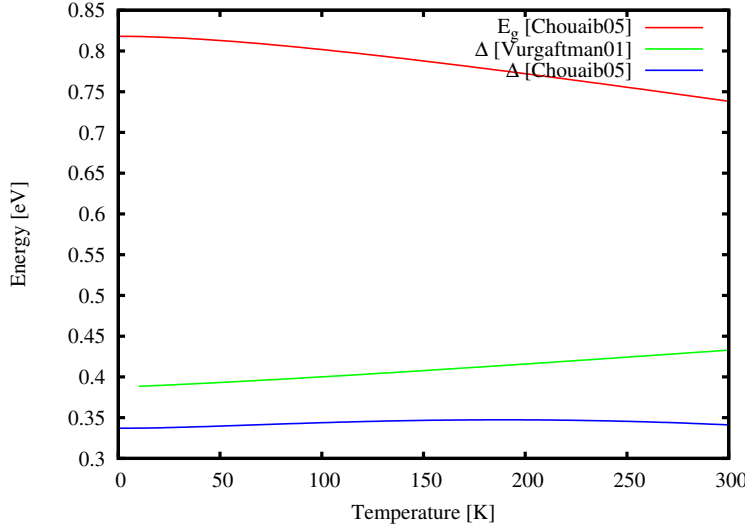


FIG. V.38: Band gap (E_g) and spin-orbit splitting (Δ) versus temperature in $\text{GaAs}_{0.5}\text{Sb}_{0.5}$ from Houssam Chouaib [110]

V.5.7 Conclusions

La durée de vie des électrons minoritaires dans GaAsSb fortement dopé de type p est limitée par les recombinaisons Auger. En effet nous avons montré que :

- le courant de base est formé de deux composantes, l'une liée aux recombinaisons SRH dans la zone de charge d'espace émetteur-base et l'autre liée à la durée de vie des électrons dans le volume de la base.
- cette deuxième composante du courant correspond pour le TBH à un gain en courant qui ne varie pas avec le courant collecteur.
- ce gain en courant est sur une gamme de dopage de la base allant de 10^{19} cm^{-3} à 10^{20} cm^{-3} correspond à une durée de vie variant en $1/Cp^2$ qui est la signature des recombinaisons Auger. La mesure du coefficient Auger donne $C = (3.0 \pm 0.3) \times 10^{-29} \text{ cm}^6 \cdot \text{s}^{-1}$.
- ce dernier résultat est en excellent accord quantitatif avec la mesure directe de la durée de vie par la technique de pompe-sonde [19]. On trouve $C = (4 \times 10^{-29}) \text{ cm}^6 \cdot \text{s}^{-1}$.
- les mesures du gain limité par les recombinaisons Auger sur les TBH GaAsSb ont montré un comportement constant avec la température dans une gamme allant de 140 à 320 K.
- les calculs de la probabilité des recombinaisons Auger dans cet alliage prédisent également un comportement constant avec la température dans cette gamme.
- le bon accord qualitatif théorie/expérience des comportements avec la température constitue une deuxième signature de la prédominance des recombinaisons Auger dans le TBH GaAsSb .

La prédominance des recombinaisons Auger sur le gain en courant mesuré dans les TBH GaAsSb à forte densité de courant collecteur, a deux conséquences importantes sur le comportement de ce transistor à forte densité de courant collecteur :

- le gain en courant est indépendant du courant collecteur au delà d'un certain seuil (ici $J_C > 0.1 \text{ mA}/\mu\text{m}^2$)
- le gain en courant est indépendant de la température dans une gamme allant au moins de 150 à 320 K

Ces deux propriétés confèrent au TBH GaAsSb des propriétés uniques, en particulier pour la stabilité des applications de puissance en hyperfréquence [94].

Enfin, on a noté un désaccord entre la théorie et l'expérience sur la composition d'antimoine de l'alliage GaAsSb donnant une durée de vie Auger indépendante de la température. Ce désaccord a été attribué à la description de la variation avec la température de la différence $E_g - \Delta$. De nouveaux échantillons sont en cours d'élaboration. Ils devraient permettre une mesure plus précise de ces paramètres, conduisant à une meilleure détermination de la gamme de composition en antimoine dans laquelle les TBH GaAsSb présentent un gain indépendant à la fois du courant collecteur et de la température.

V.6 Conclusions

Les caractérisations électriques présentées dans ce chapitre ont permis de montrer que les TBH InP/GaAsSb reportés sur substrat hôte présentent des qualités cruciales pour les applications en puissance.

L'étude des caractéristiques de Gummel à température ambiante a permis de montrer que le gain en courant des TBH reportés est, aux faibles densités de courant collecteur, très peu dépendant du courant collecteur. Cette propriété est due à la prédominance, dans le courant de base, des recombinaisons croisées à l'interface émetteur - base qui se caractérisent par un coefficient d'idéalité ($n_B = 1.09$) proche de l'unité.

A forte densité de courant collecteur, le gain en courant est indépendant de la température dans une gamme allant au moins de 150 à 320 K. Cet effet est dû à la prédominance dans le courant de base, des recombinaisons des électrons minoritaires dans le volume de la base par effet Auger.

Le coefficient thermoélectrique qui mesure la sensibilité du transistor à l'élévation de température est significativement plus faible (facteur 2.5) dans les TBH InP/GaAsSb que dans les autres filières (InP/InGaAs et AlGaAs/GaAs).

Ces propriétés sont propres au TBH GaAsSb reporté sur substrat hôte. En effet nous avons montré que la présence d'antimoine dans l'InP de l'émetteur des TBH non reportés change très fortement ces propriétés : courant de base à fort coefficient d'idéalité et coefficient thermoélectrique proche de ceux des filières InP/InGaAs ou AlGaAs/GaAs.

L'ensemble de ces propriétés confère aux TBH GaAsSb reporté sur substrat hôte un très fort potentiel pour les applications de puissance en améliorant considérablement sa stabilité en courant et en température.

Nous avons montré à l'aide de simulations numériques que la résistance thermique située entre les TBH et le thermostat placé sur la face arrière du substrat peut être significativement réduite par le report des couches actives sur substrat hôte. Nous n'avons pas pu montrer cet effet expérimentalement à cause de la dégradation des propriétés thermiques des couches d'aluminium (échanges ioniques au cours du collage) et de tungstène (anisotropie du matériau déposé). Il s'agit ici de verrous technologiques qui seront sans doute levés au cours de travaux ultérieurs.

Chapitre VI

Conclusions

Le travail présenté dans ce mémoire a eu pour but d'évaluer la faisabilité de la réalisation et de l'utilisation de Transistors Bipolaires à Hétérojonction InP/GaAsSb pour les applications de puissance dans le domaine hyperfréquence. En considérant d'une part, les acquis de notre groupe de recherche sur la conception, la réalisation et la caractérisation des TBH ultra - rapides ($f_T, f_{max} = (250, 275)\text{GHz}$ [6]) et d'autre part le potentiel d'une technologie de report de couches actives sur un substrat hôte à adapter leurs performances aux exigences des applications de puissance, nous avons focalisé nos recherches sur le développement d'une technologie de fabrication de TBH reportés. Dans ce cadre, trois axes de recherche ont alors été définis :

Étude de la thermalisation de TBH reportés sur substrat hôte L'étude de la thermalisation a débuté par le développement d'un modèle analytique simple pour le calcul de la résistance thermique séparant un dispositif et le thermostat placé à l'arrière de son substrat. Après sa validation par des calculs numériques complets, ce modèle a été utilisé tout au long de cette thèse, pour une interprétation "avec les mains" des nos résultats tant théoriques qu'expérimentaux.

Le comportement thermique du même transistor placé dans trois configurations différentes (non reporté, reporté sur Pyrex et reporté sur SiC) a été étudié. La première, un TBH sur son substrat natif en InP, nous a servi de référence. Il a montré que la couche enterrée de contact collecteur en InGaAs forme une barrière thermique au flux de chaleur entre le dispositif et le substrat. L'utilisation de cette couche comme prise de contact lui imposant une épaisseur minimale, la résistance thermique de ce type de transistor est difficilement réductible. Avec la seconde, un TBH reporté sur un substrat de Pyrex, nous avons montré qu'il est possible, malgré la très mauvaise conductivité thermique du Pyrex (50 fois plus faible que celle d'InP), de concevoir une structure présentant une résistance thermique nettement réduite par rapport à celle du transistor réalisé sur son substrat natif en InP. Cette réduction a été réalisée grâce à l'utilisation des couches métalliques situées à l'interface Pyrex /couches actives, comme drain thermique. C'est le concept de "drain thermique horizontal" introduit dans ce travail. Enfin avec la troisième configuration, un TBH reporté sur SiC, nous avons proposé une structure optimisée mettant en oeuvre trois drains thermiques, qui présente une résistance thermique six fois plus faible que celle des TBH sur InP. Dans cette configuration, les drains thermiques horizontaux introduits dans la configuration précédente ont été complétés par un "drain thermique vertical" afin de contourner la fine de couche de Pyrex indispensable au collage anodique. On note que le substrat de SiC pourra être remplacé par du silicium beaucoup moins cher entraînant une augmentation de seulement 11% de la résistance thermique.

Développement d'une technologie de fabrication des TBH reportés sur substrat hôte

Après avoir présenté l'intérêt de la présence d'une couche métallique enterrée sous les couches actives pour les performances tant électrique que thermique du TBH, nous présentons les détails de la technologie de fabrication des TBH reportés sur substrat hôte. Cette technologie comporte trois étapes principales : collage des couches actives, retrait du substrat d'origine et fabrication des transistors.

Le collage anodique est particulièrement bien adapté aux exigences du report de couches actives. En effet, grâce à la création au cours du collage anodique d'une zone de charge d'espace localisée dans le Pyrex au voisinage de la surface à coller, une pression électrostatique rapproche les surfaces à coller dans un contact intime permettant la création de liaisons chimiques entre elles. Lorsque la densité de ces liaisons est suffisante le collage devient irréversible et permanent. Nous avons montré que la non planarité des surfaces à coller conduit à un collage progressif couvrant toute la surface de l'échantillon. Cette homogénéité, propriété intrinsèque du collage anodique, en fait une technologie de choix pour le report des couches actives.

À partir des résultats publiés sur le collage anodique, nous avons développé un procédé de report de couches actives sur Pyrex en utilisant le collage aluminium - Pyrex. Une technologie adaptée au retrait du substrat natif en InP a également été développée.

La technologie de fabrication des transistors sur couches reportées a nécessité le développement de briques technologiques spécifiques. En effet l'empilement des couches actives et la présence d'une couche métallique enterrée ne permettent pas l'utilisation des procédés développés sur substrat natif. L'ensemble du procédé a été validé par la réalisation de TBH double mesa. L'étude de leur propriétés nous a permis de mettre en évidence le très fort potentiel des TBH InP/GaAsSb reportés pour les applications de puissance (Cf. plus loin).

Deux verrous technologiques ont été identifiés pour la réalisation de transistors submicro-niques dédiés aux applications hyperfréquence.

Caractérisation électrique et thermique des TBH reportés sur substrat hôte Les caractérisations électriques ont été menées en parallèle sur des TBH reportés sur Pyrex et sur des TBH fabriqués sur leur substrat natif en InP.

L'étude des caractéristiques de Gummel à température ambiante a permis de montrer que le courant de base des TBH non reportés est dominé par les recombinaisons de type Shockley-Read-Hall ($n_B = 1.39$) liées à la présence d'antimoine dans l'émetteur en InP ; alors que celui des TBH reportés sur Pyrex est dominé par les recombinaisons croisées ($n_B = 1.09$) à l'hétérojonction émetteur - base. Le courant de collecteur des TBH reportés est réduit par un facteur proche de deux par rapport aux TBH non - reportés. Cette réduction s'explique par un gradient de la composition d'alliage dans la base en GaAsSb, conduisant à une largeur de bande interdite plus forte coté substrat que coté surface. Il en résulte (i) une légère augmentation de la hauteur de barrière de la jonction émetteur - base (évaluée à 12 meV) et (ii) un quasi - champ électrique (1 kV/cm) dans la base qui crée une composante de dérive qui s'oppose dans les transistors reportés à celle de diffusion.

La suppression dans les TBH reportés de la composante de courant à fort coefficient d'idéalité ($n_B = 1.39$) se traduit par une très faible dépendance du gain en courant avec le courant collecteur. La conception des circuits de puissance s'en trouve alors facilitée, effet mis en évidence au cours du programme ATTHENA de l'ANR.

Les caractérisations ont ensuite été focalisées sur trois paramètres (coefficient thermoélectrique, résistance thermique et gain en courant) permettant d'évaluer le potentiel de ces transis-

tors pour les applications de puissance.

Le coefficient thermoélectrique qui mesure la sensibilité du transistor à l'élévation de température est significativement plus faible (facteur 2.5) dans les TBH InP/GaAsSb que dans les autres filières (InP/InGaAs et AlGaAs/GaAs). Nous avons pu mettre en évidence cette réduction, intrinsèque aux hétérojonctions de type II, sur les transistors reportés sur substrat hôte pour lesquels l'émetteur en InP ne contient pas d'antimoine. La faible valeur du coefficient thermoélectrique, est un point important pour les applications de puissance des TBH InP/GaAsSb. En effet, avec une faible rétroaction entre la température et le courant, ces transistors présentent une stabilité thermique accrue par rapport à ceux des autres filières.

La mesure des résistances thermiques comprises entre le transistor et un thermostat placé sur la face arrière du substrat a permis une validation expérimentale du modèle analytique développé dans cette thèse. La dégradation de la conductivité thermique des couches métalliques situées à l'interface couches actives - Pyrex n'a pas permis la mise en oeuvre expérimentale des drains thermiques permettant, selon les prédictions des simulations numériques présentées au troisième chapitre, d'obtenir une réduction significative des résistances thermiques par rapport à celles des transistors non reportés. Les fortes résistances thermiques mesurées ont été attribuées à deux effets conjoints (i) une conductivité thermique anisotrope du tungstène et (ii) une dégradation de la couche d'aluminium au cours du collage anodique.

Le gain en courant des TBH GaAsSb (reportés ou non) est dominé, aux fortes densités de courant collecteur, par les recombinaisons Auger des électrons minoritaires dans le volume de la base. Ceci a deux conséquences importantes sur le comportement de ces transistors :

- le gain en courant est indépendant du courant collecteur au delà d'un certain seuil (ici $J_C > 0.1 \text{ mA}/\mu\text{m}^2$)
- le gain en courant est indépendant de la température dans une gamme allant au moins de 150 à 320 K

Ces deux propriétés confèrent au TBH GaAsSb des propriétés uniques lui permettant de présenter une remarquable stabilité, en particulier pour les applications de puissance en hyperfréquence.

Ce travail devrait naturellement déboucher sur une poursuite des développements technologiques nécessaires à la réalisation de transistors submicroniques dédiés aux applications hyperfréquence. Nous avons identifié trois verrous technologiques à faire sauter. Il s'agit, d'une part de maîtriser les effets électrochimiques conduisant au blocage de la gravure chimique sélective de la couche en InP de l'émetteur lorsque la couche métallique enterrée est découverte ; et d'autre part de remplacer la couche d'aluminium par un autre métal. Celui-ci devra pouvoir être utilisé pour le collage anodique, présenter une conductivité thermique élevée et surtout une grande inertie aux différentes solutions chimiques utilisées lors du procédé de fabrication des transistors. Le tungstène est a priori un bon candidat. Enfin les conditions de dépôt du tungstène en couche mince devront être revues de façon à réduire l'anisotropie de sa conductivité thermique.

La mise en place de ce procédé devrait alors permettre de tirer parti des excellentes propriétés des TBH InP/GaAsSb reportés que nous avons pu mettre en évidence dans ce travail et conduire à la réalisation de TBH pour des applications de puissance fonctionnant à des fréquences supérieures à 200 GHz.

Bibliographie

- [1] R. N. Hall
Electron-Hole Recombination in Germanium Phys. Rev. **87**, 387-387 (1952)
 - [2] M. Yee, PA. Houston
High current effects in double heterojunction bipolar transistors.
Semicond. Sci. Technol. **20** 412-7 (2005)
 - [3] I. Vurgaftman, J.R. Meyer, and L.R. Ram-Mohan
Band parameters for III-V compound and their alloys
J. Appl. Phys. **89**(11) 5815 (2001)
 - [4] A.S. Grove
Physics and Technologie of semiconductor devices Wiley, New York, 224 (1967)
 - [5] M. Lundstrom
Fundamentals of Carrier Transport
(Cambride University Press, Cambridge, UK) 2000
 - [6] S. Demichel
Transistors Bipolaires à Hétérojonction à collecteur métallique (MHBT) à base fine : réalisation technologique dans la filière InP/InGaAs et caractérisation
Thèse Paris VI (2001)
 - [7] M. Lijadi
Transistors Bipolaires à Hétérojonction : Développement d'une filière InP/GaAsSb pour applications ultra-rapides
Thèse Université Paris VI (2005)
 - [8] W. Hafez, Jie-Wei Lai and M. Fengothe
InP=InGaAs SHBTs with 75nm collector and $fT > 500$ GHz
Electronics Letters **39** 20 (2003)
 - [9] H.-F. Chau and E.A. Beam III *High-speed, high breakdown voltage InP/InGaAs double-heterojunction bipolar transistors grown by MOMBE*
IEEE Transactions on lectron Devices **40** 11 2121- (1993)
 - [10] S.P. Watkins, O.J. Pitts, C. Dalea, X.G. Xu, M.W. Dvorak, N. Matine and C.R. Bolognesi
Heavily carbon-doped GaAsSb grown on InP for HBT applications
J. Crystal Growth, **221** 59 (2000)
 - [11] M. Ida, K. Kurishima, N.Watanabe, and T.Enoki
InP/InGaAs DHBTs with 341-GHz fT at high current density of over 800 kA/cm²
Electron Dev. Meeting,IEDM Technical Digest.35.4.1-35.4.4 (2001)
-

-
- [12] R. Bhat, W-P. Hong, C. Caneau, M.A. Koza, C-K. Nguyen, and S. Goswani
InP/GaAsSb/InP and InP/GaAsSb/InGaAsP double heterojunction bipolar transistors with a carbon-doped base grown by organometallic chemical vapor deposition
Appl. Phys. Lett. **68**(7) 985 (1996)
- [13] B.T. McDermott, E.R. Gertner, S. Pittman, C.W. Seabury, and M.F. Chang
Growth and doping of GaAsSb via metalorganic vapor deposition for InP heterojunction bipolar transistors
Appl. Phys. Lett. **68**(10) 1386 (1996)
- [14] C.R. Bolognesi, N. Matine, M.W. Dvorak, X.G. Xu, J. Hu, and S.P. Watkins
Non-Blocking Collector InP/GaAsSb/InP Double Heterojunction Bipolar Transistors with a Staggered Lineup Base-Collector Junction
IEEE Electron Dev. Lett. **20**(4) 155 (1999)
- [15] M.J. Cherng, G.C. Stringfellow, and R.M. Cohen
Organometallic vapor phase epitaxial growth of GaAs_{0.5}Sb_{0.5}
Appl. Phys. Lett. **44** 677 (1984)
- [16] C-A. Chang, R. Ludeke, L.L. Chang, and L. Esaki
Appl. Phys. Lett. **31** 759 (1977)
- [17] D.A. Yarekha, S. Godey, X. Wallart, H. Colder, M. Zaknounge, F. Mollot
MBE growth of heavily carbon doped GaAsSb on InP for heterojunction bipolar transistor applications
Journal of Crystal Growth **301-302** 217 (2007)
- [18] S. Godey, S. Dhellemmes, A. Wilk, M. Zaknounge, F. Mollot
CBr₄ and Be heavily doped InGaAs grown in a production MBE system
Journal of Crystal Growth **278** 600 (2005)
- [19] D. Vigaud, D.A. Yarekha, J.F. Lampin, M. Zaknounge, S. Godey, and F. Mollot
Electron lifetime measurements of heavily C-doped InGaAs and GaAsSb as a function of the doping density
Appl. Phys. Lett. **90** 242104 (2007)
- [20] C. Bru-Chevalier, H. Chouaib, J. Arcamone, T. Benyattou, H. Lareche, and P. Bove
Photoreflectance spectroscopy for the study of GaAsSb/InP heterojunction bipolar transistors
Thin Solid Films **450** 151 (2004)
- [21] M. Lijadi, F. Pardo, N. Bardou and J-L. Pelouard
Floating contact transmission line modelling : an improved method for ohmic contact resistance measurement
Solid-State Electron., **49** 1655 (2005)
- [22] W. Shockley
US Patent 2,569,347 (1948)
- [23] S.W. Cho, J.H. Yun, D.H. Jun, J.I. Song, I. Adesida, N. Pan, J.H. Jang
Hight performance InP/InAlAs/GaAsSb/InP double heterojunction bipolar transistors
Solid-State Electronics. **50** (2006) 902-907
-

-
- [24] **A FAIRE** : Référence montrant que la source de chaleur des TBH est dans le collecteur. Plus généralement, référence montrant les sources de chaleurs dans le TBH en fonctionnement.
- [25] I. Harrisson, M. Dahlstrom, S. Krishnan, Z. Griffith, Y.M. Kim, and M.J.W. Rodwell
Thermal Limitations of InP HBT's in 80 and 160 Gbits⁻¹ IC's
Proc. IPRM p. 160 (2003)
- [26] Thales : TBH GaAs de puissance avec énormes ponts thermiques en or
- [27] M. Dahlström, Z. Griffith, Y-M. Kim, M.J.W. Rodwell
High current density and high power density operation of ultra high speed InP DHBTs
Proc. IPRM (2004)
- [28] P. Souverain, T. Camps, M. S. Faleh, A. Cazarré, J. Tasselli, A. Marty and J. P. Bailbé
Three-dimensional modeling of the heat flow into a GaAs substrate. Influence of the thermal phenomena on the RF behavior of power HBTs and technological optimization
Microelectron. Reliab Vol. 38 N.4 P. 553-557 (1998)
- [29] A. Cozma and B. Puers

J. Micromech. Microeng. **5** 98 (1995)
- [30] H. G. Liua, J. Q. Wua, and N. Taoa
High-performance InP/GaAsSb/InP next term DHBTs grown by MOCVD on 100 mm previous term InP next term substrates using PH3 and AsH3
Journal of Crystal Growth **267** 592-597 (2004)
- [31] W. Snodgrass, W. Hafez, and N. Harff
Pseudomorphic InP/InGaAs heterojunction bipolar transistors (PHBTs) experimentally demonstrating $f_T = 765$ GHz at 25 °C increasing to $f_T = 845$ GHz at -55 °C
Tech.Dig. IEDM **22.1** (2006)
- [32] D. Sawdai, P.C. Chang, and V. Gambin
Planarized InP/InGaAs heterojunction bipolar transistors with $f_{max} > 500$ GHz
Proc. Dev. Res. Conf. **14-5** (2004)
- [33] J. van Elp, P.T.M. Giesen, and J.J. van der velde
Anodic bonding using the low expansion glass ceramic Zerdour
J. Vac. Sci. Technol. B **23** 96-98 (2005)
- [34] D. Y. Sim, T. Kurabayashi, and M. Essahi
A bakable microvalve with a Kovar-glass-silicon-glass structure
J. Micromech. Microeng **6** 266-271 1996
- [35] S.W. Choa, J.H. Yuna, and D.H. Juna
High performance InP/InAlAs/GaAsSb/next term InP double heterojunction bipolar transistors
Solid-State Electronics **50** 902-907 (2006)
- [36] Brooks A A and Donovan R P
Low-temperature electrostatic silicon-to-silicon sels using sputtered borosilicate glass J. Electrochem. Soc. **119** 6 545 (1972)
-

-
- [37] T. Ishibashi
Influence of electron velocity overshoot on collector transit times of HBTs
IEEE Trans Electron devices **37** 2103-2105 (1990)
- Schm M. A. Schmidt
wafer to wafer bonding for microstructure formation
Proc. IEEE **86** 1575-1585 (1998)
- [38] G. Wallis
Field assisted glass sealing
Electrocomp. Sci. Technol **2** 45-53 (1975)
- [39] Kevin B. Albaugh
Electrode phenomena during anodic bonding of silicon to sodium borosilicate glass
Journal Electrochem. Soc **138**(10) 3089-3094 (1991)
- [40] D.E. Carlson, K.W. Hang, and G.F. Stockdale
Electrode polarization in alkali-containing glasses
J. Am. Ceram. Soc **55** 337-341 (1972)
- [41] W. Shockley
The theory of $p-n$ junctions in semiconductors and $p-n$ junctions transistors Bell. Syst. Tech. J. **28** (1949)
- [42] B. Hök, C. Dubon and C. Ovrén
Anodic bonding of gallium arsenide to glass Appl. Phys. Lett **43** 267-269 (1983)
- [43] P.B. DeNee
Low energy metal-glass bonding
J. Appl. Phys. **40** 5396-5397 (1969)
- [44] N. Matine
Réalisation et caractérisation de transistors bipolaires à hétérojonction InP/InGaAs/métal (structure MHBt)
Université Paris XI (1996)
- [45] H. Kroemer
Tow integral relations pertaining to the electron transport through a bipolar transistor with a nonuniform gap in the base region
Solid state electron **28** 1101-1103 (1985)
- [46] S.M. Sze
Physics of semiconductor devices
2^{eme} edition, John Wiley (1981)
- [47] C.R. Bolognesi, N. Matine, and M.W. Dvorak
Non-blocking collector InP/GaAsSb/InP Double heterojunction Bipolar Transistors with a staggered lineup base-collector junction.
IEEE Electron Device Lett. **20** 155-7 (1999)
- [48] N.P. Bansal and R.H. Doremus
Handbook of glass properties
Academic Press (1986)
-

-
- [49] Q.-Y. Tong and U. Gösele
Semiconductor wafer bonding science and technology
The Electrochemical Society (1999)
- [50] C. Juang, K.J. Kuhn, and R.B. Darling
Selective etching of GaAs and $Al_{0.3}Ga_{0.7}As$ with citric acid/hydrogen peroxide solutions
J. Vac. Sci. Technol. B **8** 1122-4 (1990)
- [51] S. Tiwari
A new effect at high currents in Heterostructure Bipolar Transistors
IEEE Electron Device Lett **9**(3) 142-4 (1988)
- [52] D.I. Pomrantz
Anodic bonding
US Patent 3,397,278 (1968)
- [53] C. Rongyan, L. Xiaowei, and C. Weiping
Investigation on silicon-glass electrostatic bonding time
Sensors and Actuators A Physical **127** 194-199 (2006)
- [54] J.L. Moll
The evolution of the theory of the current-voltage characteristics of p-n junctions
Proc. IRE, **46** 1076 (1958)
- [55] D.A. Yarekha, S. Godey, and X. Wallart
MBE growth of heavily carbon doped GaAsSb on InP for heterojunction bipolar transistor applications
Journal of crystal growth **301** 217-220 (2007)
- [56] C. Tudryn, S. Schweizer, and R. Hopkins
Characterization of Si and CVD SiC to glass anodic bonding using TEM and STEM analysis
J. Electrochem. Soc. **152** 131-134 (2005)
- [57] O.L. Anderson and D.A. Stuart
Calculation of activation energy of ionic conductivity in silica glasses by classical methods
J. Am. Ceram. Soc. **37** 573-580 (1954)
- [58] H.G. Liu, N. Tao, and S.P. Watkins
Extraction of the average collector velocity in high speed "type II" InP-GaAsSb-InP DHBTs
IEEE Electron Device Letters **25** 769-71 (2004)
- [59] M. Toyoda, Y. Fujiya, M. Nayama, and T. Yamada
Study on glass-metal bonding by anodic bonding
IIW Doc. I-955-92 Takasago R&D Center, Mitsubichi Heavy industries Ltd, Japan (1992)
- [60] Z. Griffith, M.J.W. Rodwell, X.-M. Fang, D. Loubychev, Y. Wu, J.M. Fastenau, and A.W.K. Liu
InGaAs/InP DHBT with 120-nm collector having simultaneously high f_T $f_{max} > 450$ GHz
IEEE Electron Device Lett. **26**(8) 530-2 (2005)
-

-
- [61] M. Harz and H. Engelke
Curvature changing or flattening of anodically bonded silicon and borosilicate glass
Sensors actuators A **55**(2-3) 201 (1996)
- [62] M. Lijadi, C. David, J.-L. Pelouard
Etching selectivity and surface roughness studies of Citric Acid/Hydrogen Peroxide on InGaAlAs/GaAsSb system,
Electrochem. Solid-State Lett. **8**, C189 (2005)
- [63] C.H. Henry, R.A. Logan, and F.R. Merrit
The effect of surface recombination on current in $Al_xGa_{1-x}As$ heterojunctions
J. Appl. Phys. **49** 3530-42 (1978)
- [64] R. G. Gossink
SIMS analysis of a field-assisted glass to metal seal
J. Am Ceram. Soc. **61** 539-540 (1978)
- [65] P. Asbeck, F. Chang, and K-C. Wang
GaAs based heterojunction bipolar transistors for very high performance electronic circuits
Proc. IEEE **81** 1709-1726 (1993)
- [66] W. Snodgrass, Bing-Ruey Wu, and W. Hafez
Graded base Type-II InP/GaAsSb DHBT with $f_T = 475$ GHz
IEEE Electron Device Lett. **27**(2) 84 (2006)
- [67] A.T.J. van Helvoort, K.M. Knowles, and J.A. Fernie
Characterization of cation depletion in Pyrex during electrostatic bonding
J. Electrochem. Soc. **150** 624-629 (2003)
- [68] A.T.J. van Helvoort, K.M. Knowles, and J.A. Fernie
Nanostructures at electrostatic band interfaces
J. Am. Ceram. Soc. **86** 1773 (2003)
- [69] G. Wallis and D.I. Pomerantz
Field assisted Glass-Metal Sealing
Journal of applied physics **40**(10) 3946 (1969)
- [70] M. Rodwell, Q. Leea, and D. Mensaa
Transferred-substrate HBT next term integrated circuits
Solid-State Electronics **43**(8) 1489-1495 (1999)
- [71] S. Weichel, R. de Reus, and S. Bouwstra
Wafer curvature and residual stress in thin-film anodic bonding
Proc. Eurosensors XIII The 13th European Conference on Solid-State Transducers, p. 813 (1999)
- [72] J.C. Candy and G.C. Temes (Editors)
Oversampling Delta-Sigma Data converters "Theory, Design, and Simulation
Wiley- IEEE Press (1991)
- [73] M. Khan, S. Blayac, M. Riet
Measurement of base and collector transit time in thin-base InGaAs-InP HBT
IEEE Electron Device Lett. **24** 430-32 (2003)
-

-
- [74] D. Yu, K. Choi, K. Lee
Ultra high-speed 0.25 μ m emitter InP/InGaAs SHBT with f_{max} of 687 GHz
Tech Dig IEDM 557-60 (2004)
- [75] M.A. Morsy, K. Ishizaki, and M. Ushio
Mechanism of enlargement of intimately contacted area in anodic bonding of Kovar alloy to borosilicate glass
Materials Transactions - JIM **37**(9) 1511 (1996)
- [76] S. Laux and W. Lee
Collector signal delay in the presence of velocity overshoot
IEEE Electron Device Lett. **11** 174-176 (1990)
- [77] P. M. Sutton
Space charge and electrode polarization in glass, II
J. Am. Ceram. Soc., **47** 219-230 (1964)
- [78] M.L. Dunn, S.J. Cunningham, and P.E.W. Labossier
Initiation toughness of silicon/glass anodic bonds Acta. mater. **48** 735-744 (2000)
- [79] H. Kroemer
Heterostructure bipolar transistor and integrated circuits
Proc. IEEE **70** 13-25 (1982)
- [80] T. Rogers and J. Kowai
Selection of glass, anodic bonding conditions and material compatibility for silicon-glass capacitive sensors
Sensors Actuators A **46** 113-120 (1995)
- [81] E. Makino, T. Mitsiya, and T. Shibata
Micromachining of TiNi shape memory thin film for fabrication micropump
Sensors actuators A **79** 251-259 (2000)
- [82] T.M.H. Lee, D.H.Y. Lee, and C.Y.N. Liae
Detailed charaterization of anodic bonding process between glass and thin film coated silicon substrates
Sensors Actuators A **86** 103-107 (2000)
- [83] A.T.J. van Helvoort, K.M. Knowles, and J. A. Fernie
Nanostructures at electrostatic bond interfaces
J. Am. Ceram. Soc. **56** 254-257 (1973)
- [84] G. Wallis
Direct-current polarization during field-assisted glass-metal sealing
J. Am. Ceram. Soc. **53** 563-567 (1970)
- [85] M.P. Borom
Electron-microprobe study of field-assisted bonding of glasses to metal
J. Am. Ceram. Soc. **56** 254-257 (1973)
- [86] T. R. Anthony
Anodic bonding of imperfect surfaces
J. Appl. Phys. **54** 2419-2428 (1983)
-

-
- [87] C-T. Sah, R.N. Noyce, and W. Shockley
Carrier Generation and recombination in P-N Junctions and P-N Junction Characteristics
Proceedings of the IRE **45**(9) 1228-1243 (1959)
- [88] G.C. DeSalvo, R. Kaspi, and C.A. Bozada
Citric Acid Etching of GaAs_{1-x}Sb_x, Al_{0.5}Ga_{0.5}Sb, and InAs for Heterostructure Device Fabrication
J. Electrochem. Soc. **141** 3526-31 (1994)
- [89] G. Wallis, J. Dorsey and J. Beckett
Field assisted seals of glass to Fe-Ni-Co alloy
Ceram. Bull. **50** 1081-1087 (1971)
- [90] P. Lindner, V. Dargoi, S. Farrens
Advanced technique for 3D devices in wafer-bonding processes
Solid state Technol **47** 6 55-58 (2004)
- [91] S. Demichel
Transistor bipolaire à hétérojonction à collecteur métallique (MHBT) à base fine
Université Paris VI (2001)
- [92] A.T.J. van Helvoort, K.M. Knowles, R. Holmstead, and J.A. Fernie
Anodic oxidation during electrostatic bonding
Philos. Mag **84**(6) 505 (2004)
- [93] D. Briand, P. Weber and N.F. de Rooij
Bonding properties of metals anodically bonded to glass
Sensors Actuators A, **114** 543-549 (2004)
- [94] W. Liu, H-F. Chau, and E. Beam III
Thermal Properties and Thermal Instabilities of InP-based Heterojunction Bipolar Transistors
IEEE Trans. Electron Devices **43**(3) 388 (1996)
- [95] W. Liu and A. Khatibzadeh
The Collapse of Current Gain in Multi-Finger Heterojunction Bipolar Transistors : Its Substrate Temperature Dependence, Instability Criteria, and Medeling
IEEE Trans. Electr. Device **41**(10) 1698 (1994)
- [96] W. Shockley and W. T. Read, Jr.
Statistics of the Recombinations of Holes and Electrons
Phys. Rev. **87**(5) 835 (1952).
- [97] A. Apostoluk and C. Bru-Chevalier
Communication privée dans le cadre du programme ANR-PNANO ATTHENA
- [98] <http://www.ioffe.ru/SVA/NSM/Semicond/InP>
- [99] J-L. Pelouard, N. Matine, F. Pardo, D. Sachelarie, and J-L. Benchimol
Fully self-aligned InP/InGaAs Heterojonction Bipolar Transistor grown by Molecular Beam Epitaxy with a Schottky collector,
Proceedings of the 5th International Conference on Indium Phosphide and Related Materials, p. 393 (1993)
-

-
- [100] H.J. Zhu, J.M. Kuo, P. Pinsukanjana, X.J. Jin, K. Vargason, M. Herrera, D. Ontiveros, C. Boehme, and Y.C. Kao
GaAsSb-based HBTs grown by production MBE system
Proceedings 16th International Conference on Indium Phosphide and Related Materials, p. 338 (2004)
- [101] H.G. Liu, N. Tao, S.P. Watkins, C.R. Bolognesi
Extraction of the average collector velocity in high-speed "Type-II" InP-GaAsSb-InP DHBTs
IEEE Electron Device Lett. **25**(12) 769 (2004)
- [102] T. Kaneto, K.W. Kim, and M.A. Littlejohn
A comparison of minority electron transport in $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ and GaAs
Appl. Phys. Lett. **63**(1) 48 (1993)
- [103] C.R. Bolognesi, H.G. Liu, N.G. Tao, X. Zhang, S. Bagheri-Najimi, and S.P. Watkins
Neutral base recombination in InP/GaAsSb/InP double-heterostructure bipolar transistors : Suppression of Auger recombination in p+ GaAsSb base layers
Appl. Phys. Lett. **86** 253506 (2005)
- [104] W. Lochmann
Phonon-Assisted Auger Recombination in Semiconductors
Phys. Status Solidi A **40** 285 (1977)
- [105] M. Takeshima
Auger recombination in InAs, GaSb, InP, and GaAs
J. Appl. Phys. **43**(10) 4114 (1972)
- [106] M. Takeshima
Unified theory of the impurity and phonon scattering effects on Auger recombination in semiconductors
Phys. Rev. B **25**(8) 5390 (1982)
- [107] A. Haug, D. Kerkoff, and W. Lockmann
Calculation of Auger Coefficients for III-V Semiconductors with Emphasis on GaSb
Phys. Status Solidi (b) **89** 357 (1978)
- [108] A. Haug
Alloy-assisted Auger recombination in ternary III-V compounds
Phys. Rev. B **50**(16) 12168 (1994)
- [109] Y.P. Varshni
Temperature dependence of the energy gap in semiconductors
Physica **34** 149 (1967)
- [110] Houssam Chouaib
Spectroscopie de modulation optique pour la qualification d'hétérostructures GaAsSb/InP destinées à la réalisation de TBH ultra-rapides
Thèse INSA-Lyon (2005)
- [111] P. Lautenschlager, M. Garriga, S. Logothetidis, and M. Cardona
Interband critical points of GaAs and their temperature dependance
Phys. Rev. B **35**(17) 9174 (1987)
-

Table des figures

I.1	<i>Schéma de principe d'un transistor</i>	4
I.2	<i>Diagramme de bandes de semiconducteurs de type n (a) et de type p (b)</i>	6
I.3	<i>Diagramme de bandes de deux semiconducteurs de type n et p en équilibre thermodynamique</i>	6
I.4	<i>Résolution de l'équation de Poisson dans l'approximation de complète désertion. (a) Profil de charges. (b) Profil de champ électrique. (c) Profil de potentiel (d) Diagramme de bandes.</i>	10
I.5	<i>Champ électrique calculé dans l'approximation de complète désertion et avec un modèle dérive-diffusion</i>	11
I.6	<i>Potentiel calculé dans l'approximation de complète désertion et avec un modèle dérive-diffusion</i>	11
I.7	<i>Densités de porteurs libres calculées dans l'approximation de complète désertion et avec un modèle dérive-diffusion</i>	12
I.8	<i>Densités de porteurs libres supposées dans l'hypothèse de complète désertion ainsi que ceux calculés dans le modèle dérive-diffusion et dans la statistique de Boltzmann d'après le potentiel issu de l'hypothèse de complète dplétion</i>	13
I.9	<i>Longueur de Debye en fonction du niveau de dopage pour différentes températures</i>	14
I.10	<i>Comparaison des profils de porteurs, de champ, de potentiel et de bandes d'une jonction polarisée en direct ($V=0.5V$, en rouge) avec une jonction à l'équilibre (en noir)</i>	15
I.11	<i>Comparaison des profils de porteurs, de champ, de potentiel et de bandes d'une jonction polarisée en inverse ($V=-0.5V$, en rouge) avec une jonction à l'équilibre (en noir)</i>	16
I.12	<i>Diagramme de bande d'une jonction pn sous polarisation directe. Les quasi-niveaux de Fermi sont constants dans la ZCE</i>	17
I.13	<i>Concentrations de porteurs minoritaires dans les ZQN.</i>	19
I.14	<i>Densités de courants d'électrons et de trous à travers la jonction pn</i>	19
I.15	<i>Diagramme de bande d'une jonction pn polarisée en inverse. Par souci de clarté le niveau de piège E_t est supposé confondu avec le niveau intrinsèque E_i. . . .</i>	23
I.16	<i>Caractéristique courant-tension d'une jonction pn réelle</i>	27
I.17	<i>(a) Diagramme de bande de deux semiconducteurs isolés l'un de l'autre. (b) Diagramme de bande de l'hétérojonction formée des deux semiconducteurs mis en contact</i>	28

I.18	(a) Transistor bipolaire npn connecté dans la configuration base commune (b) Profil de dopage des jonctions abruptes (c) Diagramme de bandes du transistor bipolaire en fonctionnement normal	31
I.19	Densité de courant collecteur au maximum du gain en courant (losange), de la fréquence de coupure (carré) et de la fréquence d'oscillation (croix) en fonction de la tension appliquée à la jonction base-collecteur	39
II.1	Jonction base-collecteur de type Schottky-Diagramme de bande	43
II.2	Diagramme des bandes à l'équilibre. a) InP/InGaAs/InP b) InP/GaAsSb/InP	44
II.3	Mobilité des trous dans GaAsSb. Les croix rouges regroupent différentes compositions d'antimoine [10]. Les marqueurs verts représentent les résultats issus de ce travail. La composition en antimoine des échantillons de Yarekha et al. [17] (étoiles bleues) n'est pas connue.	49
II.4	Durée de vie des électrons minoritaires dans GaAsSb :C et dans GaInAs :C en fonction du niveau de dopage.	50
II.5	Diagramme de bande InP/GaAsSb/InP, InP/InAlAs/GaAsSb/InP.	52
III.1	Coupe schématique de la structure simple	57
III.2	Carte de température dans le plan yOz de la couche A homogène et dépourvue de source de chaleur. La couche B est représentée par son contour. Les paramètres de la simulation sont donnés dans le tableau III.1.	58
III.3	Carte de température dans le plan xOy de la couche A homogène et dépourvue de source de chaleur. La couche B est représentée par son contour. Les paramètres de la simulation sont donnés dans le tableau III.1.	59
III.4	Modélisation sphérique de la structure simple.	60
III.5	Rayon de l'isotherme chaude r_1 en fonction de la longueur L_1 de la couche B (source chaude). Les points sont issus de l'adéquation du profil de température le long de l'axe Oz à celui calculé numériquement. Le trait continu représente l'approximation $r_1 = L_1/2$	61
III.6	Échauffement $(T(z) - T_2)$ calculé dans la couche A le long de l'axe Oz en fonction de la distance z à la couche B pour différentes aires de la couche B. Les points sont issus du calcul numérique, les lignes continues du modèle analytique. Les paramètres de la simulation sont donnés dans le tableau III.1.	62
III.7	Résistance thermique du dispositif à source de chaleur carrée en fonction de la largeur du carré. Le trait continu est issu du modèle analytique. Les croix rouges de la simulation numérique.	63
III.8	Échauffement $(T(z) - T_2)$ calculé dans la couche A le long de l'axe Oz en fonction de la distance z à la couche B pour différents rapports de forme de la couche B. Les points sont issus du calcul numérique, les lignes continues du modèle analytique. Les paramètres de la simulation sont données dans le tableau III.2	64
III.9	Résistance thermique d'une source rectangulaire déposée sur un substrat en fonction du rapport de forme du rectangle. Les points sont issus du calcul numérique, la ligne continue du modèle analytique.	66
III.10	Température de la source en fonction de la surface du substrat.	67

III.11 Dispositif simulé. (a) vue de plan et (b) coupe schématique	68
III.12 Coupes schématiques des structures simulées	69
III.13 Cartographie de la température dans un transistor non reporté (structure A) ayant une couche de contact collecteur en InGaAs de 200 nm d'épaisseur. Les paramètres de la simulation sont donnés dans le tableau III.5.	73
III.14 Profil de température le long de l'axe Oz pour différentes épaisseurs de la couche de contact collecteur en InGaAs	74
III.15 Échauffement du collecteur en fonction de l'épaisseur de la couche de contact collecteur en InGaAs. Les croix sont issues de la simulation. Les traits continus du modèle analytique. Les paramètres utilisés dans la simulation sont regroupés dans le tableau III.5	76
III.16 Distribution de la température dans un transistor avec pont d'émetteur et ponts de base	77
III.17 Profils suivant l'axe Oz de la température dans les couches actives du transistor, avec (tracé bleu) et sans (tracé noir) les ponts de sortie de courant.	78
III.18 Profil de température le long de l'axe Oz pour différentes épaisseurs du substrat de Pyrex pour une densité de puissance de la source de $4 \times 10^{16} \text{ W/m}^3$	80
III.19 Échauffement du collecteur en fonction de l'épaisseur du substrat de Pyrex. Les points sont issus des simulations numériques, les courbes en trait continu du modèle analytique.	81
III.20 Effet de drain thermique horizontal de la couche d'aluminium utilisée pour le collage anodique.	82
III.21 Champ de température dans le transistor reporté sur substrat de Pyrex	83
III.22 Température du collecteur en fonction de l'épaisseur de la couche d'aluminium pour différentes largeurs de collecteur	84
III.23 Résistance thermique entre un transistor de structure B (sans les ponts d'émetteur et de base) en fonction des dimensions de la ligne de sortie du courant collecteur	85
III.24 Profils de température le long de l'axe Oz dans la structure B sans (tracé bleu) et avec (tracé noir) les ponts métalliques de sortie de contact.	86
III.25 Coupe schématique des transistors de la structure C	89
III.26 Résistance thermique entre le transistor de structure C et le thermostat en fonction de l'épaisseur de la couche de Pyrex. Les croix sont issues de la simulation numérique, la ligne continue de l'équation III.22. Insert : Effet de drain thermique horizontal dans la couche de contact collecteur en aluminium.	90
III.27 Résistance thermique totale entre le transistor et le thermostat en fonction de la largeur W de l'anneau constituant le drain vertical pour différentes épaisseurs de Pyrex (1, 2 et 3 μm). Les points sont issus de la simulation numérique, les courbes en trait continu de la modélisation. Insert : Flux de chaleur dans le drain thermique vertical (flèches rouges) placé aux extrémités du drain thermique horizontal (flèches noires)	92
III.28 Champ de température dans la structure C munie d'un drain thermique horizontal et vertical.	93
III.29 Structure C dite "optimisée". Un drain thermique d'adaptation a été introduit entre le collecteur et le drain horizontal.	94

III.30	Résistance thermique totale calculée entre le collecteur et le thermostat en fonction de l'épaisseur T_{da} du drain d'adaptation pour différentes valeurs du débordement M_{da} du drain par rapport au doigt de collecteur. Les points sont issus de la simulation numérique, les traits continus de l'expression III.24	95
III.31	Résistance thermique totale calculée entre le collecteur et le thermostat en fonction de l'épaisseur du drain horizontal pour la structure C "optimisée" (tracé rouge) et la structure C "posée" directement sur SiC (tracé vert).	96
III.32	Champ de température dans la structure C "optimisée".	97
III.33	Profils de température le long de l'axe Oz dans la structure C "optimisée" sans (tracé vert) et avec (tracé rouge) les ponts métalliques de sortie des courants émetteur et base.	99
IV.1	Coupe schématique d'un transistor reporté sur substrat hôte	104
IV.2	Déformation élastique de la couche de base en GaAsSb en surplomb après la sous - gravure profonde de la couche collecteur	105
IV.3	Montage expérimental pour la mise en oeuvre du collage anodique	106
IV.4	Points de contact entre deux surfaces. La rugosité et la non planarité des surfaces introduisent des interstices.	107
IV.5	Création de la zone de charge d'espace dans le Pyrex au voisinage de la surface à coller	109
IV.6	Circuit équivalent simplifié du collage anodique	112
IV.7	Courant de collage en fonction du temps	114
IV.8	Profondeur de la zone désertée en fonction du temps	114
IV.9	Comparaison entre les mesures et le modèle simplifié	115
IV.10	Encapsulation de l'échantillon par une couche continue d'aluminium couvrant les faces avant et arrière.	118
IV.11	Structures épitaxiées C_{up} pour réalisation de TBH E_{up} reportés sur substrat hôte	120
IV.12	Procédé de retrait de substrat	120
IV.13	Procédé auto - aligné. Étape 1 : définition des dimensions de la base	122
IV.14	Procédé auto - aligné. Étape 2 : Définition du doigt d'émetteur	123
IV.15	Procédé auto - aligné. Étape 3 : Définition du doigt de collecteur	123
IV.16	Procédé auto - aligné. Étape 4 : Gravure couche émetteur	124
IV.17	Procédé auto - aligné. Étape 5 : Isolation et contacts ohmiques	124
IV.18	Image MEB d'un transistor après la fin de l'étape 5	125
IV.19	Dimension des motifs réalisés en fonction des dimensions initiales	126
IV.20	Image MEB d'une vue de côté d'une structure reportée après une gravure ICP et sous gravure du tungstène	127
IV.21	Procédé auto-aligné reporté. Étape 1 : définition des dimensions de la base . .	128
IV.23	Procédé auto - aligné reporté. Étape 2 : définition des doigts d'émetteur et de collecteur	129
IV.24	Observation au microscope électronique à balayage de la gravure simultanée des couches de tungstène émetteur et collecteur.	130
IV.25	Observation au microscope électronique à balayage d'une structure à la fin de l'étape 2	130
IV.26	Photo MEB d'une structure à la fin de l'étape 2	131

IV.27 Procédé auto-aligné reporté. Étape 3 : contacts ohmiques et isolation	131
IV.28 Image MEB de la rugosité générée après une plasma d'oxygène et la gravure chimique	133
IV.29 Étape a : Définition des dimensions du doigt d'émetteur	134
IV.30 Étape b : Gravure contact émetteur	135
IV.31 Étape c : Gravure contact ohmique d'émetteur en InGaAs	135
IV.32 Étape d : Gravure contact ohmique d'émetteur	136
IV.33 Étape e : Mésa de base	136
IV.34 Étape f : Mésa de base	137
IV.35 Étape g : Gravure de collecteur en InP	137
IV.36 Étape h : Gravure de collecteur métallique en tungstène	138
IV.37 Image MEB d'un transistor à la fin de h	138
IV.38 Étape (i) : Mesa contact collecteur	139
IV.39 Procédé double mésa reporté	139
IV.40 Procédé double mésa reporté : Métallisation base-collecteur et pont émetteur .	140
V.1 Spectre de double diffraction X réalisé sur la plaque H7662	145
V.2 Coupe schématique des TBH H7662 réalisés sur leur substrat natif en InP . . .	145
IV.22 Observation au microscope électronique à balayage de la réalisation des dimensions de la base	146
V.3 Spectre de double diffraction X réalisé sur la plaque H7687	147
V.4 Coupe schématique des TBH H7687 réalisés après report des couches actives sur un substrat hôte	148
V.5 Caractéristique de Gummel d'un transistor typique de l'échantillon H7662. Les marqueurs représentent les points expérimentaux, les lignes continues la meilleure adéquation avec l'expression V.1	149
V.6 Préfacteur des courants de base et de collecteur en fonction de l'aire de la jonction émetteur-base des transistors H7662	150
V.7 Caractéristique de Gummel d'un transistor typique de l'échantillon H7687. Les marqueurs représentent les points expérimentaux, les lignes continues la meilleure adéquation avec l'expression V.1 pour le courant collecteur et l'expression V.2 pour le courant de base.	151
V.8 Préfacteur du courant collecteur en fonction de l'aire de la jonction émetteur - base. Les marqueurs représentent les points expérimentaux, les barres d'erreur les déviations standard de la distribution des points expérimentaux pour chaque population de transistors et la ligne continue la meilleure adéquation au modèle linéaire.	152
V.9 Préfacteur de la composante dominante à forte polarisation ($n_{B1} = 1.09$) du courant de base en fonction de l'aire de la jonction émetteur - base. Les marqueurs représentent les points expérimentaux, les barres d'erreur les déviations standard de la distribution des points expérimentaux pour chaque population de transistors et la ligne continue la meilleure adéquation au modèle linéaire. .	153

V.10	<i>Tension émetteur-base en fonction du courant de base de deux transistors de même géométrie (10x20). Les marqueurs représentent les points expérimentaux, les lignes continues les deux composantes du courant de base issues de l'expression V.2 : en jaune $n_{b1} = 1.09$, en bleu $n_{b2} = 2.0$ et en rouge $n_{b2} = 1.7$.</i>	154
V.11	<i>Composante $n_{b2} = 1.3$ du courant de base en fonction du périmètre de la jonction émetteur-base.</i>	155
V.12	<i>Profil SIMS (courbe rouge) de l'antimoine mesuré dans la couche H7687 par détection de l'ion moléculaire $^{133}\text{Cs}+^{121}\text{Sb}$. La ligne continue bleue montre le niveau de bruit dans cette expérience, celle en vert est la modélisation de la décroissance exponentielle du profil d'antimoine dans la couche d'InP avec une longueur caractéristique de la décroissance de 88 nm.</i>	156
V.13	<i>Diagramme de bande de la jonction émetteur - base. Les données numériques sont celles de la structure H7687</i>	158
V.14	<i>Profil SIMS du rapport des concentrations $^{121}\text{Sb}/^{75}\text{As}$ dans deux couches (H7711 et H7712) de GaAsSb de 100 nm d'épaisseur (entre $t=300\text{s}$ et $t=540\text{s}$)</i>	159
V.15	<i>Tension émetteur - base en fonction de la température pour un courant collecteur de 100 μA.</i>	162
V.16	<i>Coefficient de rétroaction thermo-électrique en fonction de la densité de courant collecteur. Les doigts d'émetteur des transistors InP/GaAsSb se répartissent dans la gamme $5 \times 20\mu\text{m}^2$ à $50 \times 50\mu\text{m}^2$, les autres mesurent $2 \times 20\mu\text{m}^2$ pour les TBH InP/InGaAs et $2 \times 30\mu\text{m}^2$ pour AlGaAs/GaAs [94].</i>	163
V.17	<i>Schéma électrique du montage base commune utilisé. Les grandeurs imposées sont notées en rouge, les grandeurs mesurées en bleu.</i>	167
V.18	<i>Tension émetteur - base à courant émetteur fixé en fonction de la température du thermostat. Les points sont issus de l'extrapolation à puissance nulle des mesures de V_{be} en fonction de la puissance dissipée. La courbe en trait continu est la meilleure adéquation d'une loi linéaire aux valeurs expérimentales.</i>	168
V.19	<i>Température d'émetteur en fonction de la puissance dissipée dans le transistor. Les marqueurs sont les points expérimentaux. Les courbes en trait continu représentent les meilleures adéquations de lois linéaires à ces points.</i>	169
V.20	<i>Résistance thermique en fonction la longueur du doigt d'émetteur pour deux valeurs de la largeur (5 et 10 μm). Les marqueurs indiquent les points expérimentaux, les courbes en trait continu sont issues de l'expression théorique III.17 établie pour une source rectangulaire posée sur un substrat.</i>	170
V.21	<i>Résistance thermique de trois dispositifs typiques sur H7662 en fonction de la température du thermostat</i>	171
V.22	<i>Résistances thermiques mesurées sur les transistors H7687 en fonction de la largeur du doigt d'émetteur. Les marqueurs rouges représentent les données expérimentales, les courbes en trait continu les valeurs issues du modèle analytique pour un débordement latéral de 3.5 μm et une conductivité effective $\kappa = 4.7 \text{ W.m}^{-1}.\text{K}^{-1}$.</i>	173
V.23	<i>Photo TEM de l'interface de collage aluminium - Pyrex. La couche d'aluminium a été déposée sur un substrat de silicium</i>	174

V.24	<i>Photo MEB d'une couche de tungstène déposée par pulvérisation cathodique. L'aspect granuleux de la face supérieure de la couche est dû à la nature colonnaire du dépôt.</i>	175
V.25	<i>Current gain versus collector current density</i>	178
V.26	<i>Base transit time versus base width from equation V.18</i>	180
V.27	<i>Electron life time versus hole density. Red error bars are from this work, blue crosses from Vignaud et al. [19]</i>	181
V.28	<i>Electron life time versus hole density. Red error bars are from this work, blue crosses from Bolognesi et al. [103]</i>	182
V.29	<i>The two components of the current gain as a function of temperature. Markers are from experimental data and solid lines from fits. β_{Auger} is plotted in red, β_{SRH} in blue at $J_c = 0.01\text{mA}/\mu\text{m}^2$ and in cyan at $J_c = 0.001\text{mA}/\mu\text{m}^2$</i>	183
V.30	<i>Auger recombination via the CHSH process</i>	184
V.31	<i>Auger recombination via the CHSH process with $E_g > \Delta$</i>	187
V.32	<i>Auger recombination via the CHSH process with $E_g < \Delta$</i>	188
V.33	<i>Auger transition rates (arbitrary units) at $T=300\text{K}$ (red line) and $T=30\text{K}$ (green line) versus the difference $E_g - \Delta$. The transition rate at $T=30\text{K}$ is multiplied by a factor 10^{37}. Wave vector of states 1' (purple line), 2 (bleue line), and 2' (cyan line)</i>	189
V.34	<i>Auger coefficient versus temperature for GaSb. Red lines : energy gaps E_g and Δ are from [3]. Green line : energy gaps E_g and Δ are constant</i>	191
V.35	<i>Auger coefficient versus temperature in GaAsSb for various alloy compositions</i>	192
V.36	<i>Auger limited current gain versus temperature.</i>	193
V.37	<i>Spin-orbit splitting (Δ) versus temperature in $\text{GaAs}_{0.5}\text{Sb}_{0.5}$ from Vurgaftman et al. [?] and Houssam Chouaib [110]</i>	194
V.38	<i>Band gap (E_g) and spin-orbit splitting (Δ) versus temperature in $\text{GaAs}_{0.5}\text{Sb}_{0.5}$ from Houssam Chouaib [110]</i>	195

Liste des tableaux

III.1 Paramètres utilisés dans la simulation dont les résultats sont présentés dans les figures III.2, III.3 et III.6.	57
III.2 Paramètres utilisés dans la simulation numérique.	65
III.3 Matériaux des structures simulées	70
III.4 Conductivité thermique des différents matériaux utilisés dans la simulation . .	70
III.5 Paramètres de la simulation de la figure III.14	75
III.6 Paramètres de la simulation de la figure III.17	77
III.7 Paramètres de la simulation de la figure III.18	80
III.8 Paramètres de la simulation de la figure III.18	82
III.9 Paramètres de la simulation présentée figure III.22	83
III.10 Paramètres de la simulation de la figure III.24	86
III.11 Résistance thermique et proportion du flux de chaleur des trois principaux canaux de conduction de la structure B.	87
III.12 Valeur et poids des résistances thermiques des différentes parties de la structure C	94
III.13 Valeur et poids des résistances thermiques des différentes parties de la structure “optimisée”	98
III.14 Paramètres de la simulation de la figure III.33.	100
IV.1 Paramètres utilisé pour le collage anodique aluminium - Pyrex	115
IV.2 Empilement typique de couches épitaxiées à reporter sur substrat hôte	116
IV.3 Exemple de métaux, semiconducteurs et alliages collés avec succès à un verre contenant du sodium	117
IV.4 Empilement des couches actives d’un TBH InGaAlAs/GaAsSb	122
IV.5 Paramètres de la gravure ICP	127
IV.6 Empilement des couches actives après le report	134
V.1 Empilement des couches épitaxiées de l’échantillon H7662	144
V.3 Densités de courant et coefficient d’idéalté des courants de collecteur et de base des TBH réalisés sur les structures H7662 et H7687.	155
V.4 Coefficients ϕ en fonction de courant collecteur (exprimé en $A.cm^{-2}$) pour différents types d’hétérostructure.	163
V.5 Résistances thermiques mesurées et calculées à $T=300K$ pour différentes géométries de TBH InP/GaAsSb/InP réalisés sur leur substrat initial en InP (H7662)	170
V.6 Résistances thermiques mesurées à $T=300K$ sur les TBH InP/GaAsSb/InP reportés sur Pyrex	172

V.7	<i>Empilement des couches épitaxiées par Picogiga International pour l'étude de la durée de vie dans la base en GaAsSb</i>	177
V.8	<i>Paramètres des bases en GaAsSb des empilements pour TBH décrits dans le tableau V.7</i>	177
V.9	<i>Gain maximum β_{\max} et incertitude correspondante $\Delta\beta_{\max}$ pour les différentes échantillons étudiés</i>	179

Cette thèse est centrée sur l'étude, la réalisation et la caractérisation de transistors bipolaires à hétérojonction (TBH) dont les couches actives de la filière InP/GaAsSb sont reportés sur substrat hôte. Cette étude a pour but d'établir les bases pour la conception de transistor de puissance dans le domaine hyperfréquence et s'inscrit dans le contexte du projet ANR ATTHENA. Trois axes de recherche ont été développés.

La simulation numérique a permis d'introduire, pour les structures reportées, les concepts de drains thermiques utilisant la couche métallique introduite lors du report. Dans ce contexte il a été montré que, sur un substrat d'aussi faible conductivité que le Pyrex, le report permet de réduire la résistance thermique de plus de 30%. Sur une substrat de bonne conductivité thermique, par exemple silicium, cette réduction est d'un facteur six.

Basés sur ces concepts, une technologie de fabrication des TBH reportés par collage anodique a été développée. Des TBH de type double mesa ont été fabriqués et caractérisés. Deux verrous technologiques ont été identifiés dans la fabrication des nanoTBH dédiés aux hyperfréquences.

Les caractérisations électriques ont permis d'attribuer l'excès de courant de base habituellement observé dans les hétérojonctions InP/GaAsSb à la présence d'antimoine dans l'InP de l'émetteur. L'absence d'antimoine dans l'émetteur lorsque celui est épitaxié avant la base, cas des TBH reportés, supprime ce courant parasite et rend le gain du transistor indépendant du courant collecteur.

D'autre part les effets d'un échauffement sur les caractéristiques électriques ont été systématiquement étudiés dans le but de fournir un guide à la conception des transistors de puissance. Grâce à ses hétérojonction de type II, le TBH GaAsSb/InP présente un coefficient thermo-électrique significativement plus faible que celui des TBH autres filières, conférant au TBH InP/GaAsSb une beaucoup plus grande stabilité thermique. La durée de vie des électrons minoritaires dans la base est limitée par les recombinaisons Auger ce qui se traduit par un gain en courant constant dans une large plage de températures.

L'ensemble de ces caractéristiques électriques confère aux TBH InP/GaAsSb reporté sur substrat hôte un très fort potentiel pour les applications de puissance en améliorant considérablement sa stabilité en courant et en température.

This thesis is focused on study, fabrication and characterization of heterojunction bipolar transistors (HBT) where GaAsSb-based active layers are transferred to a host substrate. The goal of this study is to provide the basis of the transistor design for power and high speed applications.

The simulation allowed to introduce, for transferred-substrate transistors, the concepts of thermal drain taking advantage of the metal layer used by the transferred substrate technique. It has been shown that on a substrate of poor thermal conductivity as Pyrex, the transferred substrate technique leads to a reduction of the thermal resistance of more than 30%. On a substrate of high thermal conductivity this reduction factor is as high as six.

Based on these concepts, HBT fabrication technology on transferred substrate layers by anodic bonding has been developed. The fabrication of double mesa HBTs has been demonstrated. Two difficulties have been identified in the fabrication process for high-speed HBTs.

Electrical characterizations have allowed to attribute the excess of base current usually observed in InP/GaAsSb heterojunctions to the antimony contents in the InP emitter layer. The absence of antimony in the emitter layer when it is grown before the base layer, as in the case of transferred-substrate HBTs, cancel this parasitic effect and leads to transistors exhibiting current gain which are independent of the collector current.

On the other hand, the heating effects on the HBT electrical characteristics have been systematically studied in order to provide guidelines in the HBT design for power applications. Thanks to its type II heterojunction, GaAsSb/InP HBTs present a thermoelectric coefficient much smaller (better thermal stability) than HBT using type I heterojunctions. The minority electron lifetime in GaAsSb:C is limited by Auger-type recombinations. As a result the GaAsSb-based HBTs have a temperature constant current gain on a wide temperature range.

All these electrical properties demonstrate that the transferred-substrate InP/GaAsSb HBTs have much better electrical and thermal stability than other HBTs. Therefore they have a large potential for power applications.